

- 握手协议
  - 学习博客
  - 题目要求
  - 设计记录
    - valid\_ready
    - 4phase
    - tips:

## 握手协议

---

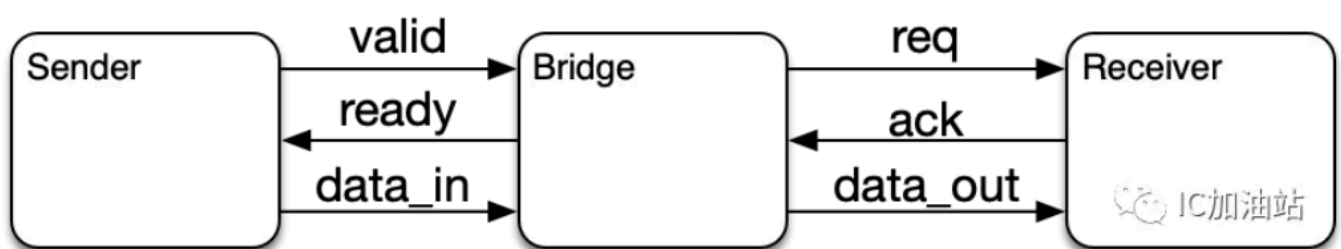
### 学习博客

[一道Nvidia的面试题跨时钟域处理-----握手协议verilog \(究极保姆级教程\)\\_跨时钟域握手-CSDN博客](#)

[Verilog设计Valid-Ready握手协议\\_valid ready握手verilog-CSDN博客](#)

### 题目要求

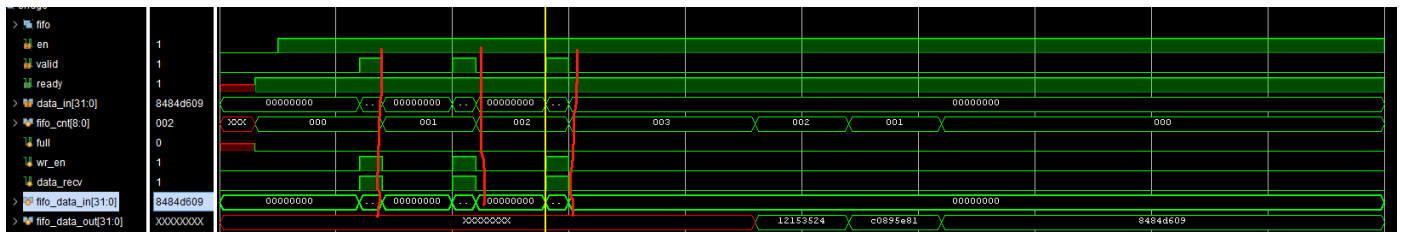
设计一个valid/ready到4-phase handshake的一个转换器



### 设计记录

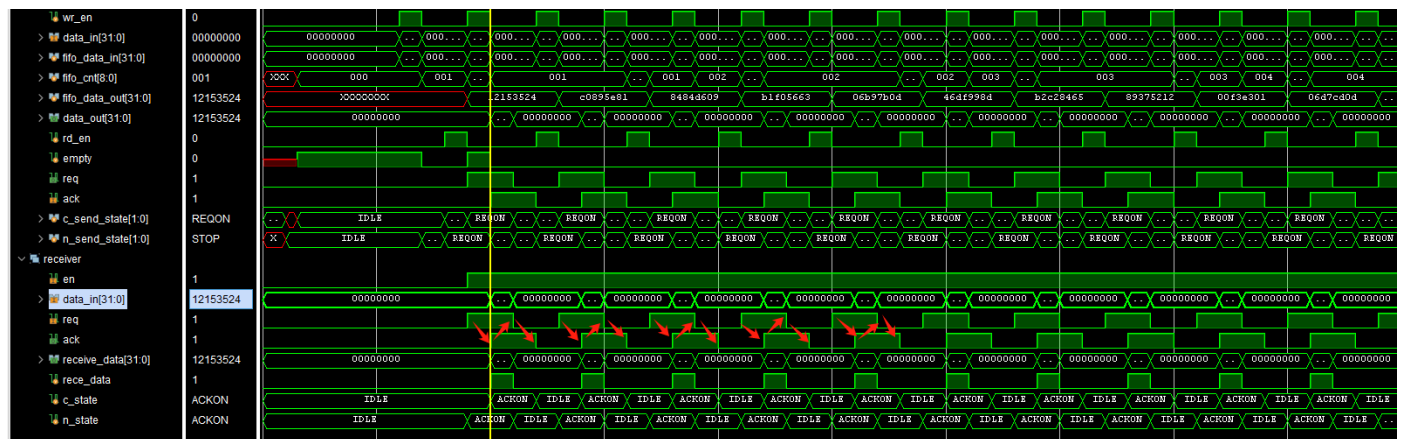
valid ready协议：在valid和ready都为高的时候，数据在时钟上升沿完成传输

**valid\_ready**

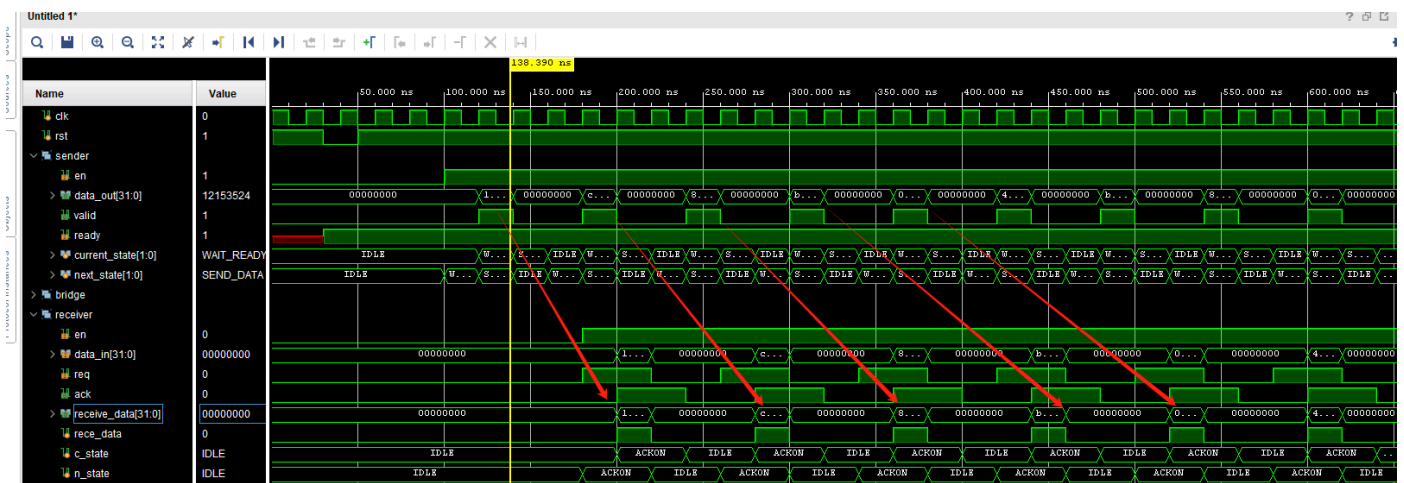


在valid和ready都高（本次设计中为valid上升沿时，数据载入fifo，FIFO数据计数+1）

## 4phase



bridge与sender和receiver同时进行协议



valid\_ready信号写入的东西：

32'h12153524 32'hc0895e81 32'h8484d609

4phase读出：

32'h12153524 32'hc0895e81 32'h8484d609

以上为持续读写展示

**tips:**

sv写状态机枚举时定义清楚位宽与类型，位宽不定义可能导致状态只能读取前两个然后出现死循环