

8. 可编程逻辑器件

8.1 ASIC与PLD概述

8.2 简单低密度PLD

8.3 复杂高密度PLD

8.4 PLD 的编程

8.1 ASIC与PLD 概述

ASIC (Application Specific Integrated Circuit)
专用集成电路

ASIC 是专为某一特定功能或特定用户设计、生产的LSI或VLSI电路。一个复杂系统一般只要一片或几片**ASIC**即可实现。

特点：

体积小、功耗低、高性能、高可靠性、高保密性

数字ASIC分类：

{ 全定制 ASIC (Full – Custom)
半定制 ASIC (Semi – Custom)

全定制 ASIC

全定制 是一种基于**晶体管级**的ASIC设计方法，设计人员使用版图编辑工具，从晶体管的版图尺寸、位置和互连线开始设计，追求芯片面积利用率高、速度快、功耗低。

设计全定制ASIC，不仅要求设计人员具有丰富的**半导体材料、工艺技术**知识，还要具有完整的**系统和电路设计**的工程经验。

将标准格式的版图文件送到半导体生产厂进行芯片制作，利用这种面向特定用户、具有专门用途的ASIC芯片，生产具有特色和个性的产品。

优点：

- a、缩小体积，减轻重量，降低功耗；
- b、用ASIC进行系统集成，减少了外部连线，提高了系统可靠性；
- c、专门用途的ASIC芯片，容易获得更高的性能；
- d、ASIC芯片相当于“黑盒子”，有利于保护设计者的知识产权；
- e、大批量生产时，可使系统成本降至最低，例如：彩电中的专用芯片。

问题:

- a、设计费用高、周期长，延误产品上市时间；
- b、一旦发生设计错误，重新修改，大大增加设计成本和设计时间；
- c、不适合小批量生产

半定制 ASIC

半定制是一种约束型设计方法，它是一种半成品，在芯片上制作好一些具有通用性的单元元件和元件组。设计者仅需考虑电路逻辑功能和各功能模块之间的合理连接。这种设计方法灵活方便，性价比高，能缩短设计周期，提高芯片成品率。

半定制ASIC { 门阵列GA (Gate Array)
标准单元SC (Standard Cell) 阵列
可编程逻辑器件PLD
(Programmable Logic Device)

a、门阵列（Gate Array）

是一种不封装的半成品芯片，芯片中的基本单元——逻辑门，以阵列形式排列，生产厂家可根据用户的要求，进行连线层的掩膜，最后封装成产品，交给用户。

b、标准单元 (Standard Cell)

IC厂家将预先设置好、经过测试且具有一定逻辑功能的模块，作为标准单元存储在数据库中，设计人员利用CAD工具，调用所需的单元，就可以在版图一级完成电路的最终设计。

以上两种设计方法，先期成本很高，风险大，设计制造周期较长，比较适合于批量极大的成熟产品。

PLD (Programmable Logic Device)

可编程逻辑器件

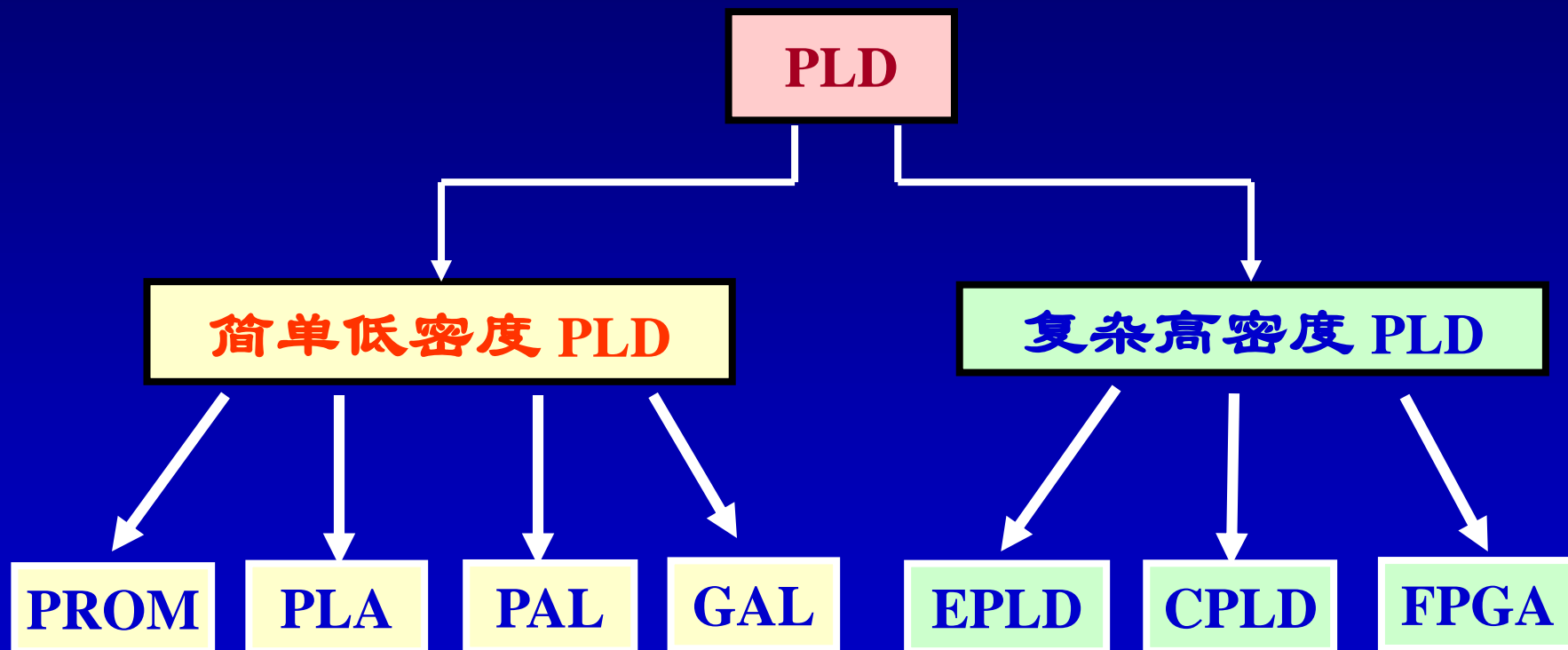
C、可编程逻辑器件

PLD又称可编程ASIC，是一种半成品芯片，集成了逻辑门、触发器、连接线等电路资源，在出厂时，不具备任何逻辑功能。

特点：

- (1) 通过对器件的编程，实现所需的逻辑功能；
- (2) 多数PLD具有可再编程性；
- (3) 成本低、使用灵活、设计周期短、风险小；
- (4) 适合于生产批量不大或在研产品；

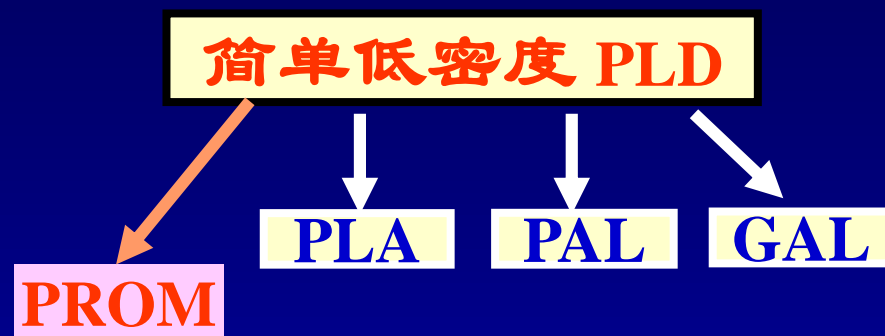
PLD 的分类



8.2 简单低密度PLD

1、PROM

(可编程只读存储器)



① 结构：固定的与阵列、可编程的或阵列

② 编程工艺：

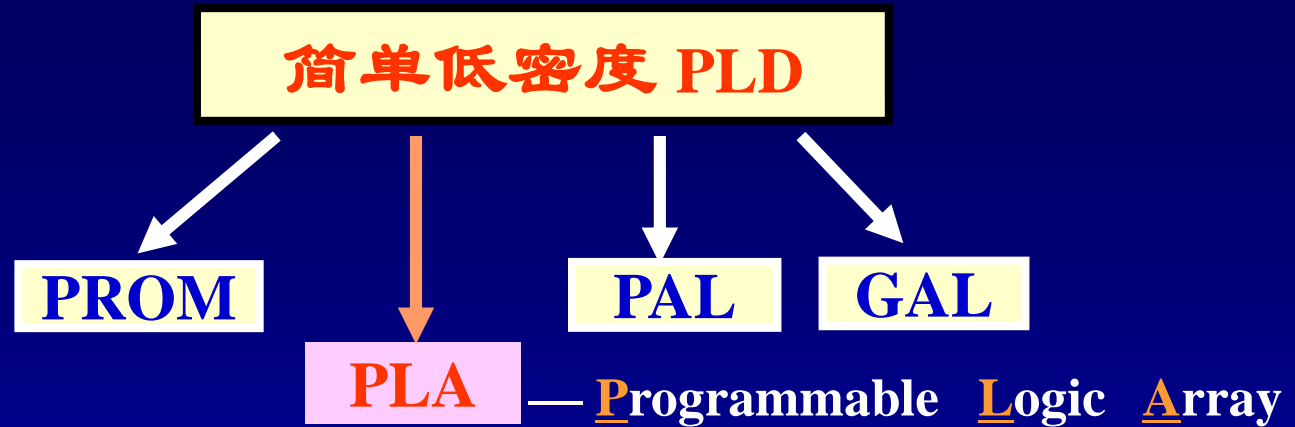
早期 — 熔丝工艺编程，一次性编程；

发展 — EPROM（紫外线可擦除只读存储器）

E²PROM（电可擦除只读存储器）

③ 应用

适合于存储函数（作函数发生器）和数据表格，主要用作数字系统中的存储器。



2、PLA (可编程逻辑阵列)

- ① 结构：可编程的与阵列、可编程的或阵列
- ② 应用：与阵列输出的乘积项不一定是最小项，可实现逻辑函数的最简与或式。
- ③ 特点：芯片利用率高，制造工艺复杂，未得到广泛应用。

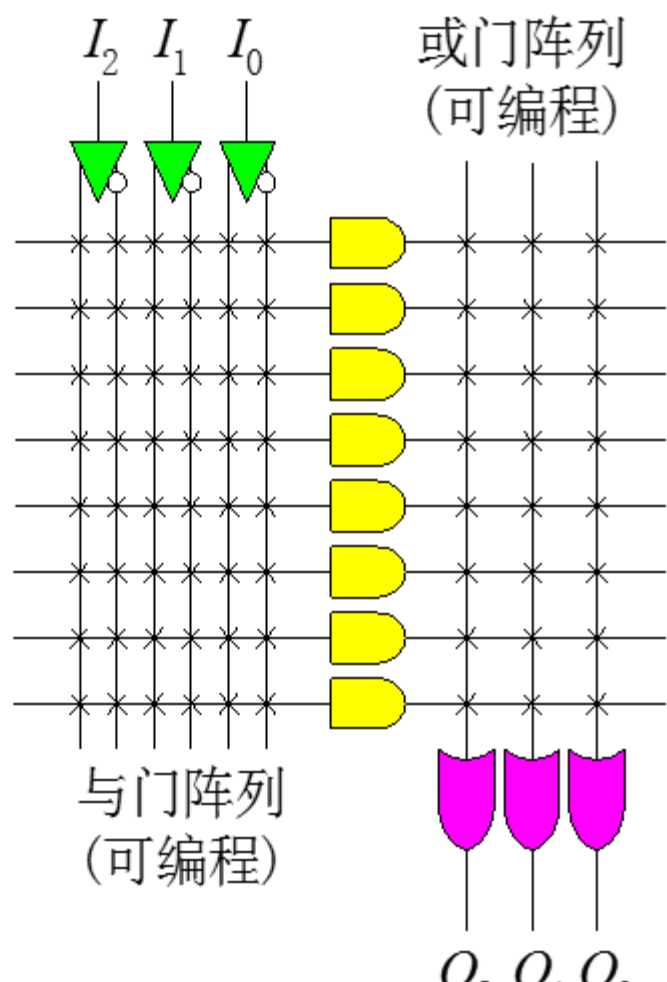
现场可编程逻辑阵列 (FPLA) 的应用

例：用FPLA实现下列多输出函数。

$$W(A, B, C, D) = \sum(3, 7, 8, 9, 11, 15)$$

$$X(A, B, C, D) = \sum(3, 4, 5, 7, 10, 14, 15)$$

$$Y(A, B, C, D) = \sum(1, 5, 7, 11, 15)$$



$$W(A, B, C, D) = \sum (3, 7, 8, 9, 11, 15)$$

$$X(A, B, C, D) = \sum (3, 4, 5, 7, 10, 14, 15)$$

$$Y(A, B, C, D) = \sum (1, 5, 7, 11, 15)$$

		AB			
		00	01	11	10
CD	00		1		
	01		1		
	11	1	1	1	
	10			1	1

		AB			
		00	01	11	10
CD	00				1
	01				1
	11	1	1	1	1
	10				

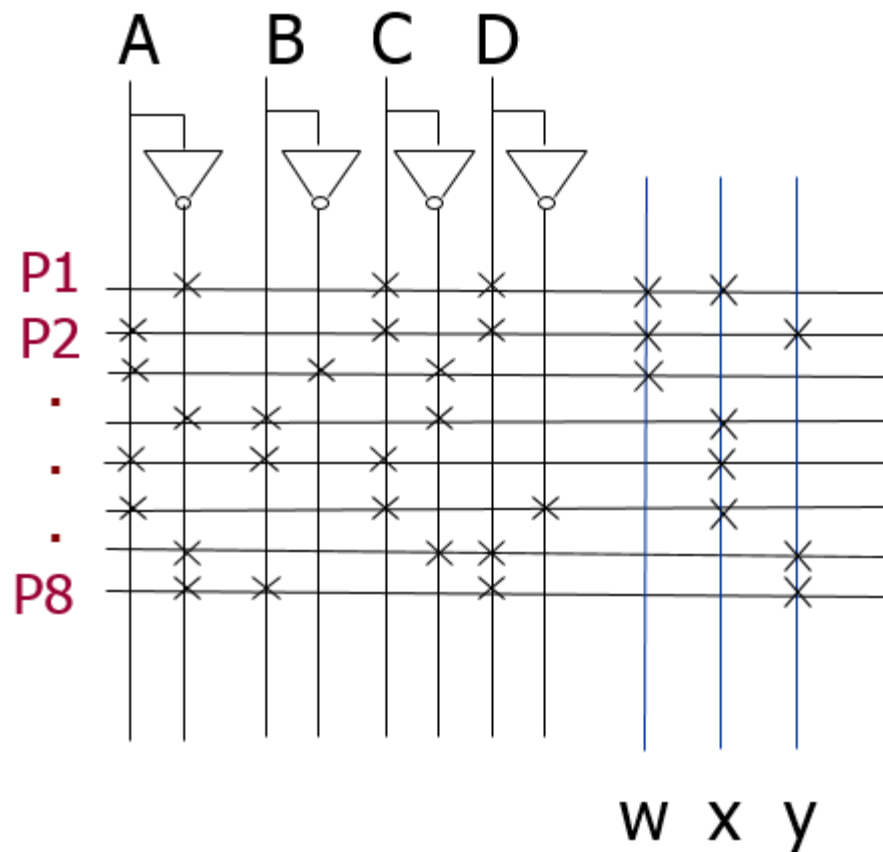
		AB			
		00	01	11	10
CD	00				
	01	1	1		
	11		1	1	1
	10				

FPLA实现阵列图

$$W = \overset{\text{P1}}{\overline{A}CD} + \overset{\text{P2}}{ACD} + \overset{\text{P3}}{A\overline{B}\overline{C}}$$

$$X = \overset{\text{P1}}{\overline{A}CD} + \overset{\text{P4}}{\overline{A}BC} + \overset{\text{P5}}{A\overline{B}C} + \overset{\text{P6}}{AC\overline{D}}$$

$$Y = \overset{\text{P2}}{ACD} + \overset{\text{P7}}{\overline{A}\overline{C}D} + \overset{\text{P8}}{\overline{A}BD}$$



用FPLA实现四位二进制码转换为格雷码的代码转换阵列图。

$$G_3 = B_3$$

$$G_2 = B_3 \overline{B_2} + \overline{B_3} B_2$$

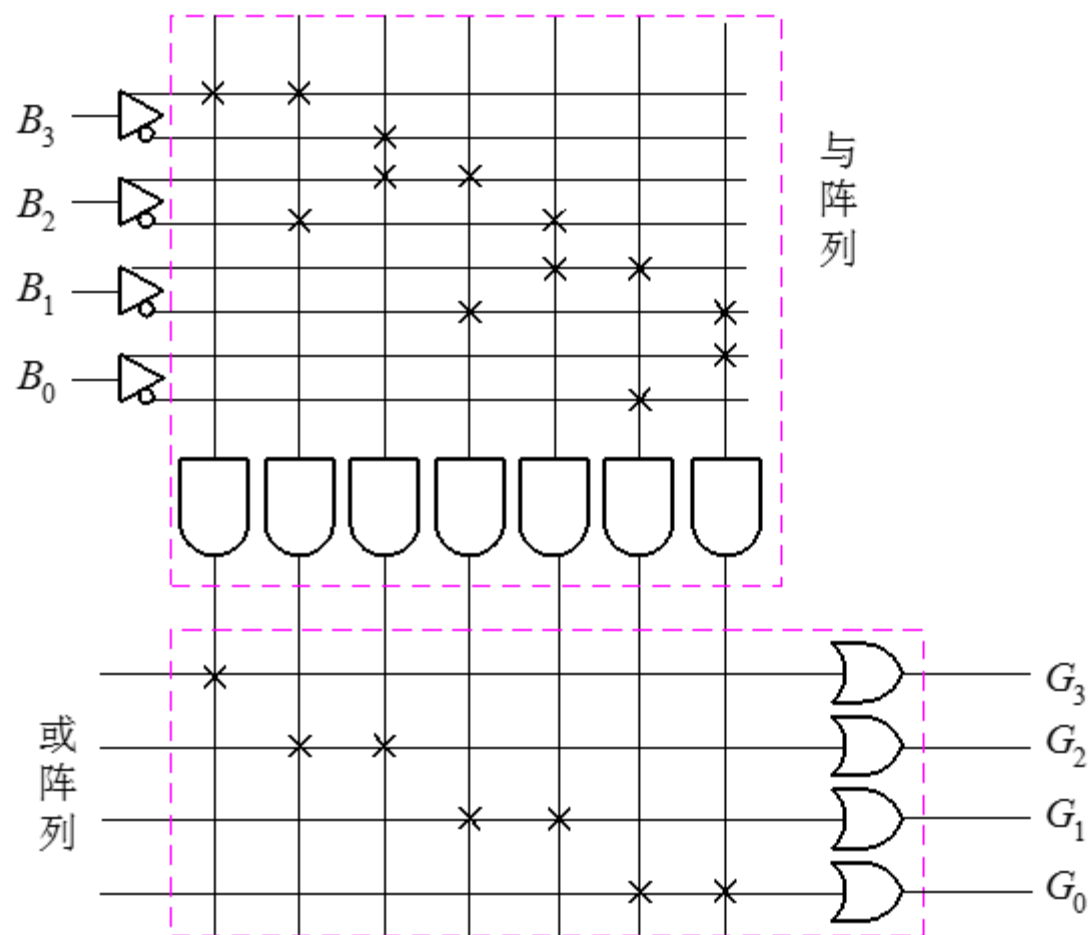
$$G_1 = B_2 \overline{B_1} + \overline{B_2} B_1$$

$$G_0 = B_1 \overline{B_0} + \overline{B_1} B_0$$

字	二进制码				格雷码			
	B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
W ₀	0	0	0	0	0	0	0	0
W ₁	0	0	0	1	0	0	0	1
W ₂	0	0	1	0	0	0	1	1
W ₃	0	0	1	1	0	0	1	0
W ₄	0	1	0	0	0	1	1	0
W ₅	0	1	0	1	0	1	1	1
W ₆	0	1	1	0	0	1	0	1
W ₇	0	1	1	1	0	1	0	0
W ₈	1	0	0	0	1	1	0	0
W ₉	1	0	0	1	1	1	0	1
W ₁₀	1	0	1	0	1	1	1	1
W ₁₁	1	0	1	1	1	1	1	0
W ₁₂	1	1	0	0	1	0	1	0
W ₁₃	1	1	0	1	1	0	1	1
W ₁₄	1	1	1	0	1	0	0	1
W ₁₅	1	1	1	1	1	0	0	0

FPLA的实现阵列图

$$\begin{aligned} G_3 &= B_3 \\ G_2 &= B_3 \overline{B_2} + \overline{B_3} B_2 \\ G_1 &= B_2 \overline{B_1} + \overline{B_2} B_1 \\ G_0 &= B_1 \overline{B_0} + \overline{B_1} B_0 \end{aligned}$$



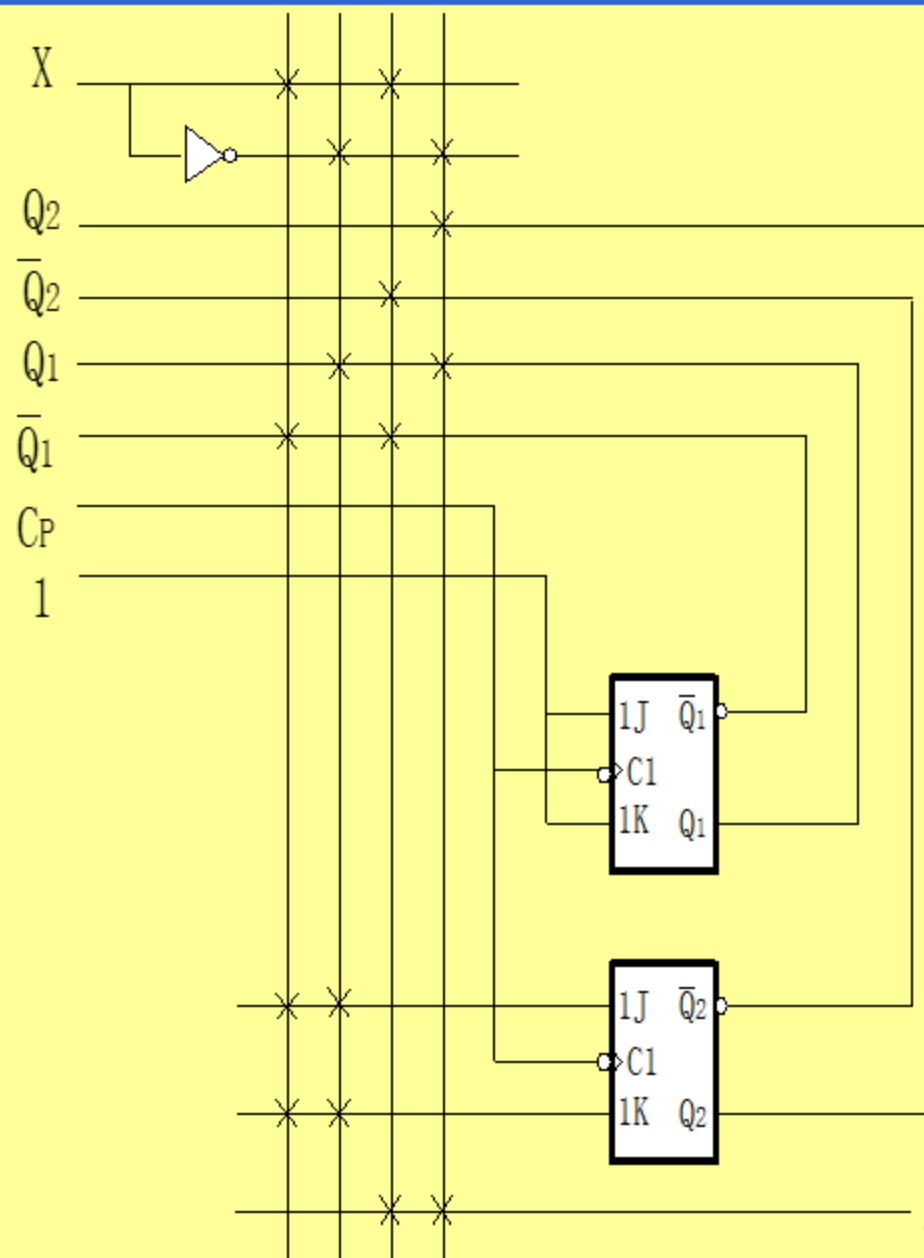
FPLA电路的分析

例：分析图所示时序逻辑电路。

(1) 写出激励方程 J_1 、 K_1 、 J_2 、 K_2 、次态方程 Q_1^{n+1} 、 Q_2^{n+1} 和输出 Z ；

(2) 列出该电路的状态表、画出状态图；

(3) 指出电路的功能。



(1) 写激励、次态和输出函数

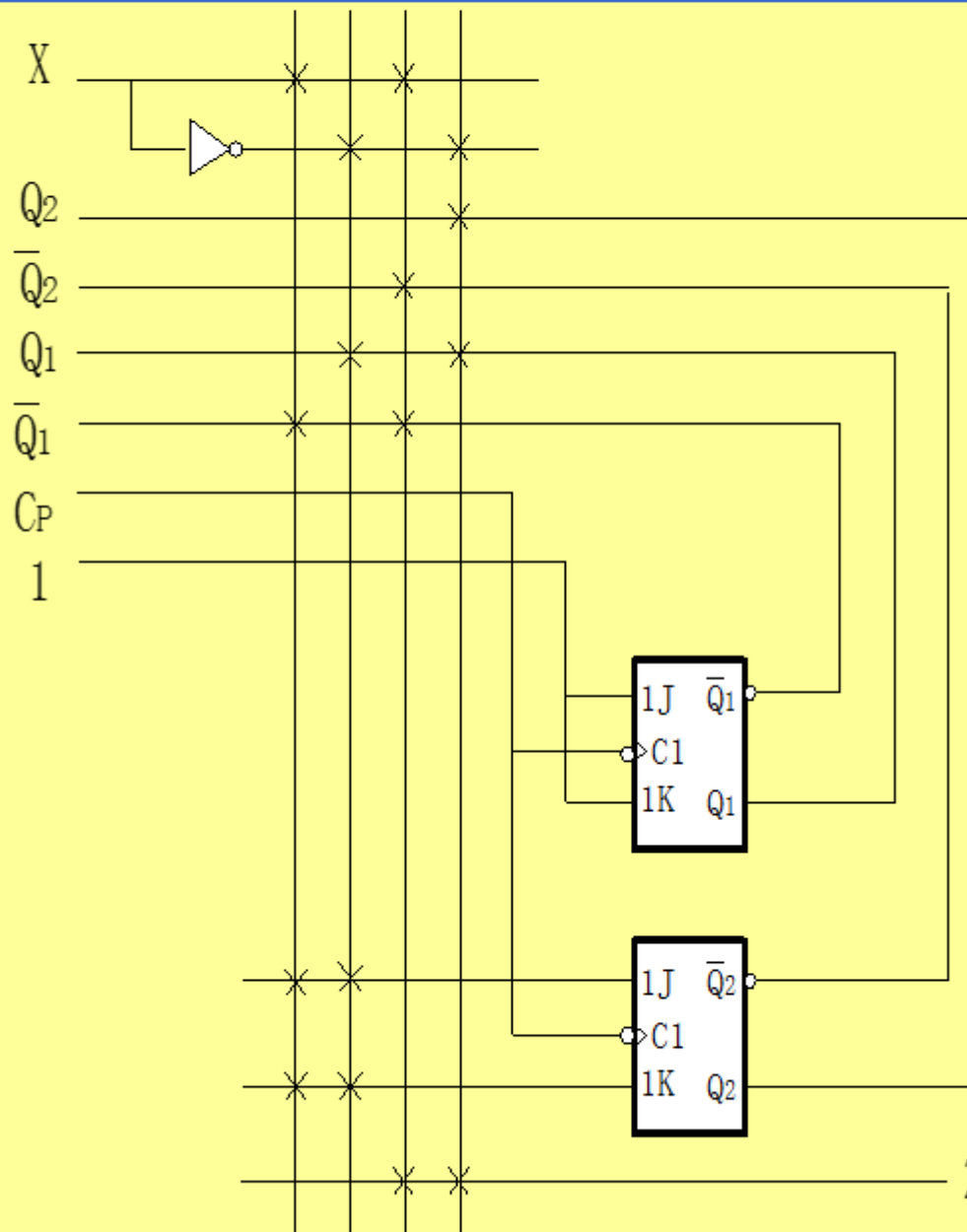
$$J_1=K_1=1$$

$$J_2=K_2=X \oplus Q_1$$

$$Q_1^{n+1} = J_1 \overline{Q}_1 + \overline{K}_1 Q_1 = \overline{Q}_1$$

$$\begin{aligned} Q_2^{n+1} &= J_2 \overline{Q_2} + \overline{K_2} Q_2 \\ &= X \oplus Q_2 \oplus Q_1 \end{aligned}$$

$$Z = X\overline{Q_2Q_1} + \overline{X}Q_2Q_1$$



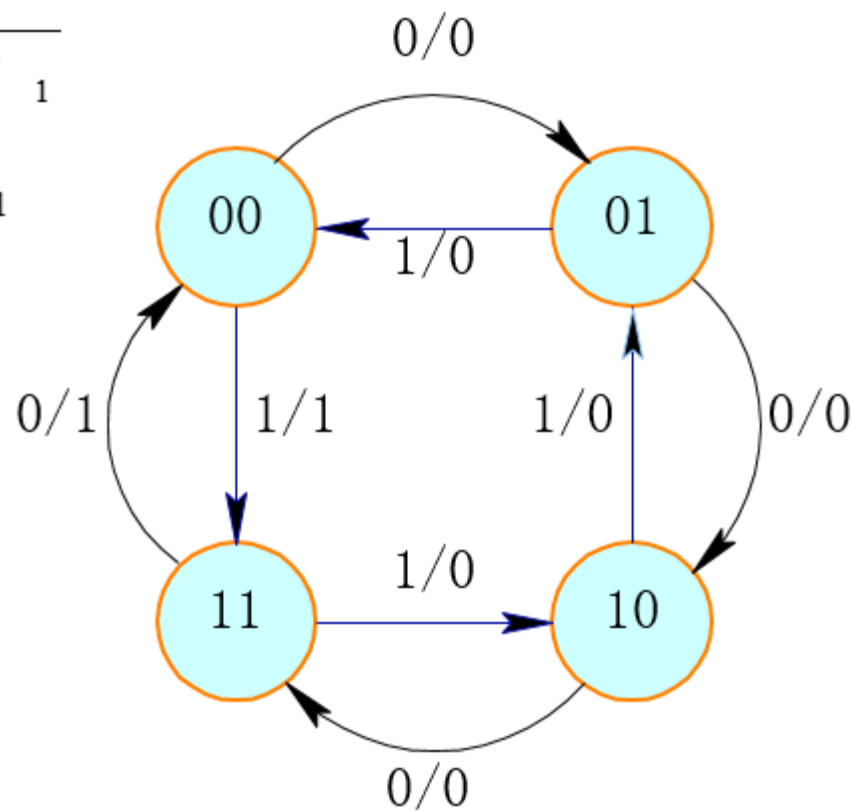
(2) 列出该电路的状态表、画出状态图

$$Q_2^{n+1} = X \oplus Q_2 \oplus Q_1$$

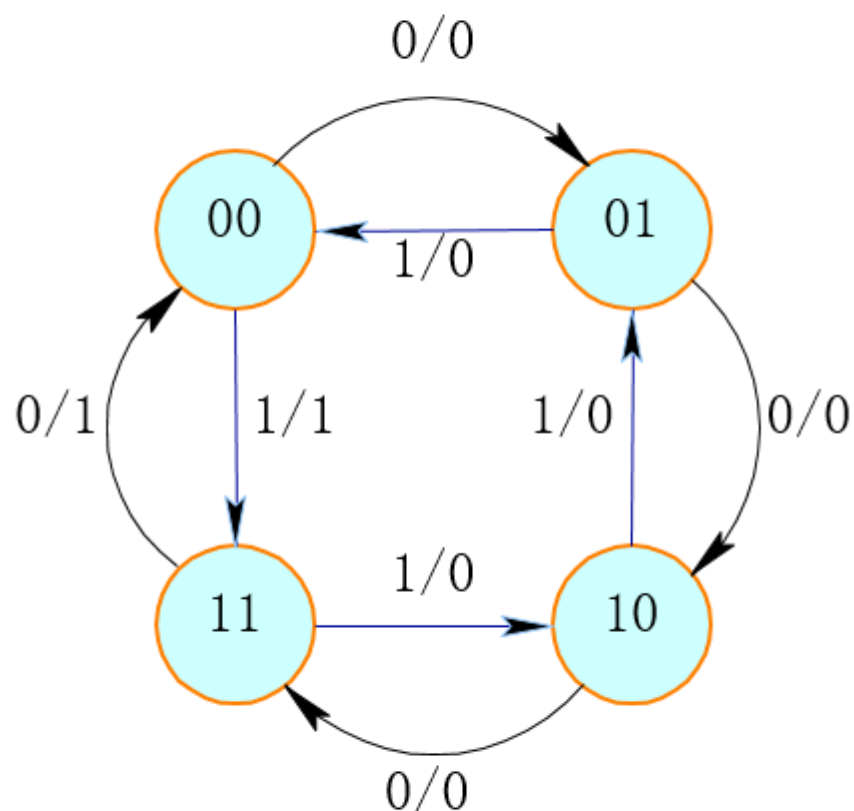
$$Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_1}$$

$$Z = X \overline{Q_2} \overline{Q_1} + \overline{X} Q_2 Q_1$$

$Q_2 Q_1$ \ X	$Q_2^{n+1} Q_1^{n+1} / Z$	
	0	1
00	01/0	11/1
01	10/0	00/0
11	00/1	10/0
10	11/0	01/0



(3) 指出电路的功能

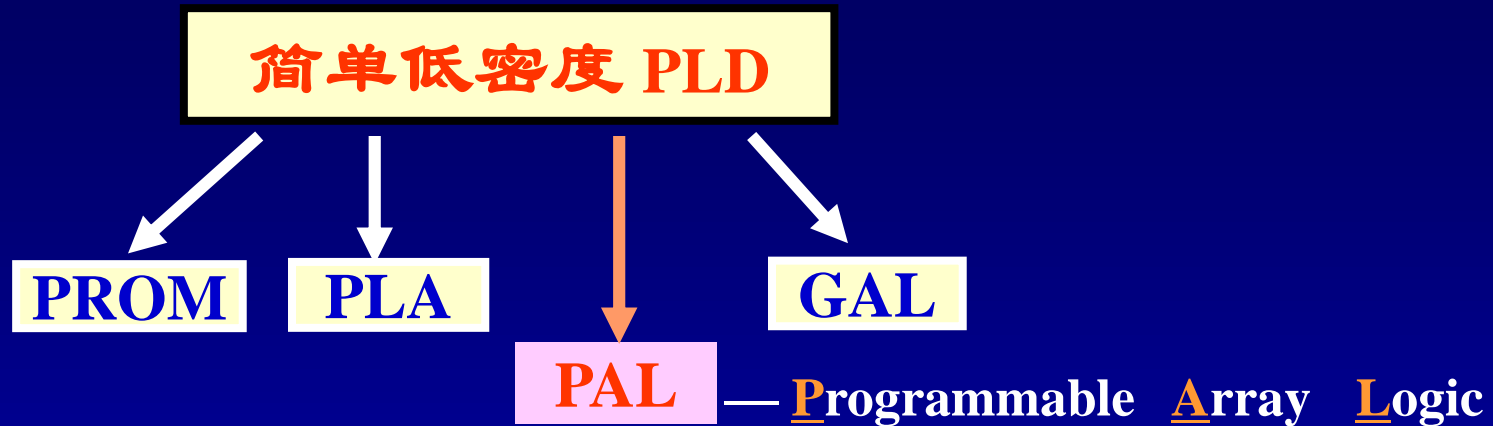


同步模4可逆计数器。

X=0时，实现模4加1计数器。

X=1时，实现模4减1计数器。

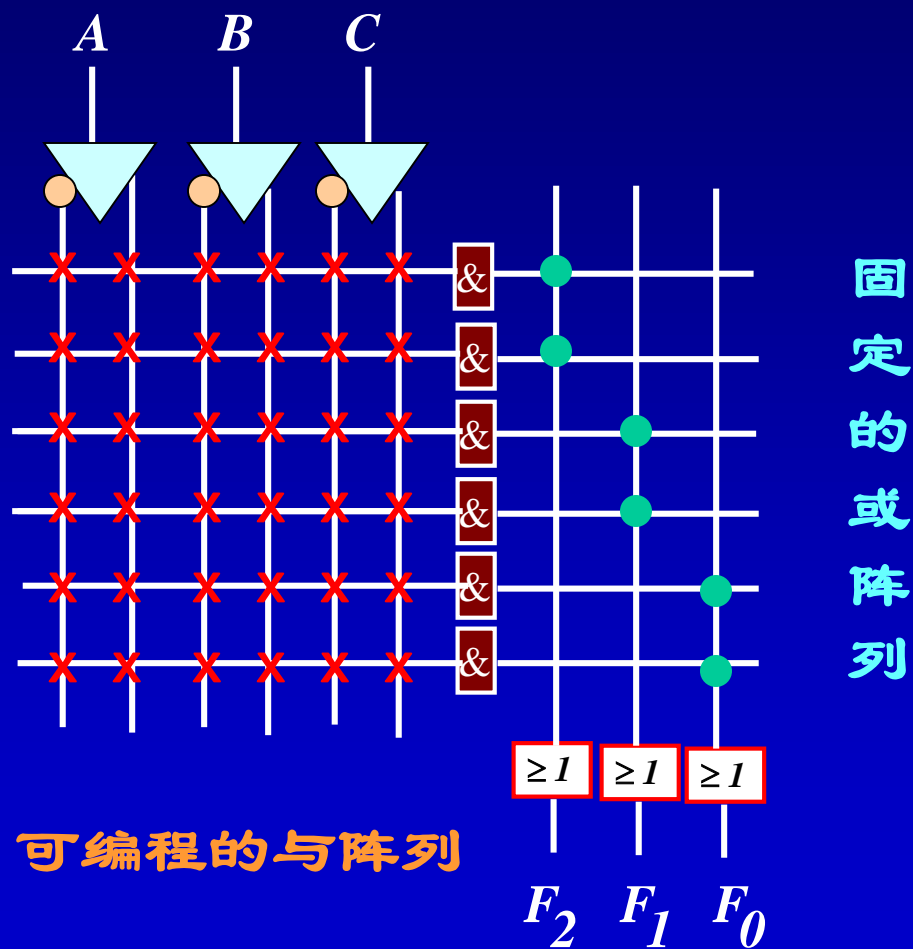
Z为进位/借位标志

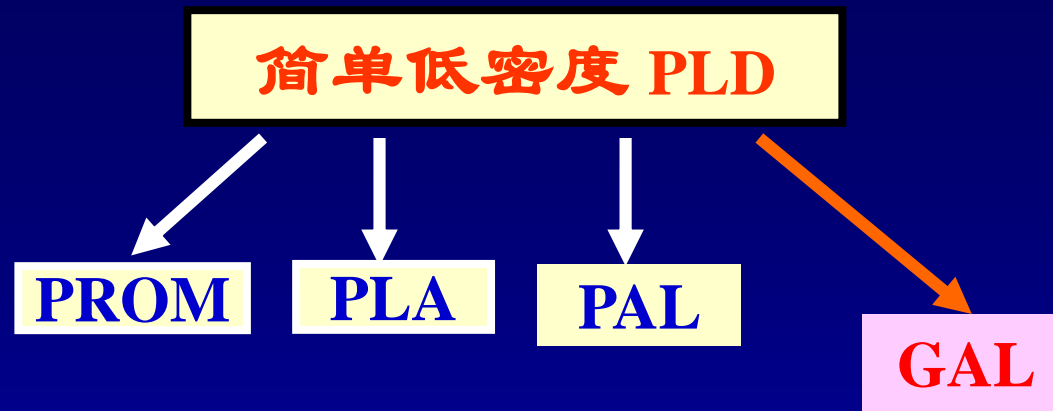


3、PAL (可编程阵列逻辑)

- ① 结构：可编程的与阵列、固定的或阵列
- ② 编程工艺：熔丝工艺编程，一次性编程；
- ③ 特点：输出结构固定，不能编程，不同型号的芯片的输出结构各不相同，芯片选定后，输出结构也就确定了。

可编程的与阵列、固定的或阵列





4、GAL (Generic Array Logic) 通用阵列逻辑

PAL采用熔丝工艺，只能一次性编程。输出结构固定，不同的输出需求，要采用不同型号的PAL器件。

GAL (Generic Array Logic) 是在PAL器件的基础上发展起来的。采用E²PROM和CMOS工艺，可电擦除、可重新编程，输出结构可由用户组态，具有更大的灵活性。

最大特点是：采用输出逻辑宏单元OLMC，通过编程将OLMC组态成多种输出结构。采用一种GAL器件，实现不同输出结构的逻辑电路，对于大批量生产，不仅降低了设计成本，而且降低了采购成本和管理成本。

简单低密度 PLD

PROM

PLA

PAL

GAL

作为数字系统的存储器，仍得到广泛应用

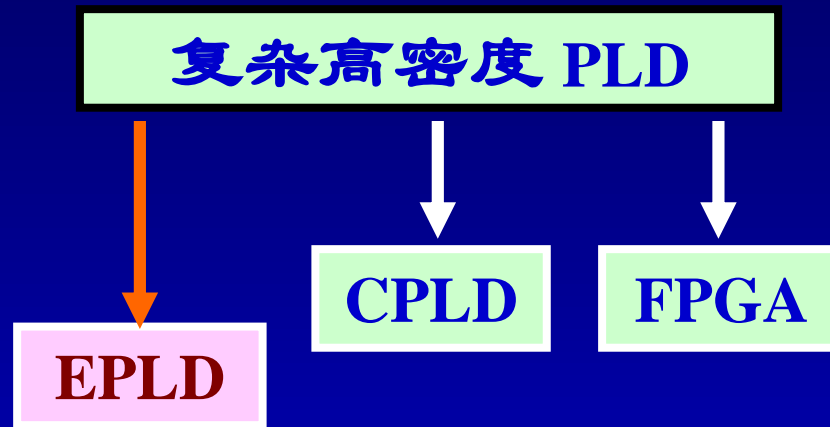
结构简单，设计灵活，对开发软件的要求低，促进了数字系统设计技术的发展。但随着数字系统的复杂程度越来越高、速度越来越快、体积越来越小，暴露出集成度和性能方面的**局限性**：
寄存器、I/O引脚、时钟资源的数目有限，没有内部互连（需要人工参与）等。

四种简单低密度PLD器件

(与阵列+或阵列)

器件	与阵列	或阵列	输出电路
PROM	固定	可编程	固定
PLA	可编程	可编程	固定
PAL	可编程	固定	厂家固定
GAL	可编程	固定	用户可组态

8.3 复杂高密度PLD



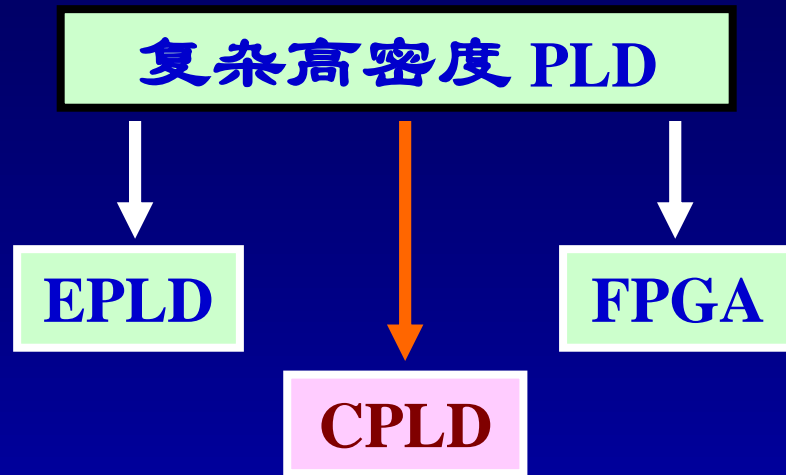
- 1、可擦除可编程逻辑器件 **EPLD**
(Erasable Programmable Logic Device)

● EPLD

20世纪80年代中期，Altera 公司推出的基于 EPROM 和 CMOS 技术的 PLD。

EPLD 的基本逻辑单元是宏单元——可编程的与或阵列、可编程的寄存器和可编程的I/O。

EPLD 在GAL的基础上大量增加输出宏单元的数目，提供更大的与阵列，集成度大幅提高，具有更大的灵活性，内部连线相对固定，延时小，有利于器件在高频下工作，但是内部互连能力十分薄弱，只是一种过渡产品。



2、复杂可编程逻辑器件 **CPLD** (Complex Programmable Logic Device)

● CPLD

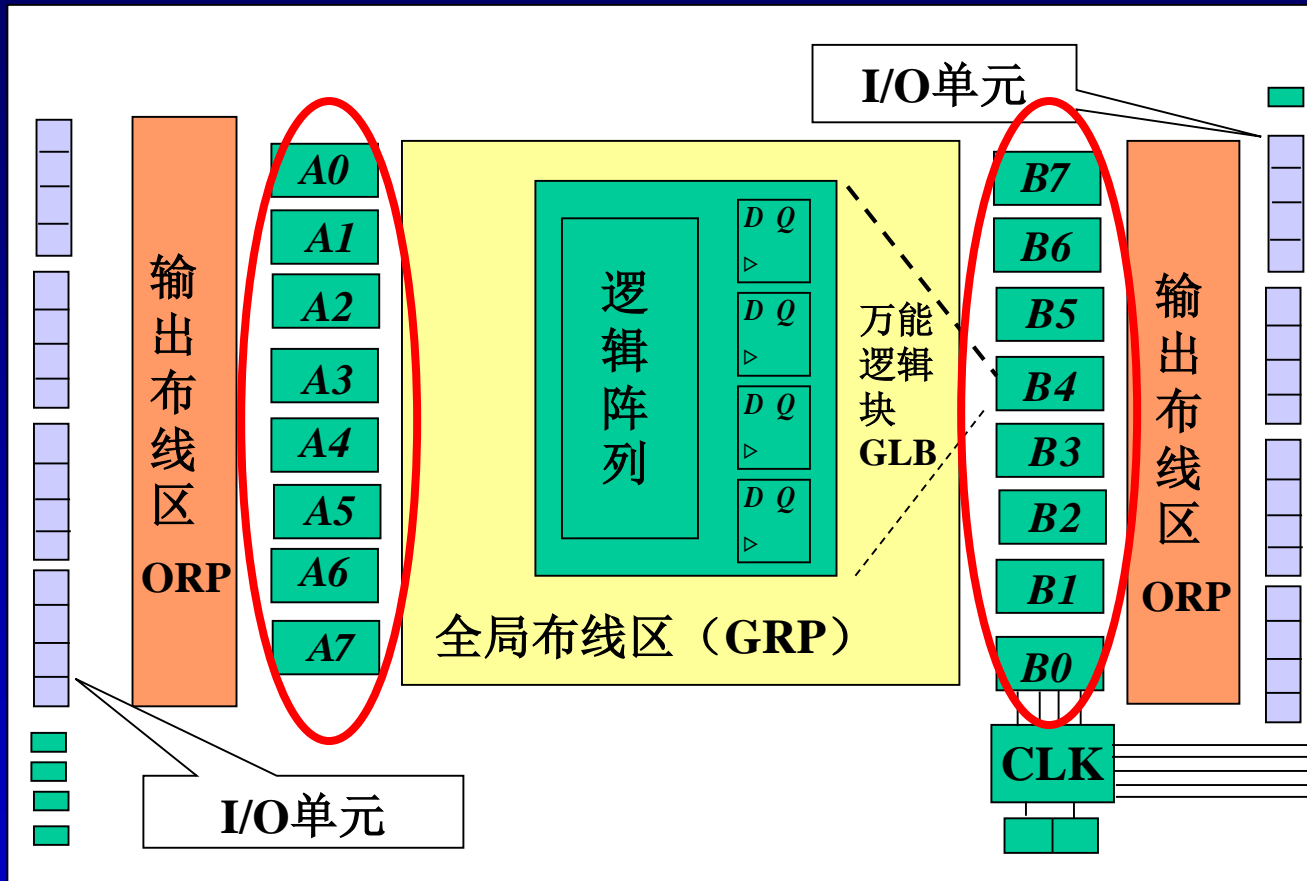
20世纪90年代初，Lattice 公司首先推出的。与EPLD 相比，改进了逻辑宏单元 和 I/O单元，增加了内部连线。

CPLD至少包括三部分：可编程逻辑宏单元、可编程I/O单元、可编程内部连线。

部分CPLD内部还集成了RAM、FIFO，以适应数字信号处理系统（DSP）的需求。

简单地讲，CPLD 就是将多个SPLD 集成在一块芯片上，通过可编程连线实现它们之间的连接。

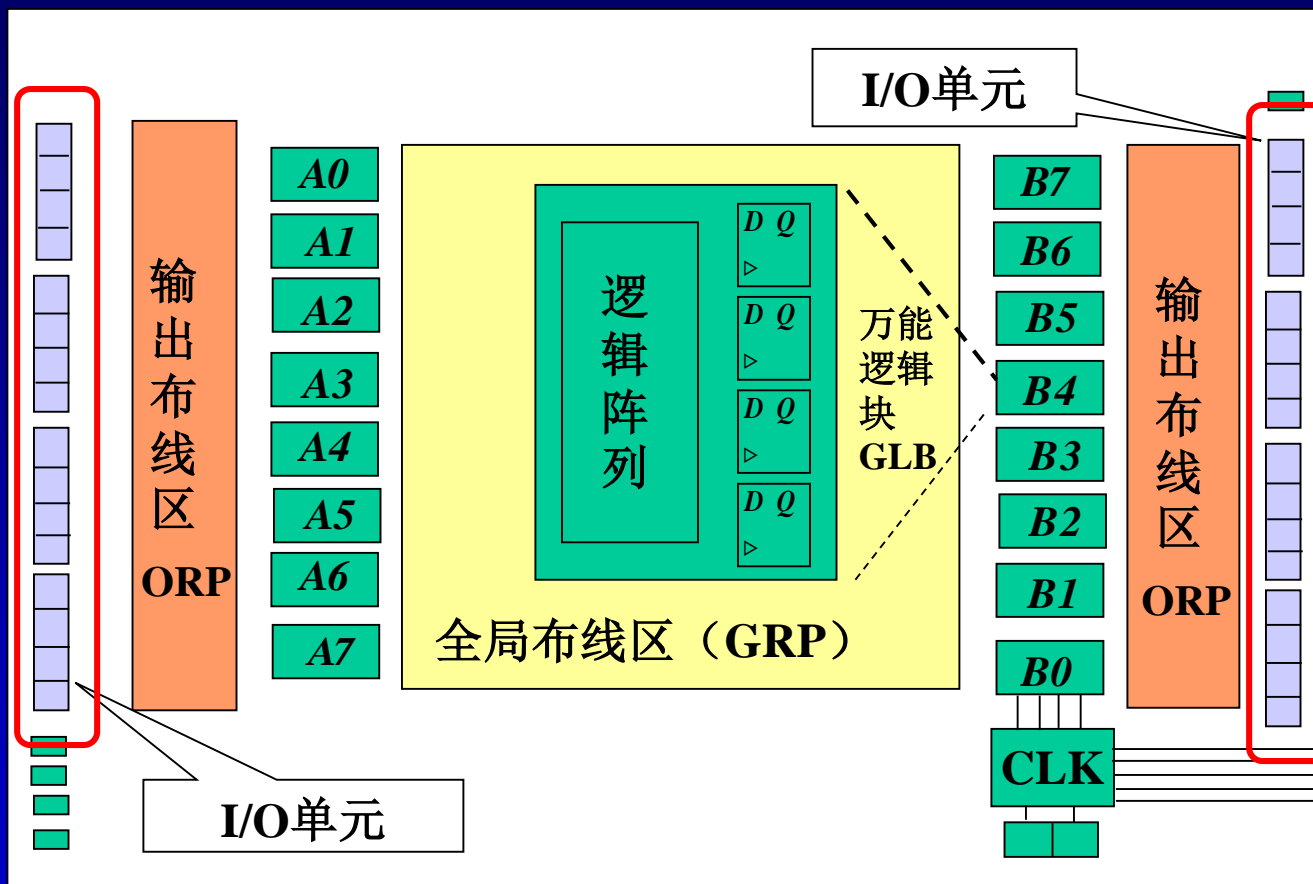
Lattice公司器件 ispLSI 1016



GLB —— Generic Logic Block 通用逻辑模块

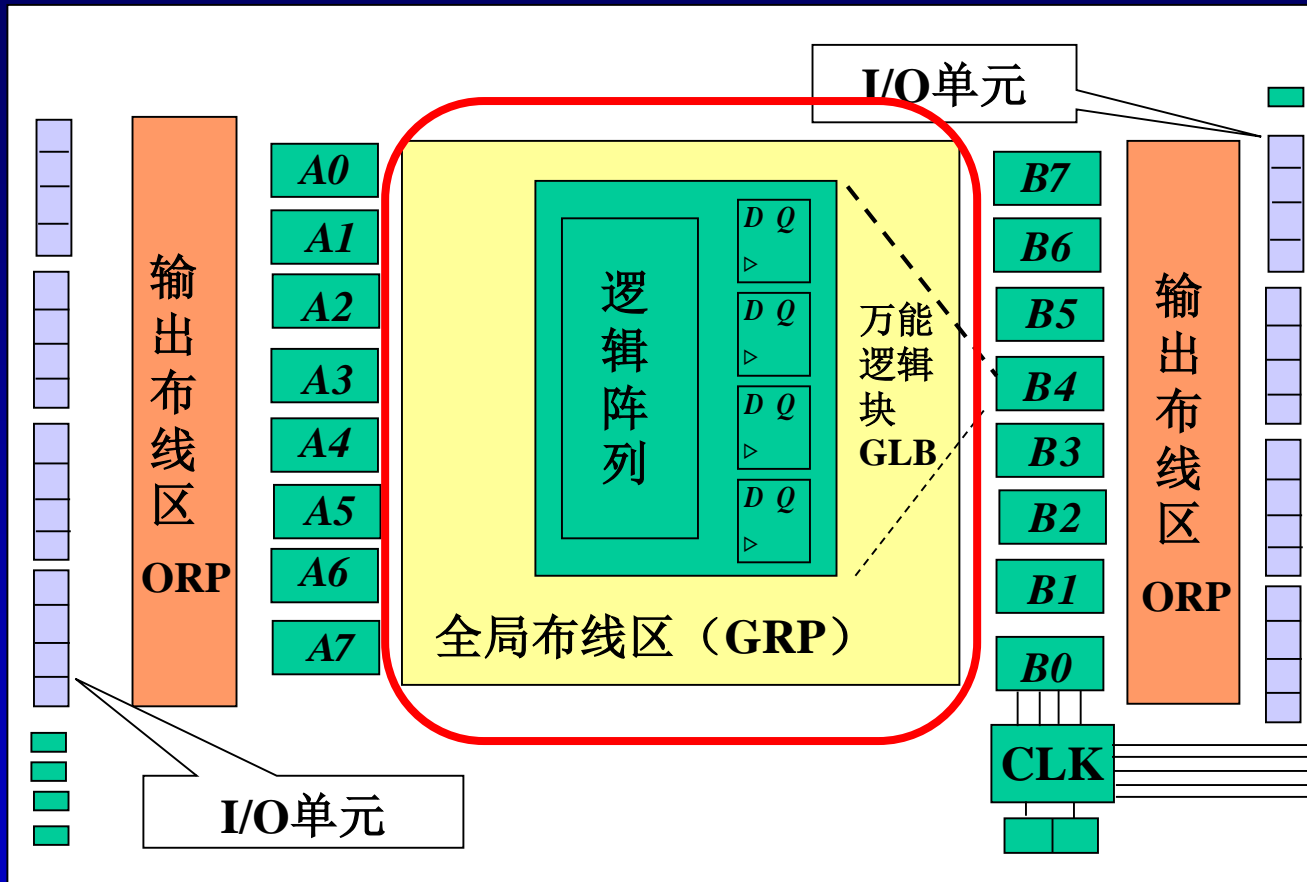
16个GLB 每个GLB有18个输入，20个乘积项，4个输出

Lattice公司器件 ispLSI 1016



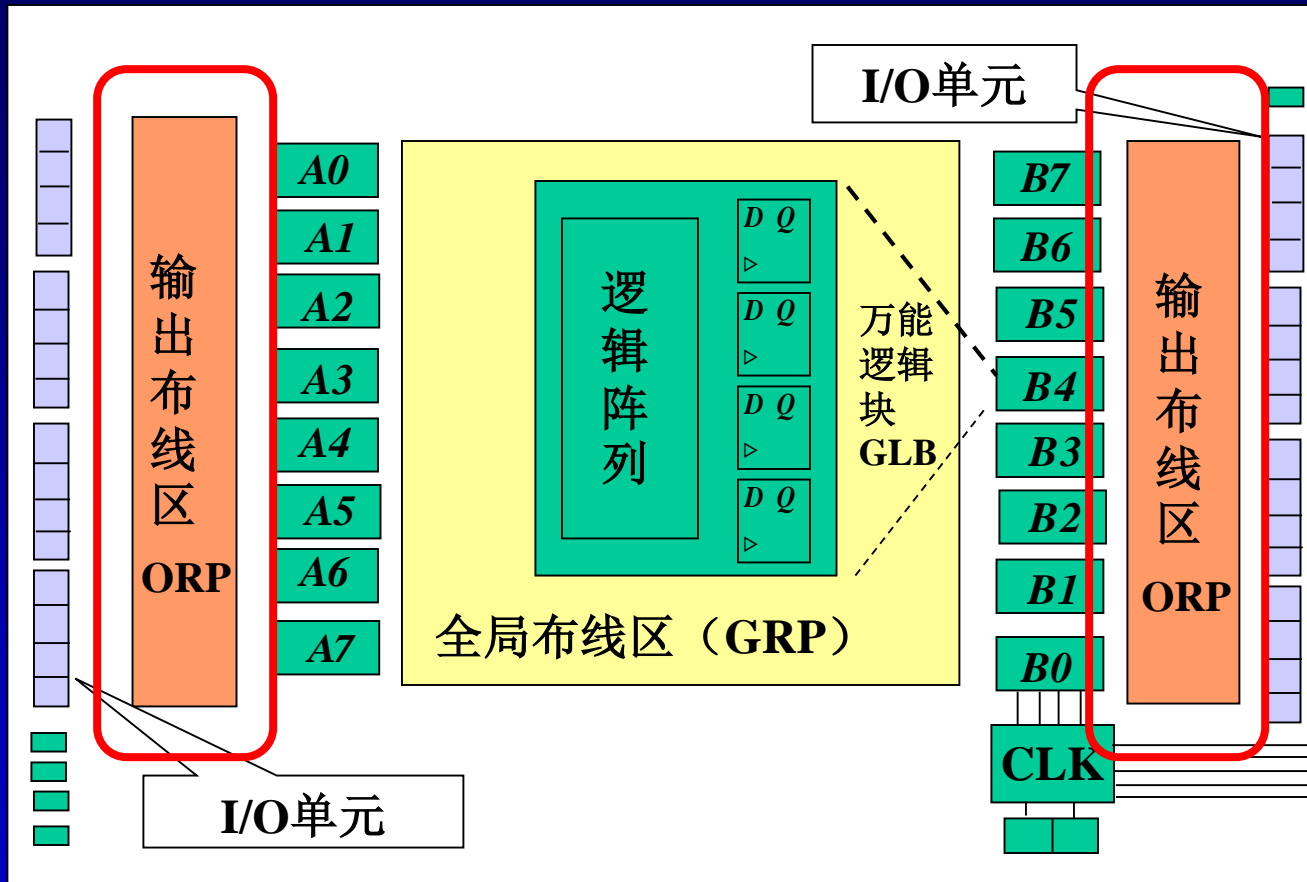
- **IOC —— Input Output Cell 输入/输出单元**
32个，用于I/O管脚和器件内部信号之间的连接

Lattice公司器件 ispLSI 1016

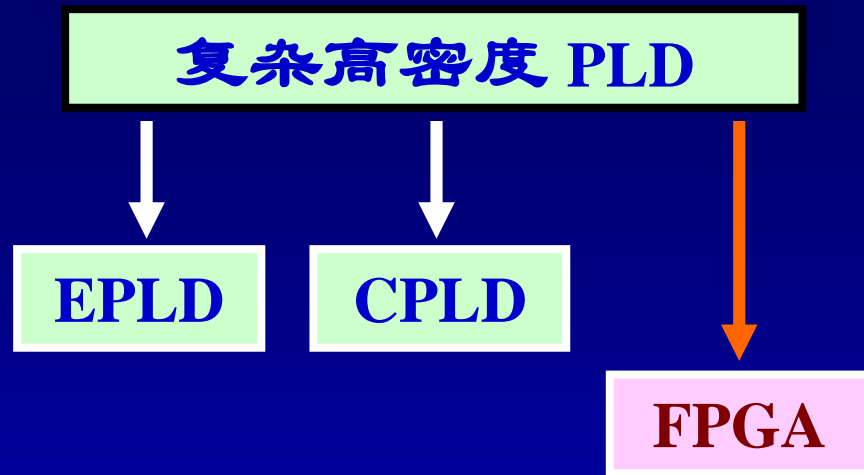


- GRP——Global Routing Pool 全局布线区
实现GLB之间，GLB与IOC之间的连接

Lattice公司器件 ispLSI 1016



- **ORP —— Output Routing Pool 输出布线区**
是GLB与IOC之间的可编程互连阵列，通过编程，可实现将GLB的输出接到某一I/O端口。



3、现场可编程门阵列 **FPGA** (**F**ield **P**rogrammable **G**ate **A**rray)

● FPGA

与CPLD相比，FPGA具有更高的集成度、更强的逻辑功能和更大的灵活性。

根据编程方式，FPGA分为一次编程型和可重复编程型

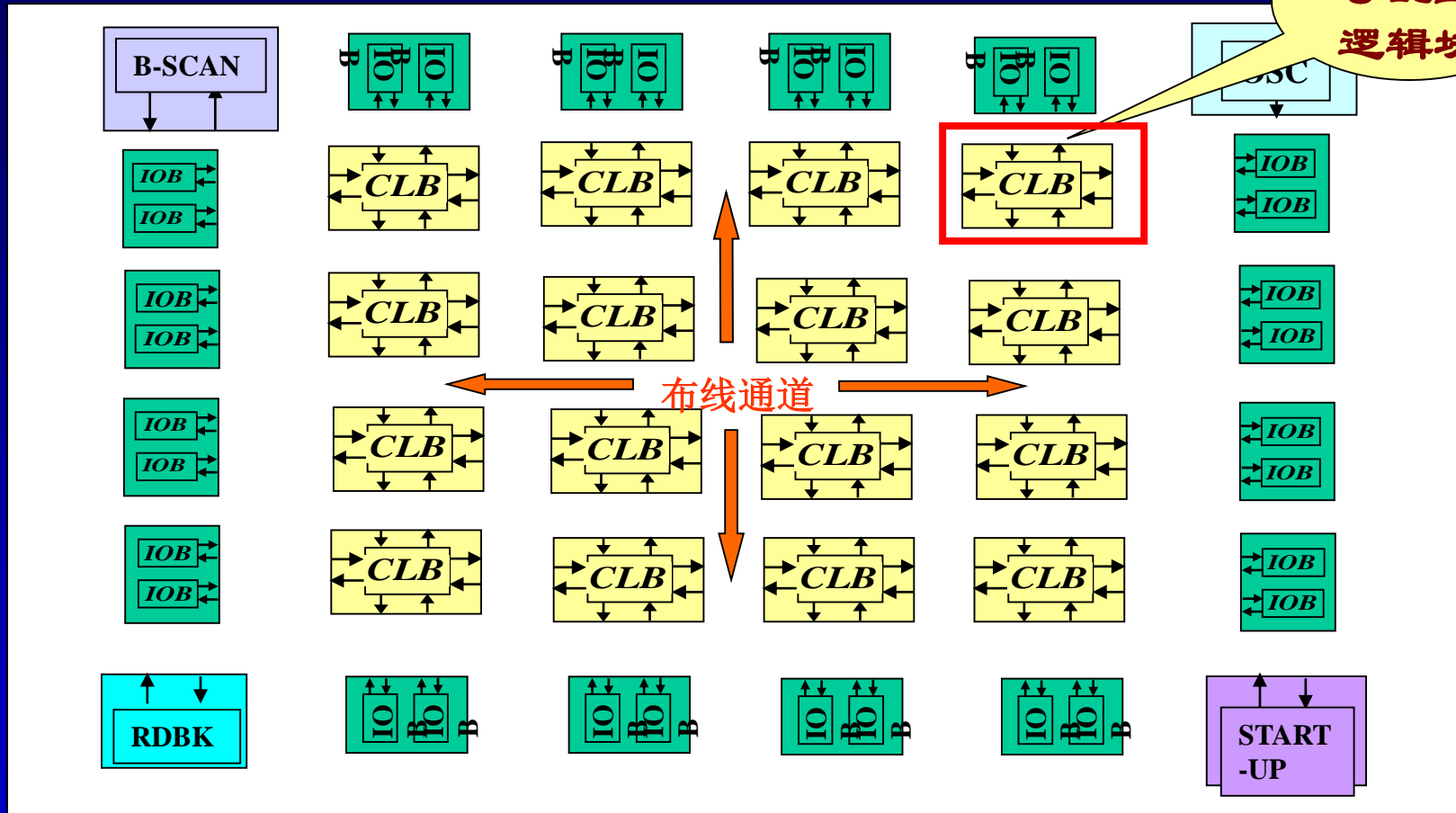
一次编程型：采用反熔丝开关元件，除具有体积小、集成度高、互连线特性阻抗低、寄生电容小、高速度等特点外，还具有加密位、防拷贝、抗辐射、抗干扰、不需要外接PROM或EPROM的特点。适合于定型产品或大批量应用。

可重复编程型：采用SRAM开关元件或快闪EPROM控制的开关元件，配置数据存放在SRAM或快闪EPROM中。

基于SRAM的FPGA的突出优点，是可反复编程，系统上电时，给FPGA加载不同的配置数据，就可完成不同的硬件功能，甚至在系统运行中改变配置，实现系统功能的**动态重构**。

基于快闪EPROM的FPGA，具有**非易失性**和**可重复编程**的双重优点，但不能动态重构，功耗也较高。

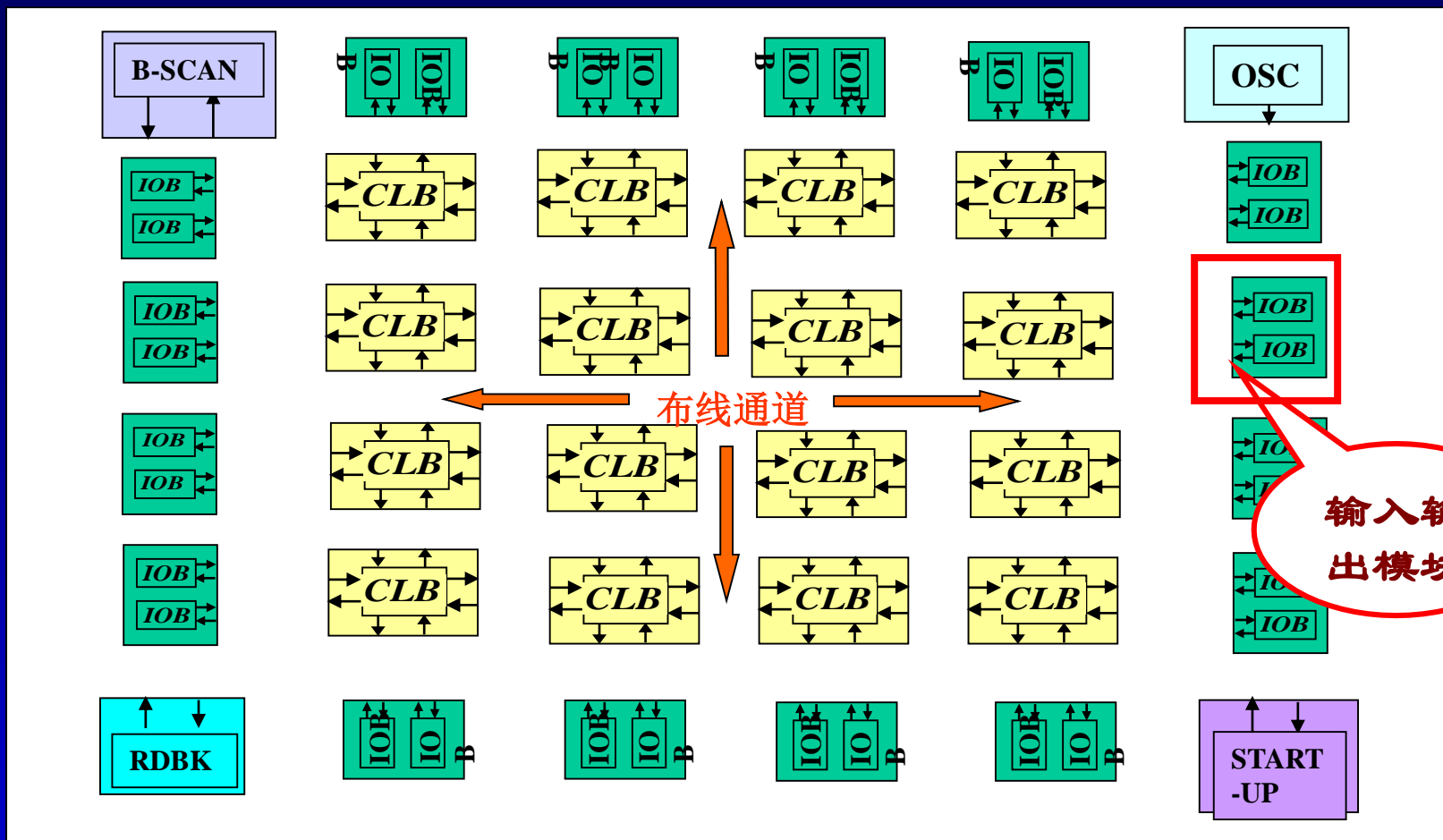
Xilinx 公司的 FPGA



CLB —— Configurable Logic Block

是FPGA实现各种逻辑功能的基本单元

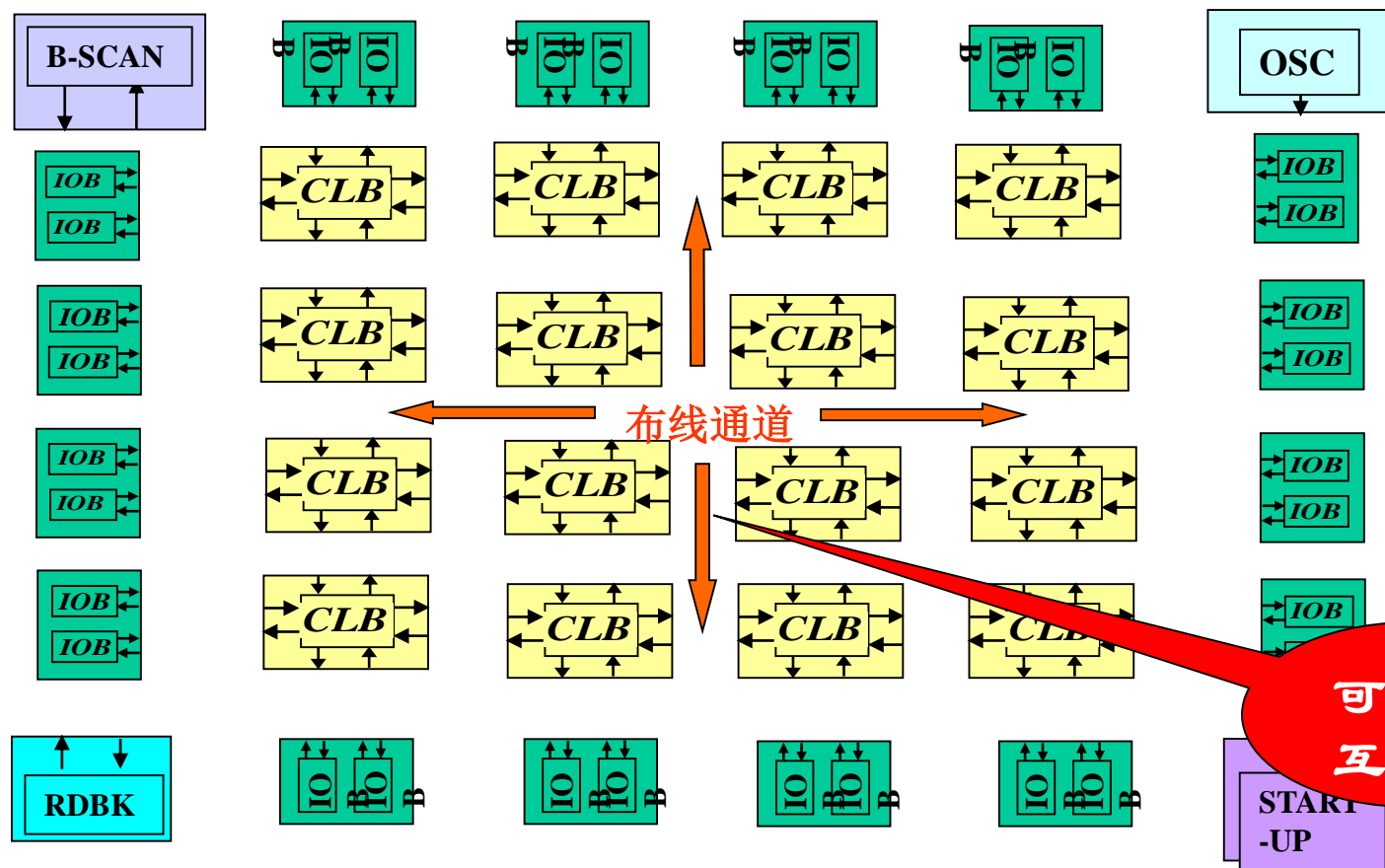
Xilinx 公司的 FPGA



IOB —— Input Output Block

是FPGA外部引脚与内部逻辑之间的接口

Xilinx 公司的 FPGA

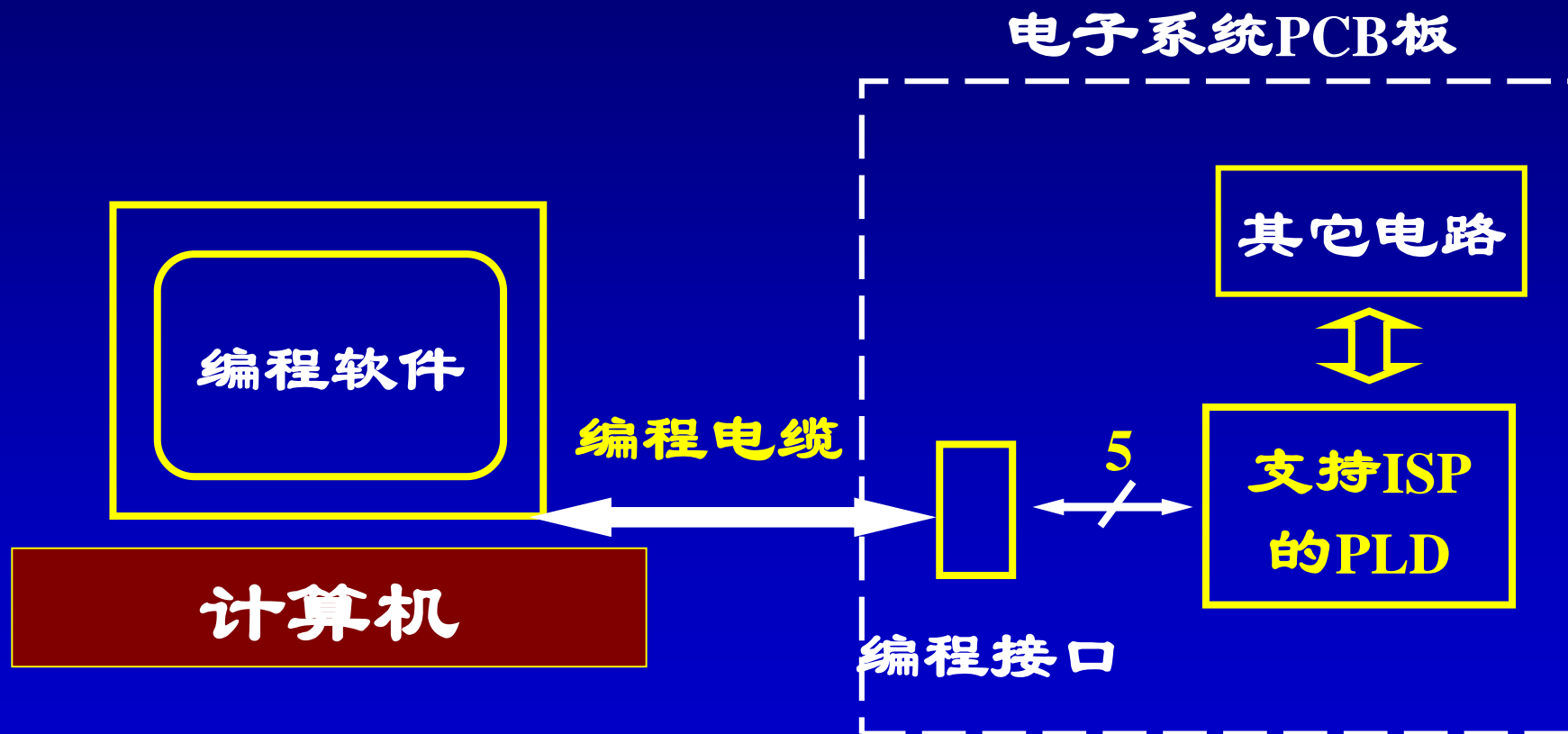


PI — Programmable Interconnect

构成所需要的信号通道

8.4 PLD 的编程

用PC机对ISP器件的编程



在系统编程 ISP (In-System Programmable)

是指对器件、电路板或整个电子系统的逻辑功能可随时进行修改或重构的能力。

这种重构或修改可以在产品设计、制造过程的任一环节，甚至是在交付用户以后进行。

在系统编程技术使PLD器件的编程变得非常容易，而且允许用户先制板装配，后编程，再进行系统调试。调试中发现问题后，在基本不改动硬件电路的前提下，只修改PLD芯片内的设计，重新对器件进行在线编程，实现改动。