

# 6. 时序逻辑电路

6.1 概 述

6.2 时序逻辑电路的分析

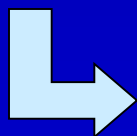
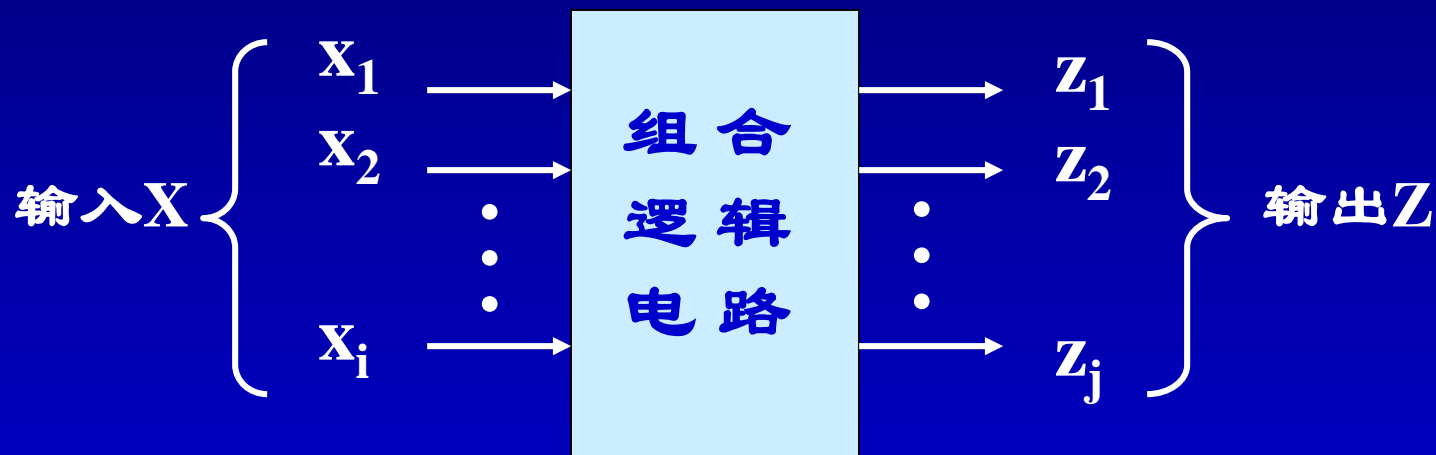
6.3 常用时序逻辑电路

6.4 时序逻辑电路的设计

# 6.1 概 述

## 一、时序逻辑电路与组合逻辑电路的比较

### 1、组合逻辑电路的一般结构



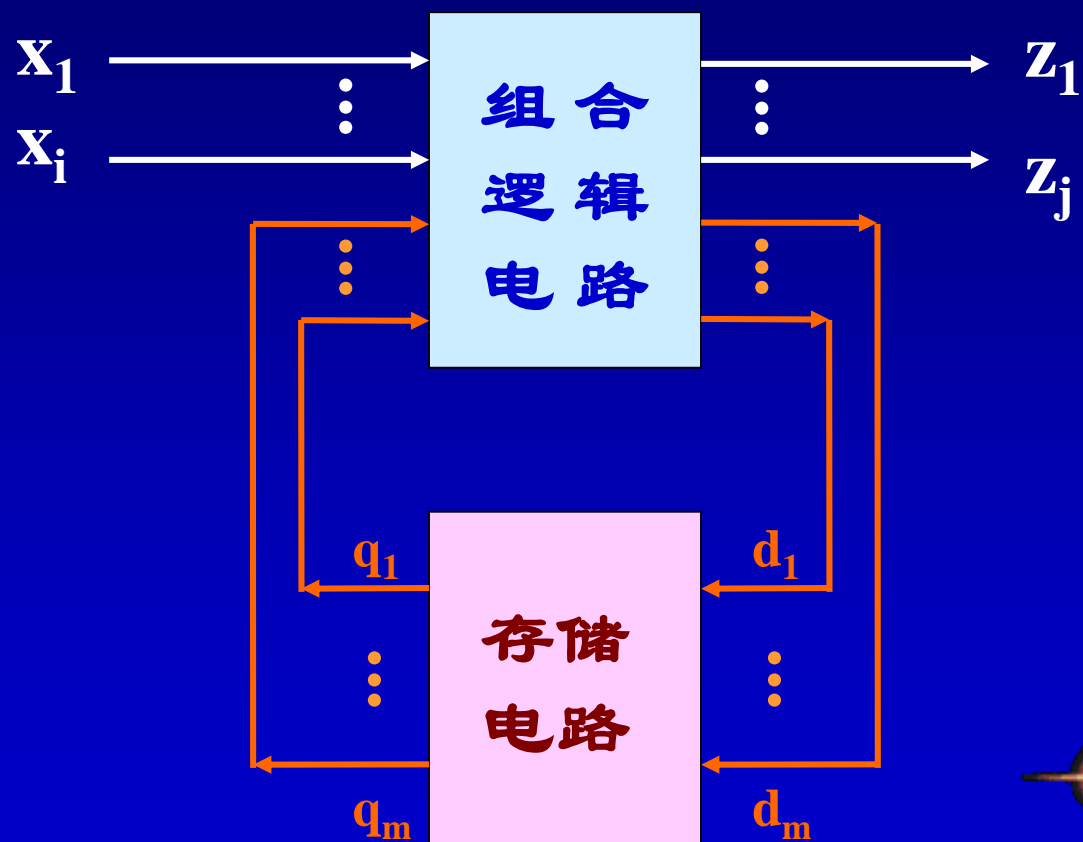
$$Z = F(X)$$

特点:

- (1) 电路结构上      (2) 输出与输入的关系上

# 6.1 概 述

## 2、时序逻辑电路的一般结构



X、Z、D、Q间的关系

(1) 输出方程

$$Z = F_1 (X, Q^n)$$

(2) 驱动方程

$$D = F_2 (X, Q^n)$$



(3) 状态方程

$$Q^{n+1} = F_3 (D, Q^n)$$

# 6.1 概 述

## 二、时序逻辑电路的概念及特点

### 1、概念

任何时刻的输出不仅取决于当时的输入，而且取决于电路原来的状态，即与以往的输入有关。

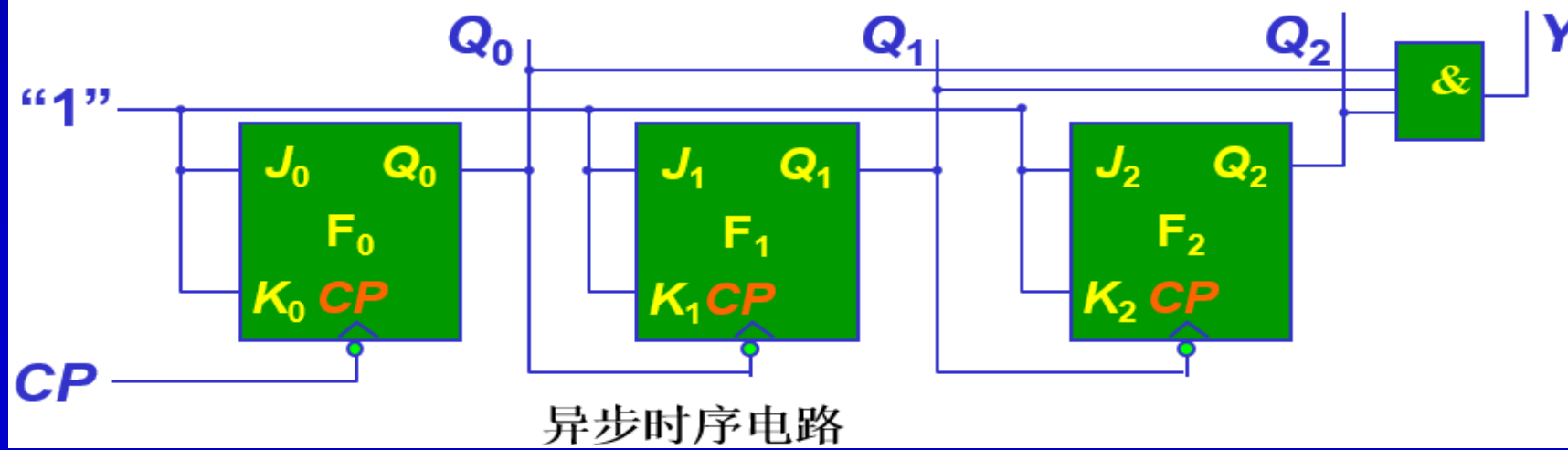
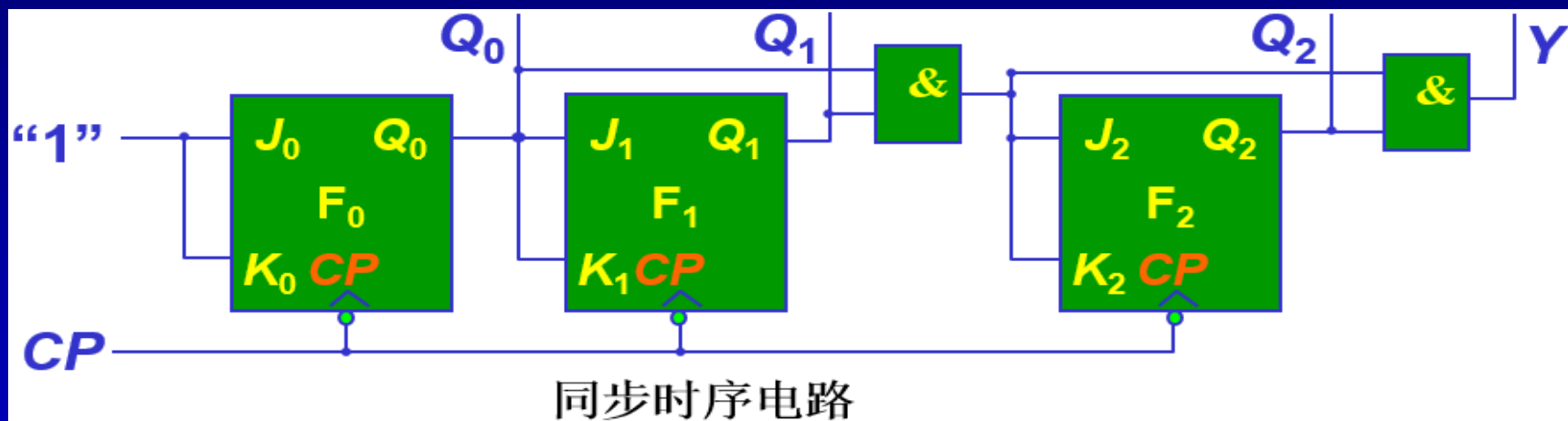
### 2、特点

- (1) 在电路结构上，时序电路除包含组合电路外，还必须包括存储电路（通常由触发器构成）；
- (2) 在输出与输入的关系上，存储电路的输出必须反馈到组合电路的输入端，与输入信号共同决定组合电路的输出。

### 三、时序逻辑电路的分类

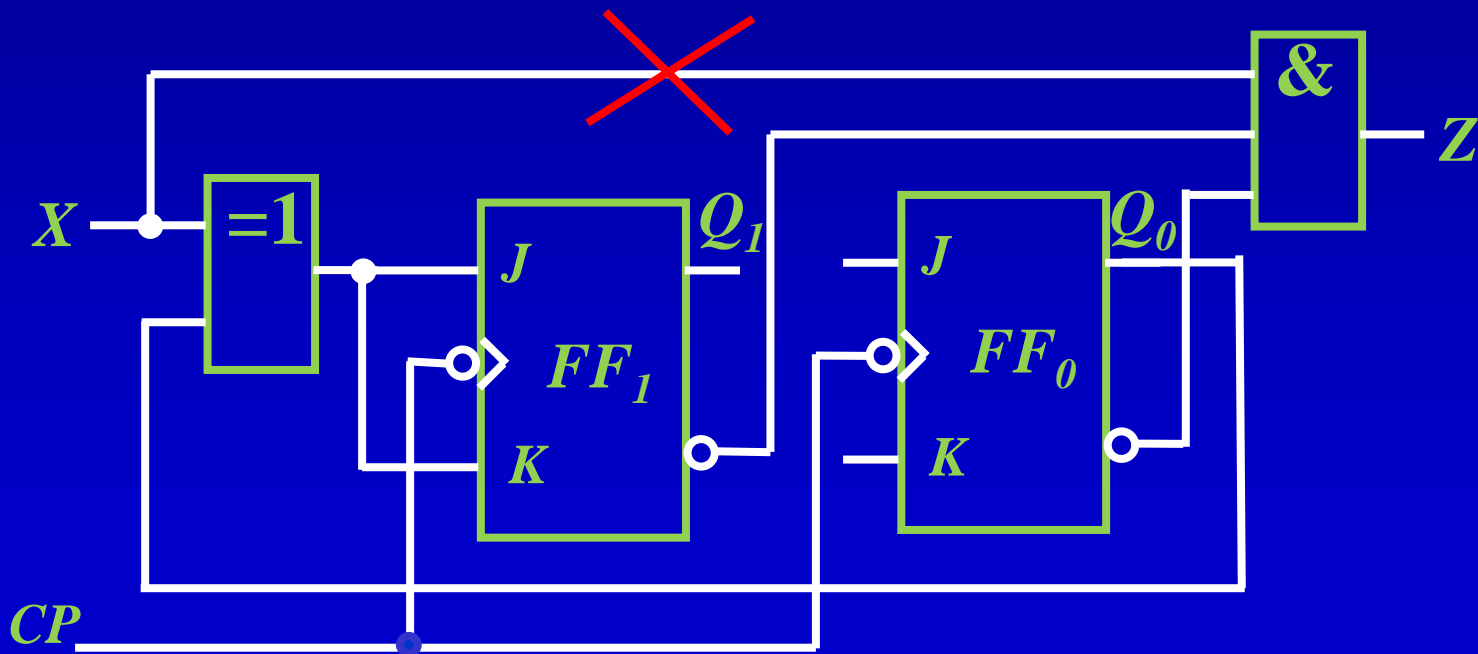
#### 1、按触发器的翻转特点

- 同步：所有触发器状态变化在同一时钟作用下，同时发生；速度快；但结构相对复杂
- 异步：触发器状态变化不是同时发生；速度慢；



## 2、按输出信号的特点

- 穆尔型**：输出 $Z$ 仅与触发器的状态 $Q^n$ 有关，而与外部输入 $X$ 无关；
$$Z = F_1(Q^n)$$
- 米利型**：输出 $Z$ 不仅与触发器的状态 $Q^n$ 有关，而且与外部输入 $X$ 有关；
$$Z = F_1(X, Q^n)$$



## 6.2 时序逻辑电路的分析

### 一、任务

已知时序逻辑电路图，求逻辑功能。

根据给定的时序逻辑电路，找出该电路在输入信号及时钟脉冲的作用下，

- ① 触发器电路状态转移的规律
- ② 电路输出变化的规律

从而确定 电路的逻辑功能。

## 6.2 时序逻辑电路的分析

### 二、分析步骤

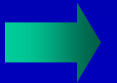
◆ 根据给定的时序电路，写出各组方程式。


◆ 时钟方程 (CP)

◆ 驱动方程 (D; J、K)

◆ 状态方程 ( $Q^{n+1}$ )

◆ 输出方程 (Z)

◆ 状态方程 }  
输出方程 }  状态转移表

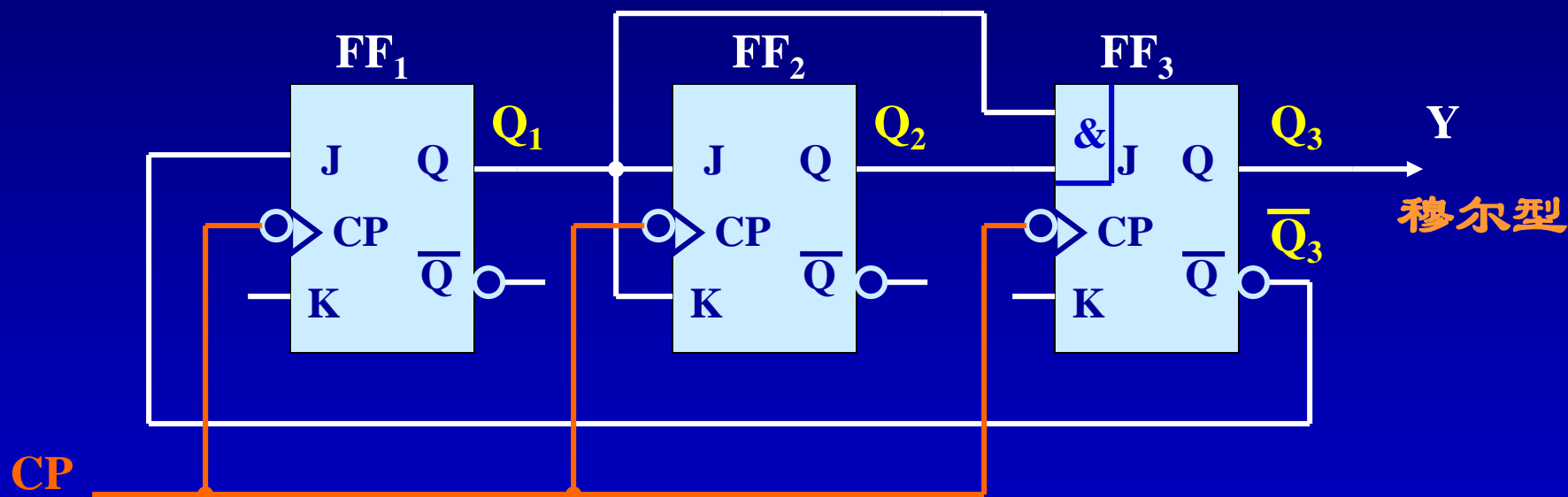
◆ 状态转移表  { 状态转移图  
波形图 (时序图)

◆ 概括电路的逻辑功能



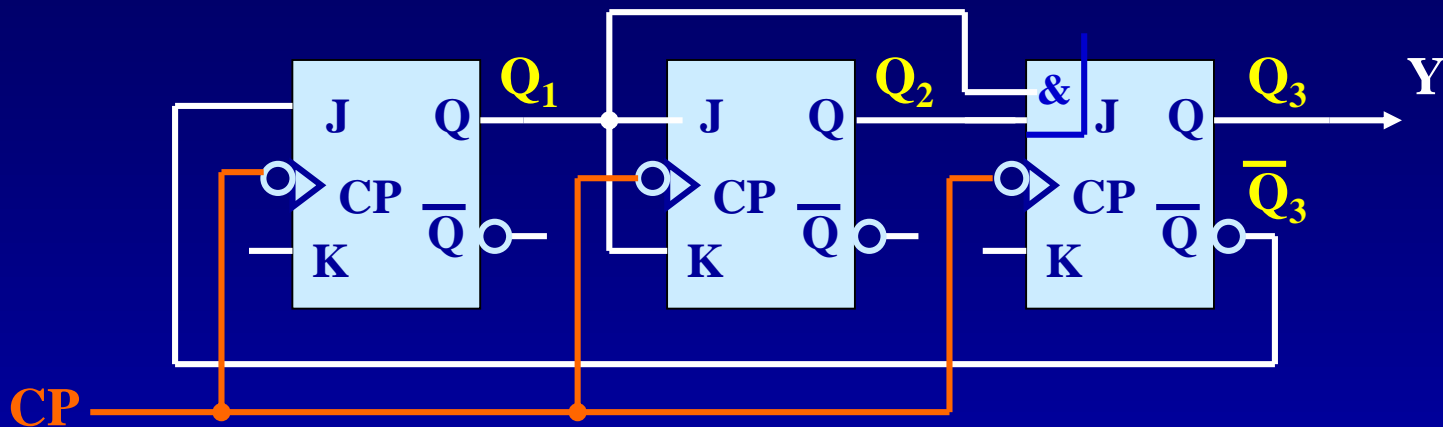
## 6.2 时序逻辑电路的分析

### 例1、分析同步时序电路



TTL 电路悬空的输入端当作1处理

## 6.2 时序逻辑电路的分析



解：

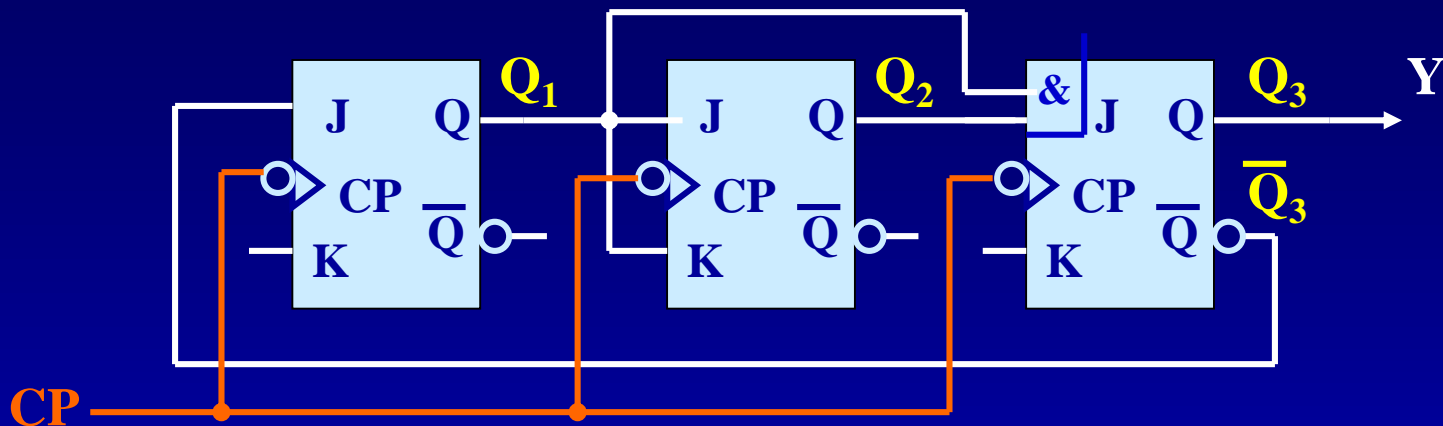
1、根据逻辑图，写出各组方程。

① 时钟方程：  $CP_1 = CP_2 = CP_3 = CP \downarrow$

② 驱动方程：

$$\begin{cases} J_1 = \bar{Q}_3^n \\ K_1 = 1 \end{cases}, \quad \begin{cases} J_2 = Q_1^n \\ K_2 = Q_1^n \end{cases}, \quad \begin{cases} J_3 = Q_1^n \cdot Q_2^n \\ K_3 = 1 \end{cases}$$

## 6.2 时序逻辑电路的分析



### ③ 状态方程

将驱动方程代入 JK-FF 的特征方程,  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

$$\begin{cases} Q_1^{n+1} = J_1\bar{Q}_1^n + \bar{K}_1Q_1^n = \bar{Q}_3^n\bar{Q}_1^n \\ Q_2^{n+1} = J_2\bar{Q}_2^n + \bar{K}_2Q_2^n = Q_1^n\bar{Q}_2^n + \bar{Q}_1^nQ_2^n = Q_1^n \oplus Q_2^n \\ Q_3^{n+1} = J_3\bar{Q}_3^n + \bar{K}_3Q_3^n = Q_1^nQ_2^n\bar{Q}_3^n \end{cases}$$

### ④ 输出方程: $Y = Q_3^n$

当前输出

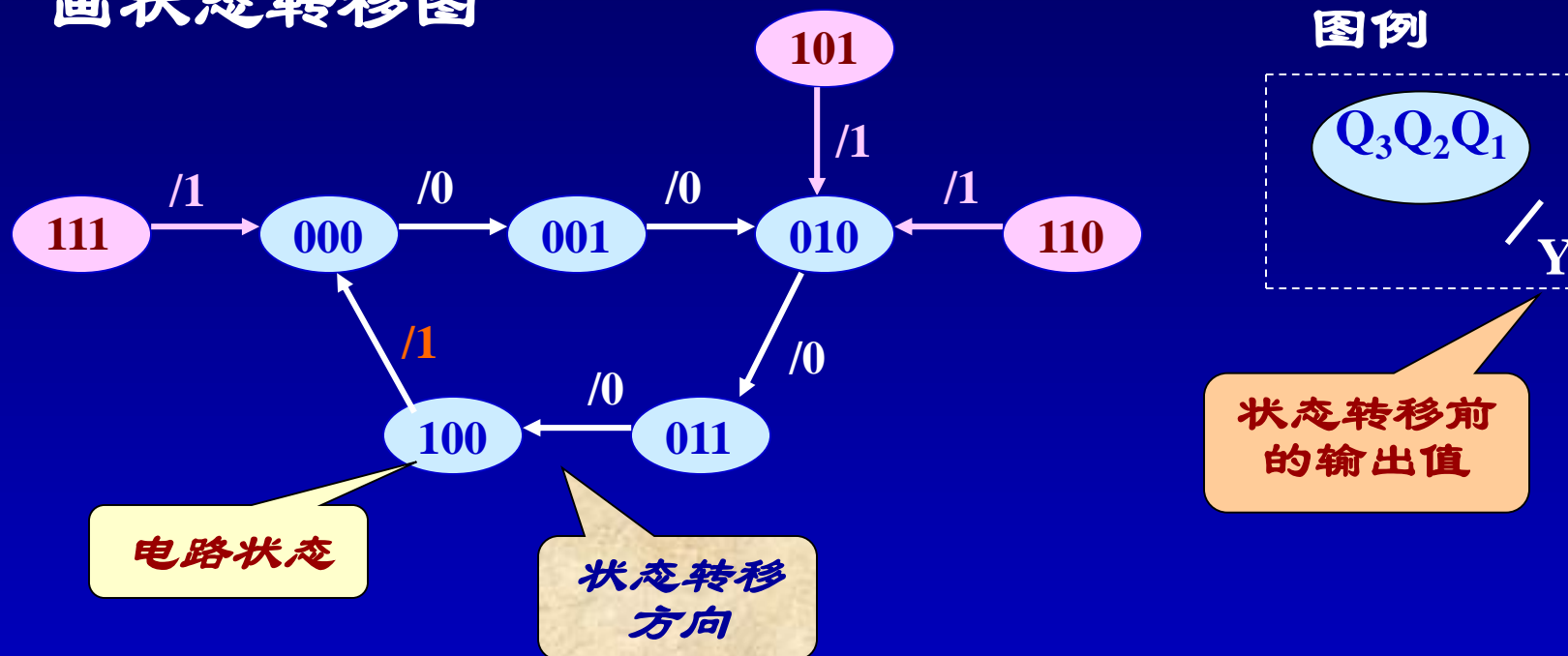
## 6.2 时序逻辑电路的分析

### 2、列状态转移表

	CP	初 态 $Q_3^n Q_2^n Q_1^n$	次 态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	当前输出 Y
有效状态	1	<u>0 0 0</u>	0 0 1	0
	2	0 0 1	0 1 0	0
	3	<u>0 1 0</u>	0 1 1	0
	4	0 1 1	1 0 0	0
	5	1 0 0	0 0 0	1
偏离状态	1	1 0 1	0 1 0	1
	1	1 1 0	0 1 0	1
	1	1 1 1	0 0 0	1

## 6.2 时序逻辑电路的分析

### 3、画状态转移图

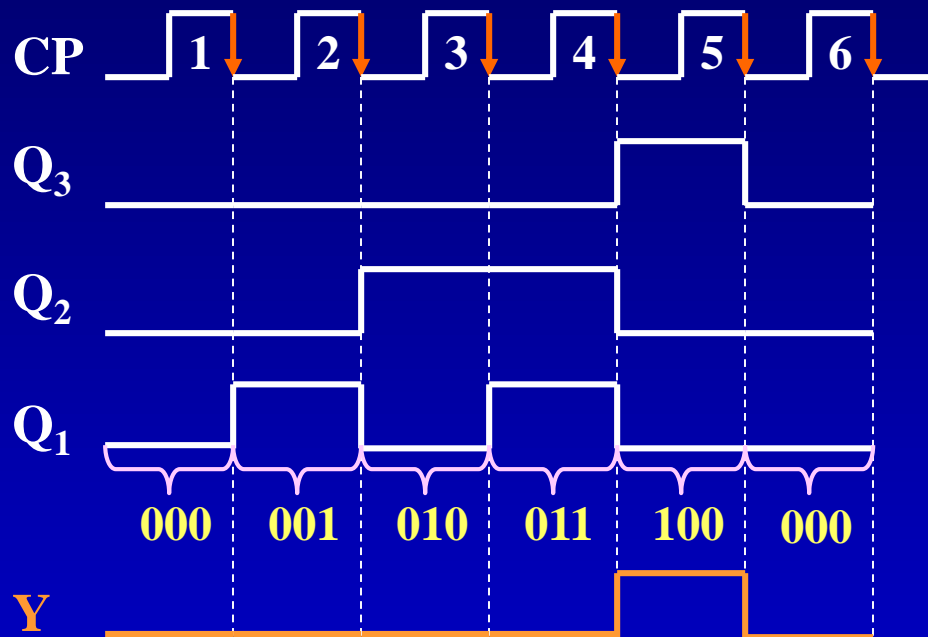


### 自启动性

对于具有若干个偏离状态的时序逻辑电路，如果**每个**偏离状态都能在**若干**个时钟脉冲作用后，最终**自动**转入有效状态，则该电路具有自启动性。

## 6.2 时序逻辑电路的分析

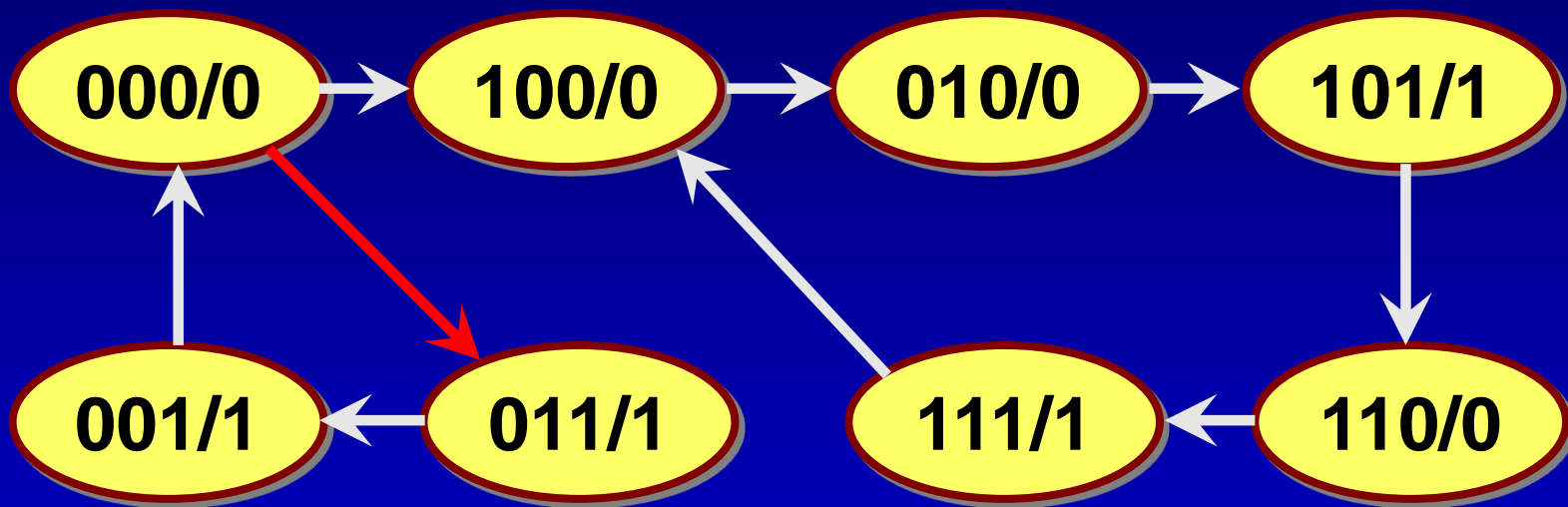
### 4、画时序图（波形图）



### 5、概括逻辑功能

- 同步5 进制计数器，以Y为进位输出；
- 具有自启动性；

## 可自启动电路与不可自启动电路举例

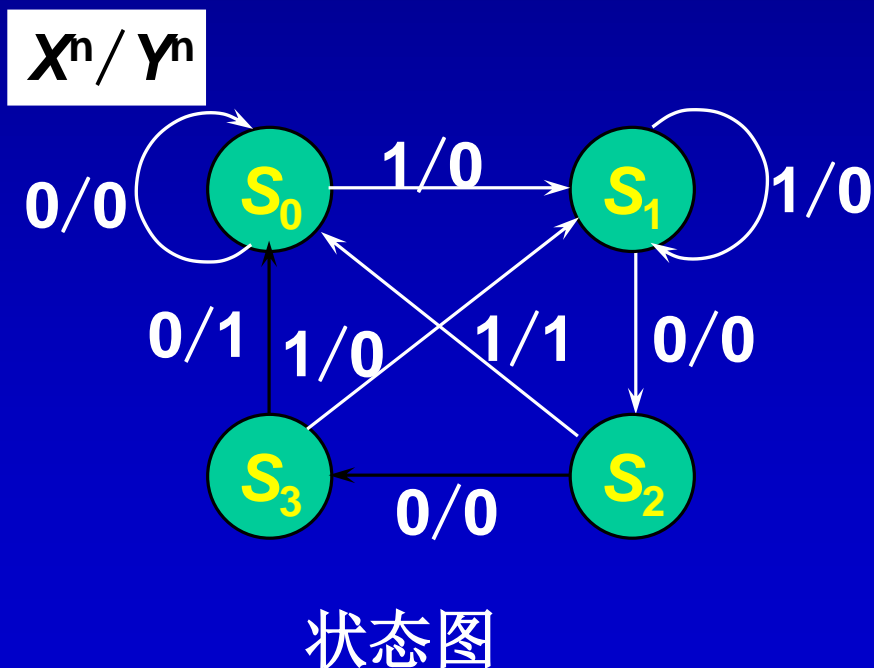


时序电路中的所有无效状态是否经过  
数个CP脉冲后都能进入有效状态环？

$Q_2Q_1Q_0/Z$

例、某时序逻辑电路的状态图如下。设电路现态为  $S_0$ ，试确定电路输入序列为  $X=1000010110$  时对应的输出状态序列和输出序列，并说明最后一位输入后电路所处状态。

解：根据电路的状态图，推导出状态表。

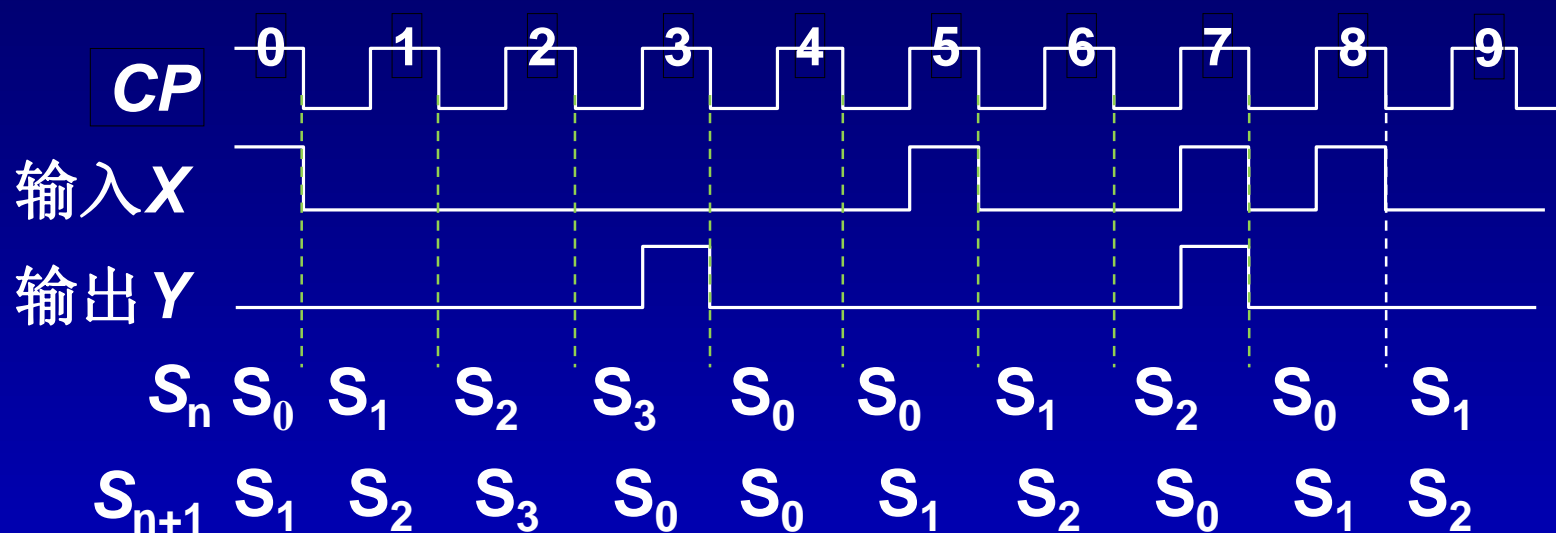


状态表

$S_n$	$X$	$S_{n+1} / Y$	
		0	1
$S_0$		$S_0 / 0$	$S_1 / 0$
$S_1$		$S_2 / 0$	$S_1 / 0$
$S_2$		$S_3 / 0$	$S_0 / 1$
$S_3$		$S_0 / 1$	$S_1 / 0$



由电路的状态图、状态表和初态，按输入 $X$ 序列推导出次态和输出序列。



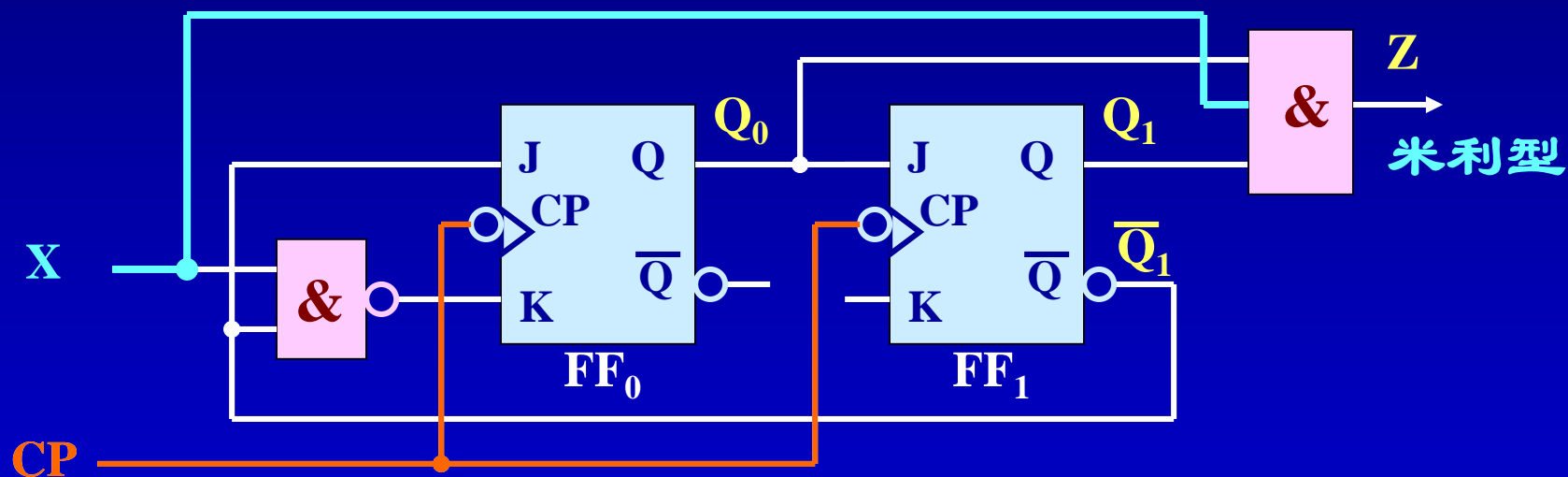
输入状态序列为：1000010110。

输出函数序列为：0001000100。

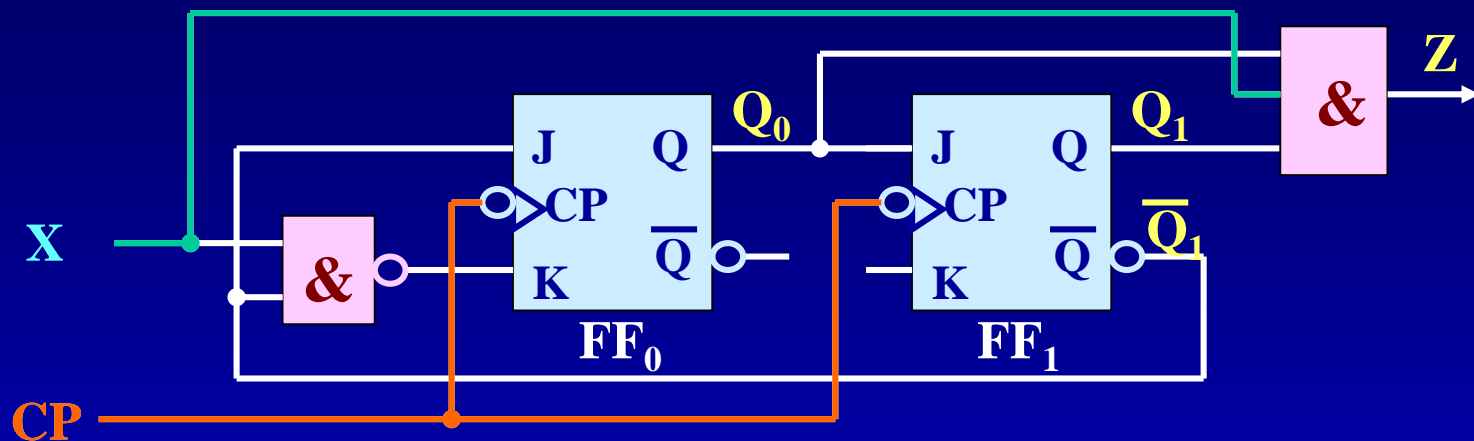
最后状态为： $S_2$ 。

## 6.2 时序逻辑电路的分析

### 例2、分析同步时序电路



## 6.2 时序逻辑电路的分析



解：

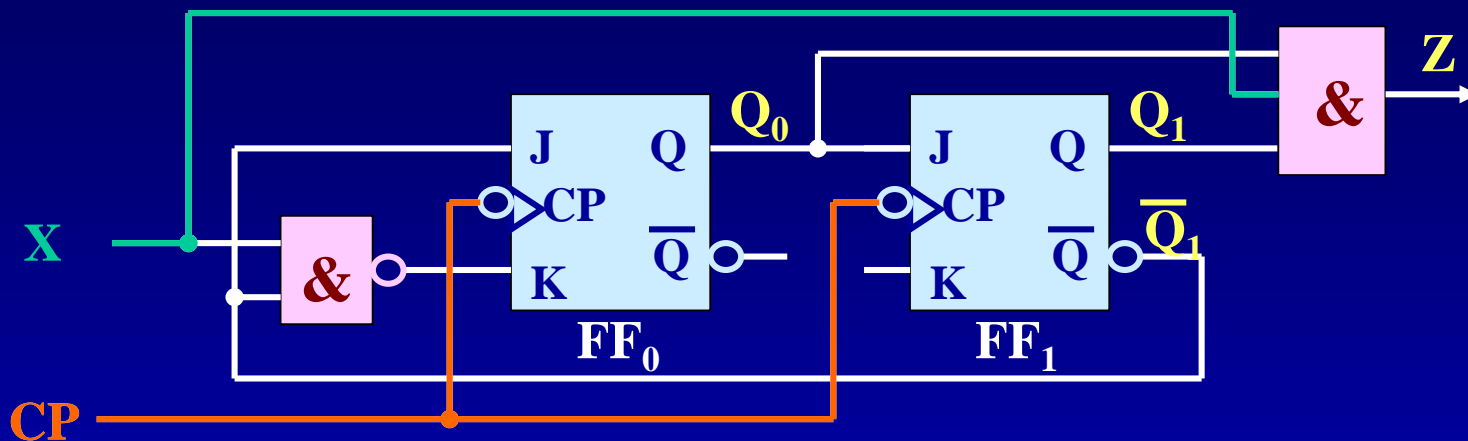
1、根据逻辑图，写出各组方程。

① 时钟方程：  $CP_0 = CP_1 = CP \downarrow$

② 驱动方程：

$$\begin{cases} J_0 = \bar{Q}_1^n \\ K_0 = X \bar{Q}_1^n, \end{cases} \quad \begin{cases} J_1 = Q_0^n \\ K_1 = 1 \end{cases}$$

## 6.2 时序逻辑电路的分析



### ③ 状态方程

将驱动方程代入 JK-FF 的特征方程,  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

$$\left\{ \begin{array}{l} \mathbf{Q}_0^{n+1} = \mathbf{J}_0 \bar{\mathbf{Q}}_0^n + \bar{\mathbf{K}}_0 \mathbf{Q}_0^n = \bar{\mathbf{Q}}_1^n \bar{\mathbf{Q}}_0^n + \mathbf{X} \bar{\mathbf{Q}}_1^n \mathbf{Q}_0^n \\ \quad \quad \quad = \bar{\mathbf{Q}}_1^n (\bar{\mathbf{Q}}_0^n + \mathbf{X} \mathbf{Q}_0^n) = \bar{\mathbf{Q}}_1^n (\bar{\mathbf{Q}}_0^n + \mathbf{X}) \\ \mathbf{Q}_1^{n+1} = \mathbf{J}_1 \bar{\mathbf{Q}}_1^n + \bar{\mathbf{K}}_1 \mathbf{Q}_1^n = \mathbf{Q}_0^n \bar{\mathbf{Q}}_1^n \end{array} \right.$$

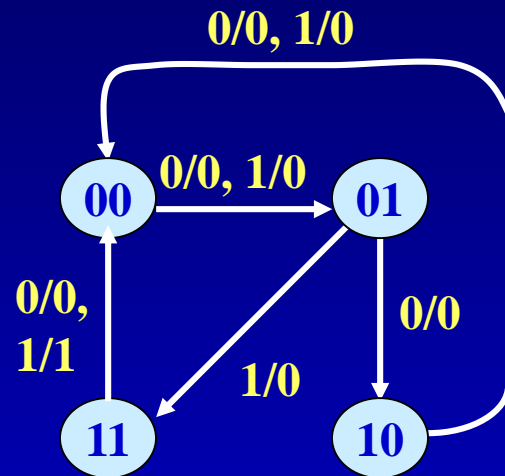
④ 输出方程:  $Z = X Q_0^n Q_1^n$

# 6.2 时序逻辑电路的分析

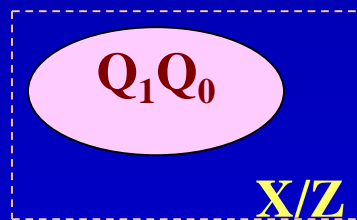
## 2、列状态转移表

外部输入 $X$	现态 $Q_1^n Q_0^n$	次态 $Q_1^{n+1} Q_0^{n+1}$	当前输出 $Z$
0	0 0	0 1	0
	0 1	1 0	0
	1 0	0 0	0
	1 1	0 0	0
1	0 0	0 1	0
	0 1	1 1	0
	1 0	0 0	0
	1 1	0 0	1

## 3、画状态转移图



图例

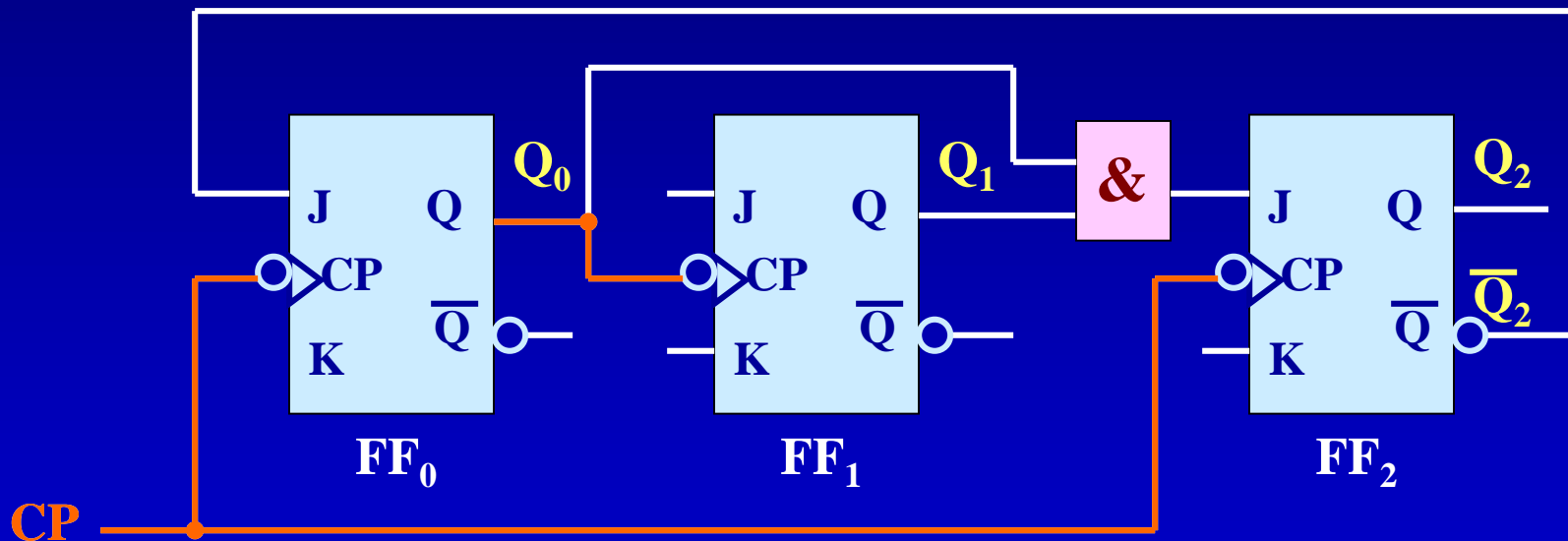


输入X值 ← ↘ 输出Z值

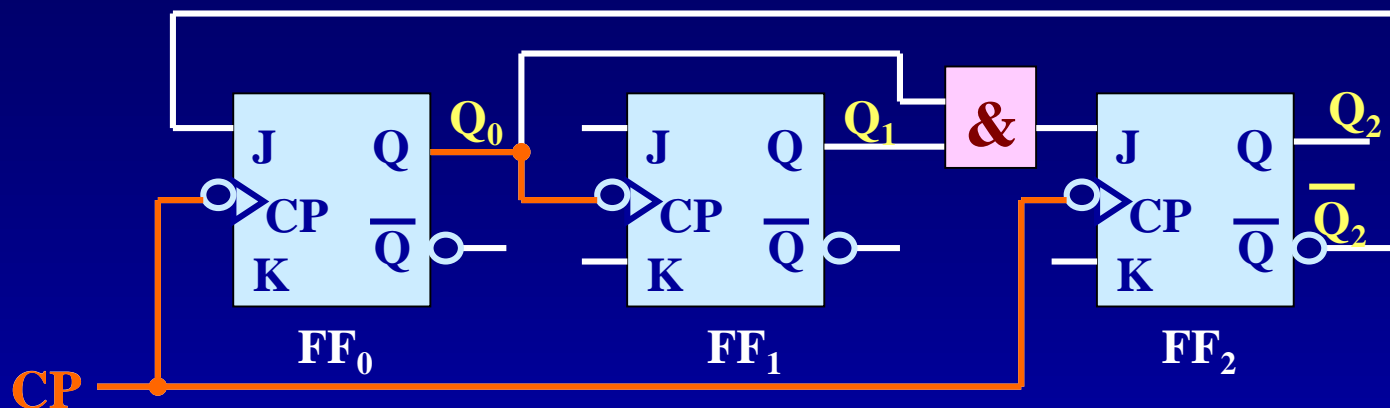
状态转移箭

## 6.2 时序逻辑电路的分析

### 例3、分析异步时序电路



## 6.2 时序逻辑电路的分析



解：

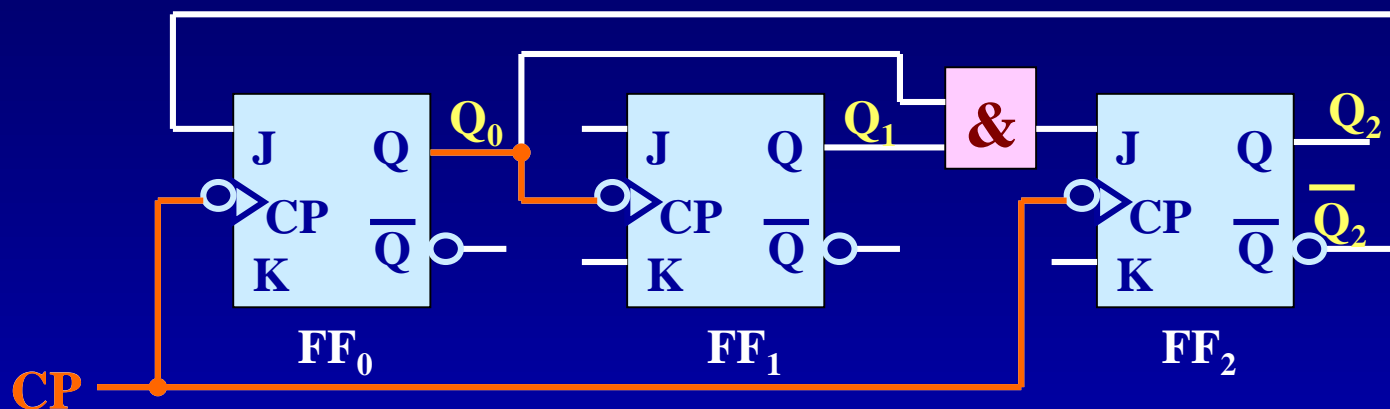
1、根据逻辑图，写出各组方程。

① 时钟方程：  $CP_0 = CP_2 = CP \downarrow$      $CP_1 = Q_0 \downarrow$

② 驱动方程：

$$\begin{cases} J_0 = \bar{Q}_2^n \\ K_0 = 1 \end{cases}, \quad \begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases}, \quad \begin{cases} J_2 = Q_0^n \cdot Q_1^n \\ K_2 = 1 \end{cases}$$

## 6.2 时序逻辑电路的分析



### ③ 状态方程 (标注时钟条件)

$$\begin{cases} Q_0^{n+1} = [J_0 \bar{Q}_0^n + \bar{K}_0 Q_0^n] \cdot CP \downarrow = [\bar{Q}_2^n \bar{Q}_0^n] \cdot CP \downarrow \\ Q_1^{n+1} = [J_1 \bar{Q}_1^n + \bar{K}_1 Q_1^n] \cdot Q_0 \downarrow = [\bar{Q}_1^n] \cdot Q_0 \downarrow \\ Q_2^{n+1} = [J_2 \bar{Q}_2^n + \bar{K}_2 Q_2^n] \cdot CP \downarrow = [\bar{Q}_2^n Q_1^n Q_0^n] \cdot CP \downarrow \end{cases}$$



## 6.2 时序逻辑电路的分析

### 2、列状态转移表

		$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	$CP_1 = Q_0 \downarrow$
有效状态		<u>0 0 0</u>	0 0 1	↑
		0 0 1	0 1 0	↓
		<u>0 1 0</u>	0 1 1	↑
		0 1 1	1 0 0	↓
		1 0 0	0 0 0	0
偏离状态		1 0 1	0 1 0	↓
		1 1 0	0 1 0	0
		1 1 1	0 0 0	↓

### 3、概括逻辑功能

具有自启动性的5进制、异步计数器

## 6.2 时序逻辑电路的分析

---

小结：时序逻辑电路的分析方法和步骤

同步时序逻辑电路

异步时序逻辑电路

## 6.3 常用时序逻辑电路

### 一、寄存器 (Register)

#### 1、概念

A register is a digital circuit with two basic functions :

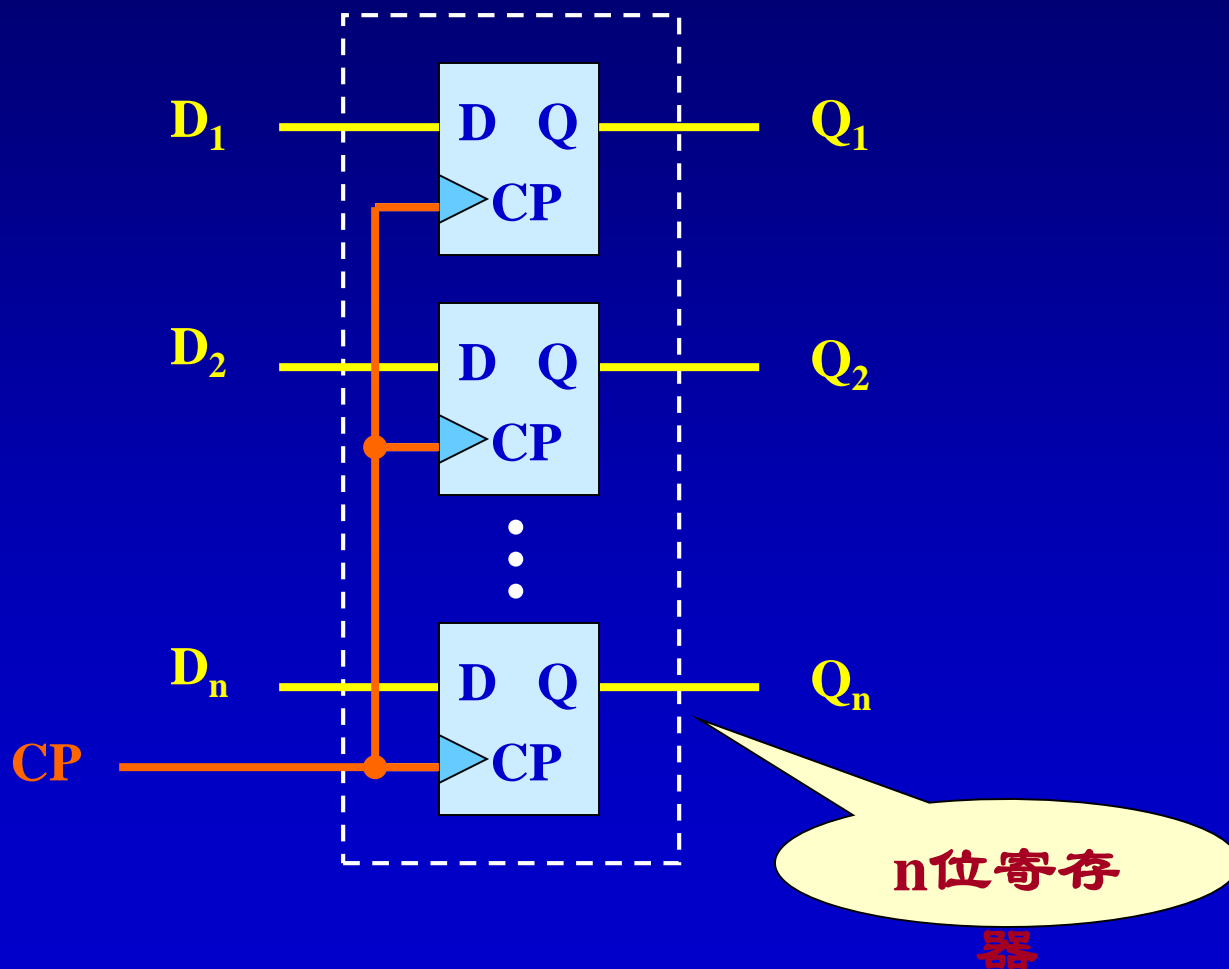
- data storage
- data movement

The storage capability of a register makes it an important type of memory device .



## 6.3 常用时序逻辑电路

### 寄存器与触发器



## 6.3 常用时序逻辑电路

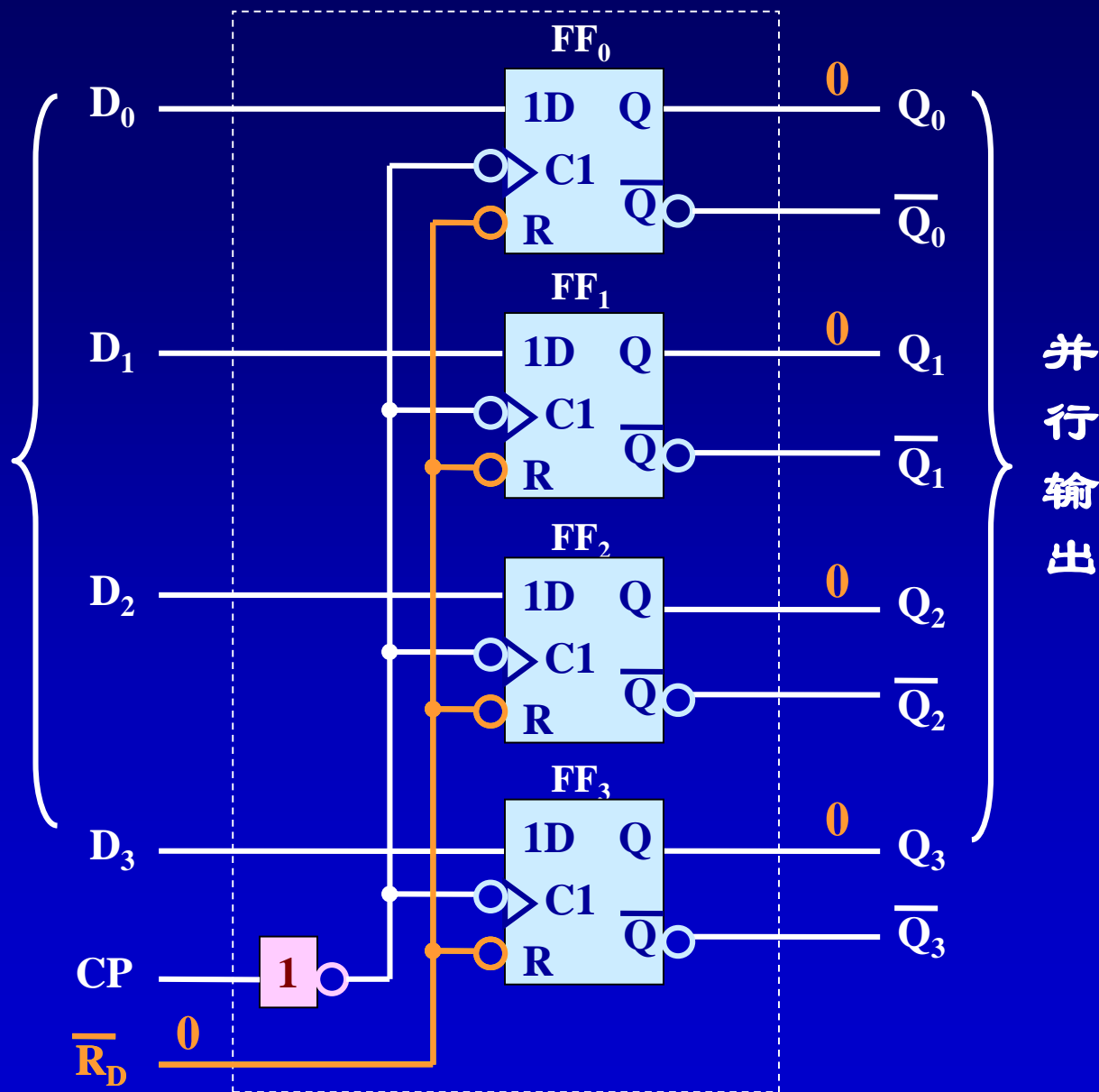
### 2、逻辑功能

74LS175

#### (1) 异步清0

$$\overline{R}_D = 0$$

并行输入



并行输出

## 6.3 常用时序逻辑电路

### (2) 并行数据输入

$$\overline{R_D} = 1$$

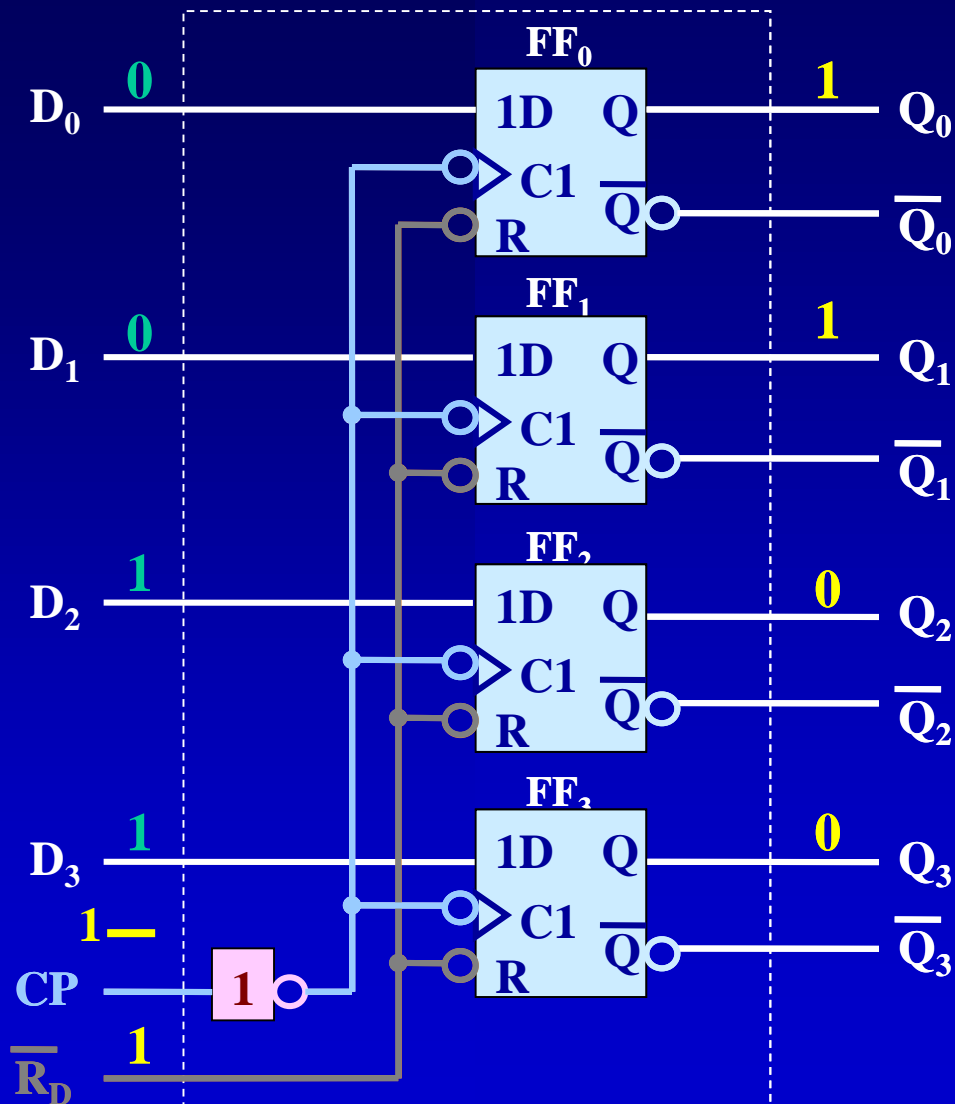
CP ↑ 时刻:

$$\begin{cases} Q_0^{n+1} = D_0 \\ Q_1^{n+1} = D_1 \\ Q_2^{n+1} = D_2 \\ Q_3^{n+1} = D_3 \end{cases}$$

### (3) 记忆保持

$\overline{R_D} = 1$  且 CP 无 ↑

### (4) 并行输出



## 6.3 常用时序逻辑电路

### 二、移位寄存器 (Shift Register)

#### 1、概念

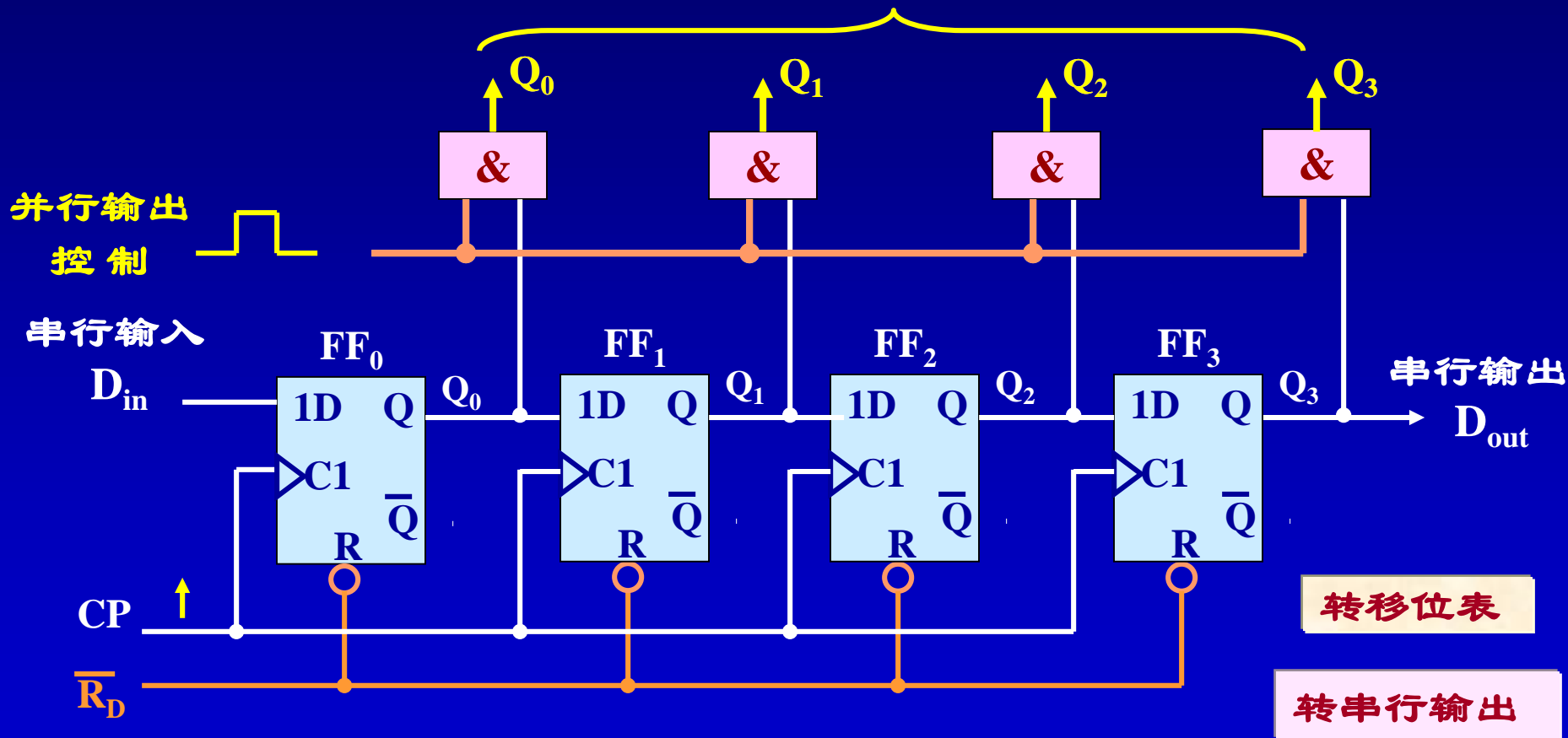
移位是指在移存脉冲作用下，寄存器中各位的内容依次向左（或向右）移动一位。

{	单向移位寄存器	{	左移移位寄存器
	双向移位寄存器		右移移位寄存器

## 6.3 常用时序逻辑电路

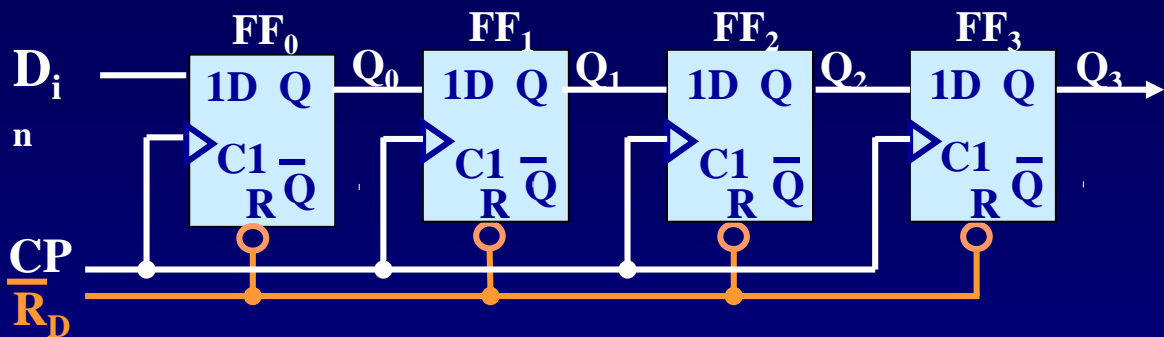
### 2、单向移位寄存器（4位右移移位寄存器）

并行输出





在 $D_{in}$  依次输入 1011



实现串—并转换

CP	$D_{in}$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	*	0	0	0	0
1↑	1	1	0	0	0
2↑	0	0	1	0	0
3↑	1	1	0	1	0
4↑	1	1	1	0	1
5↑	0	0	1	1	0
6↑	0	0	0	1	1
7↑	0	0	0	0	1
8↑	0	0	0	0	0

异步清0

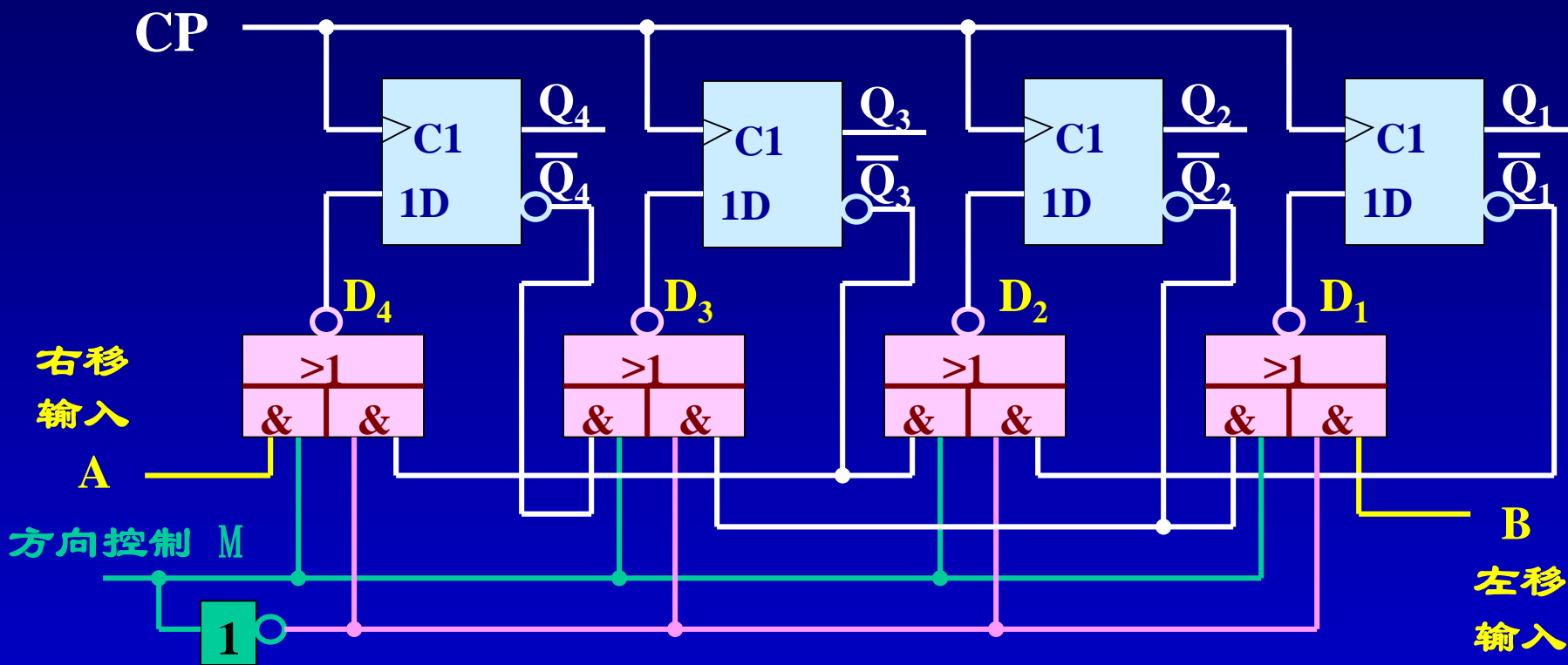
并行输出

转并行输出

串行输出

## 6.3 常用时序逻辑电路

### 3、双向移位寄存器



- ①  $M=0$ ,  $Q_4^{n+1} = Q_3^n$ ,  $Q_3^{n+1} = Q_2^n$ ,  $Q_2^{n+1} = Q_1^n$ ,  $Q_1^{n+1} = B$ , **左移移位**;
- ②  $M=1$ ,  $Q_4^{n+1} = A$ ,  $Q_3^{n+1} = Q_4^n$ ,  $Q_2^{n+1} = Q_3^n$ ,  $Q_1^{n+1} = Q_2^n$ , **右移移位**;

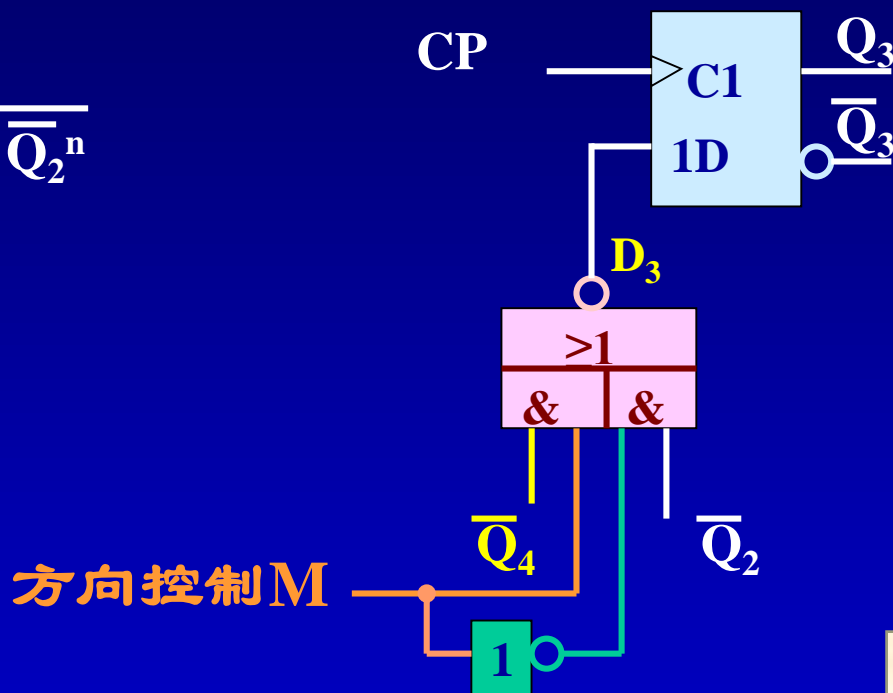
转移位分析

## 6.3 常用时序逻辑电路

### 移位分析

$$Q_3^{n+1} = D_3 = \overline{M} \overline{Q_4^n} + \overline{M} \overline{Q_2^n}$$

$$= \begin{cases} M=0, & Q_2^n \\ M=1, & Q_4^n \end{cases}$$

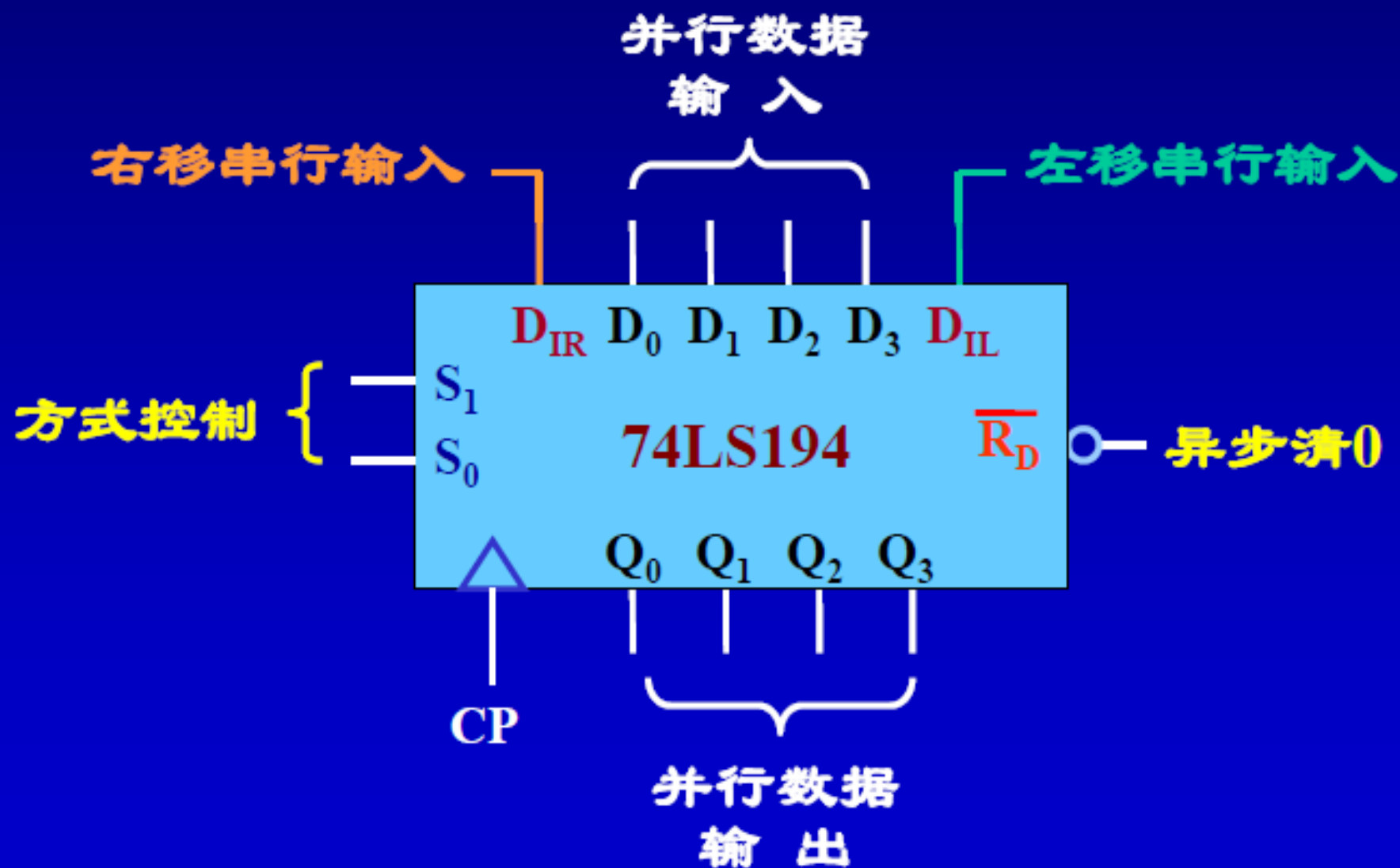


返回

同理可得：

- ①  $M=0$  ,  $Q_4^{n+1} = Q_3^n$  ,  $Q_3^{n+1} = Q_2^n$  ,  $Q_2^{n+1} = Q_1^n$  ,  $Q_1^{n+1} = B$  ;
- ②  $M=1$  ,  $Q_4^{n+1} = A$  ,  $Q_3^{n+1} = Q_4^n$  ,  $Q_2^{n+1} = Q_3^n$  ,  $Q_1^{n+1} = Q_2^n$  ;

# 4位双向移位寄存器 74LS194



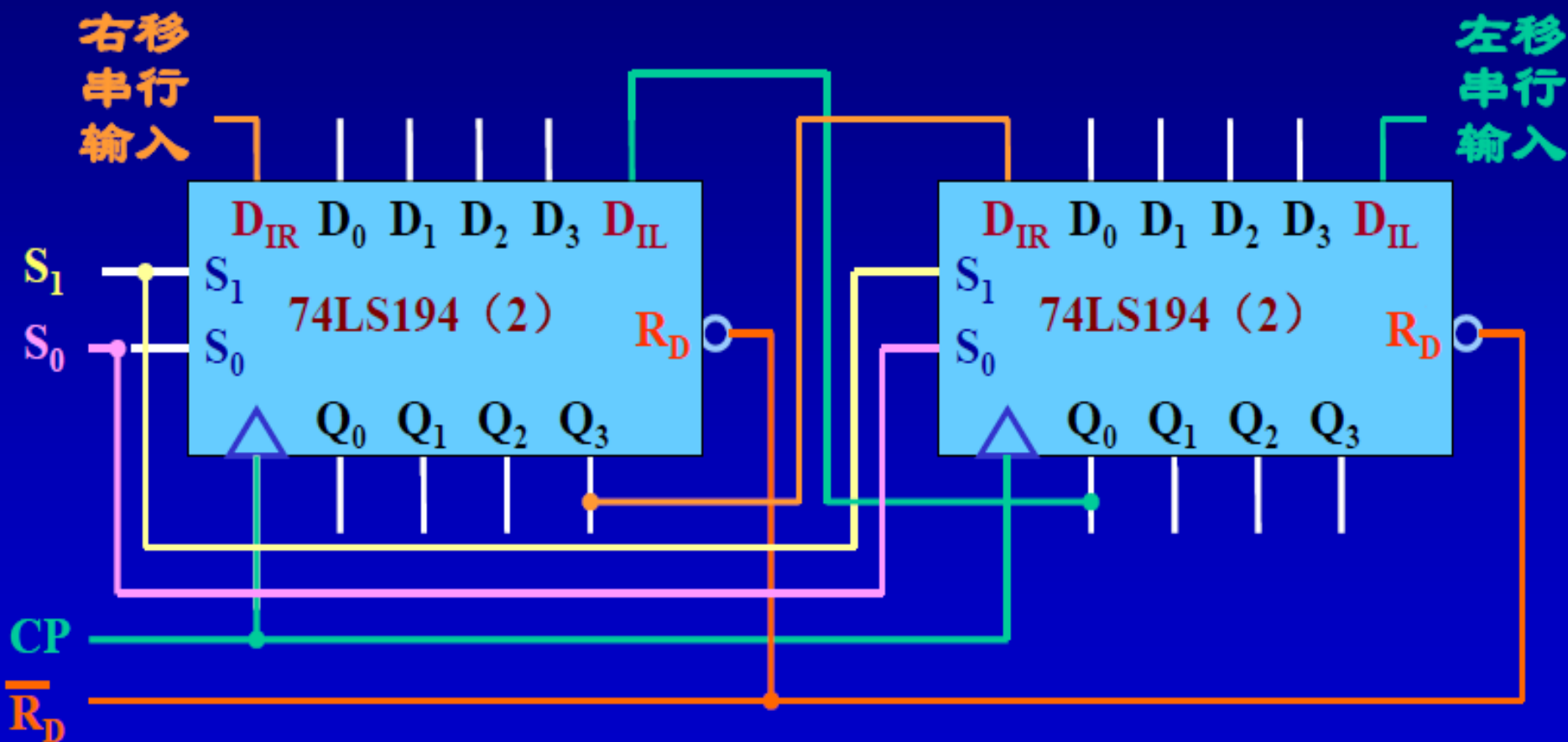
# 74LS194功能表

输 入				输 出	工作状态
$\overline{R_D}$	$S_1 S_0$	CP	$D_0 D_1 D_2 D_3$	$Q_0 Q_1 Q_2 Q_3$	
0	X X	X	X X X X	0 0 0 0	异步清0
1	0 0	X	X X X X	$Q_0^n Q_1^n Q_2^n Q_3^n$	数据保持
1	0 1	↑	X X X X	$D_{IR} Q_0^n Q_1^n Q_2^n$	同步右移
1	1 0	↑	X X X X	$Q_1^n Q_2^n Q_3^n D_{IL}$	同步左移
1	1 1	↑	$d_0 d_1 d_2 d_3$	$d_0 d_1 d_2 d_3$	同步置数

## 4、应用

### 级联扩展

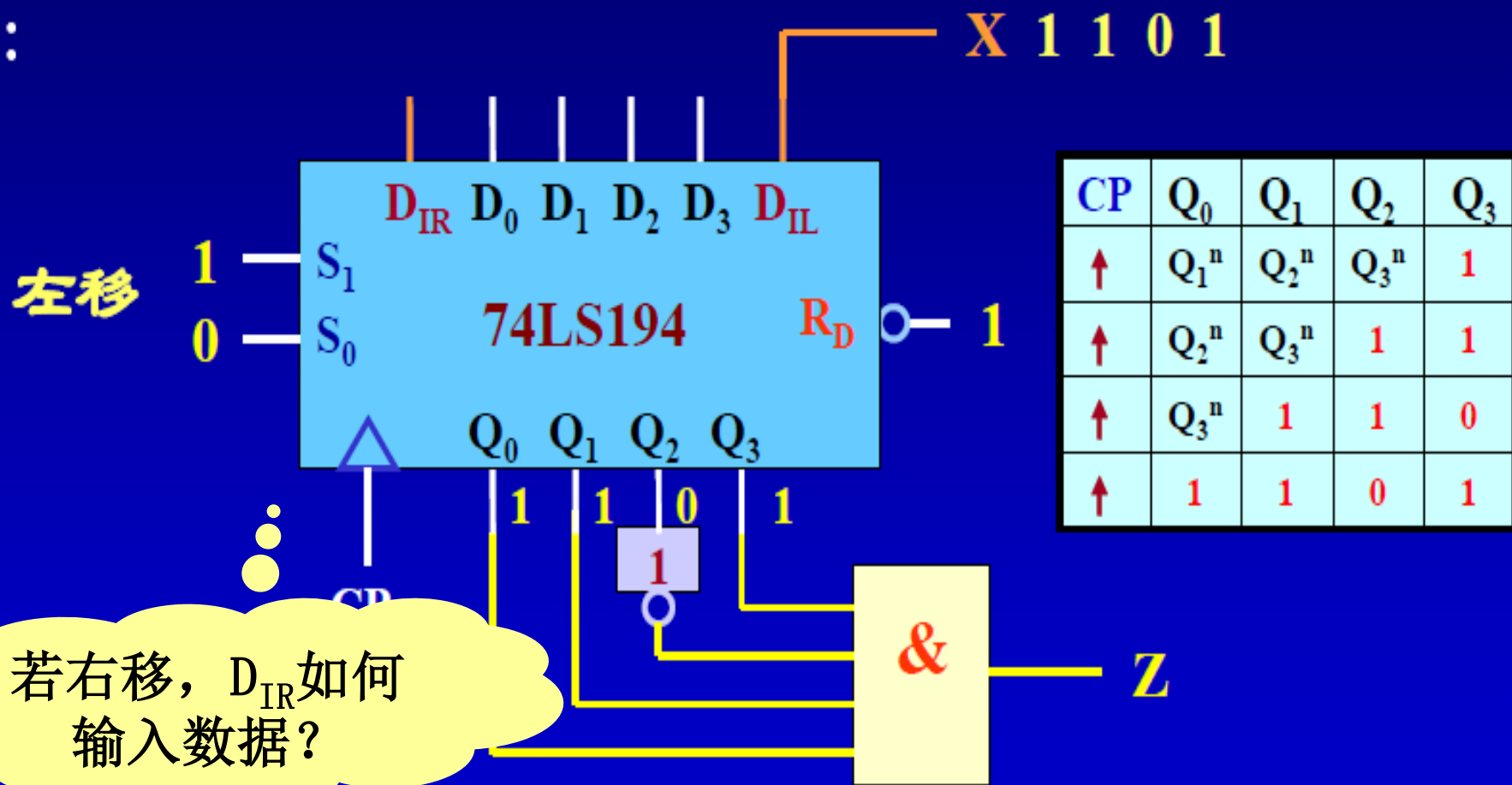
例1：将两片74LS194接成8位双向移位寄存器



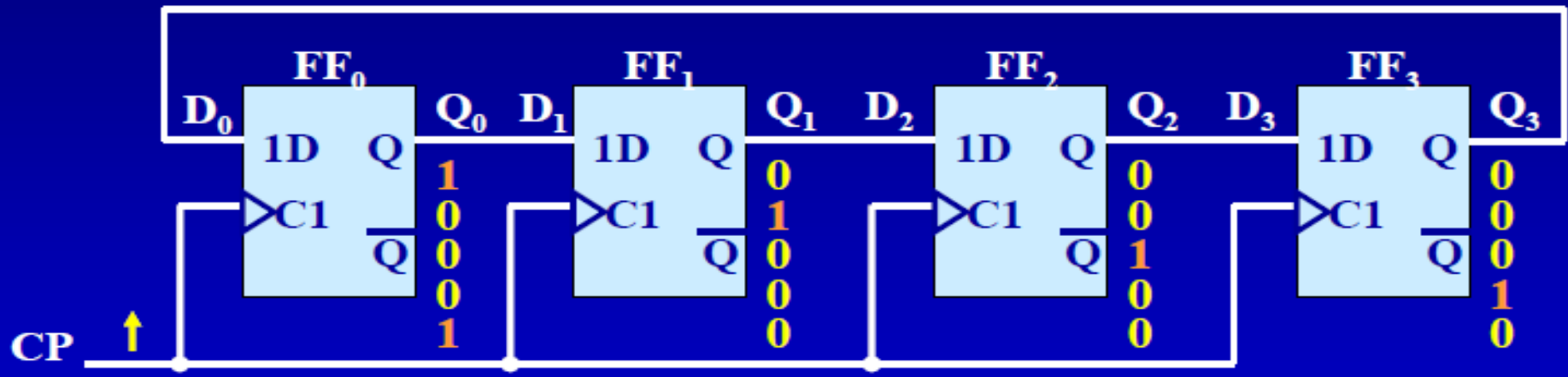
# (1) 构成序列检测器

例2、用74LS194 实现“1101”序列检测器, 允许输入序列码重叠。

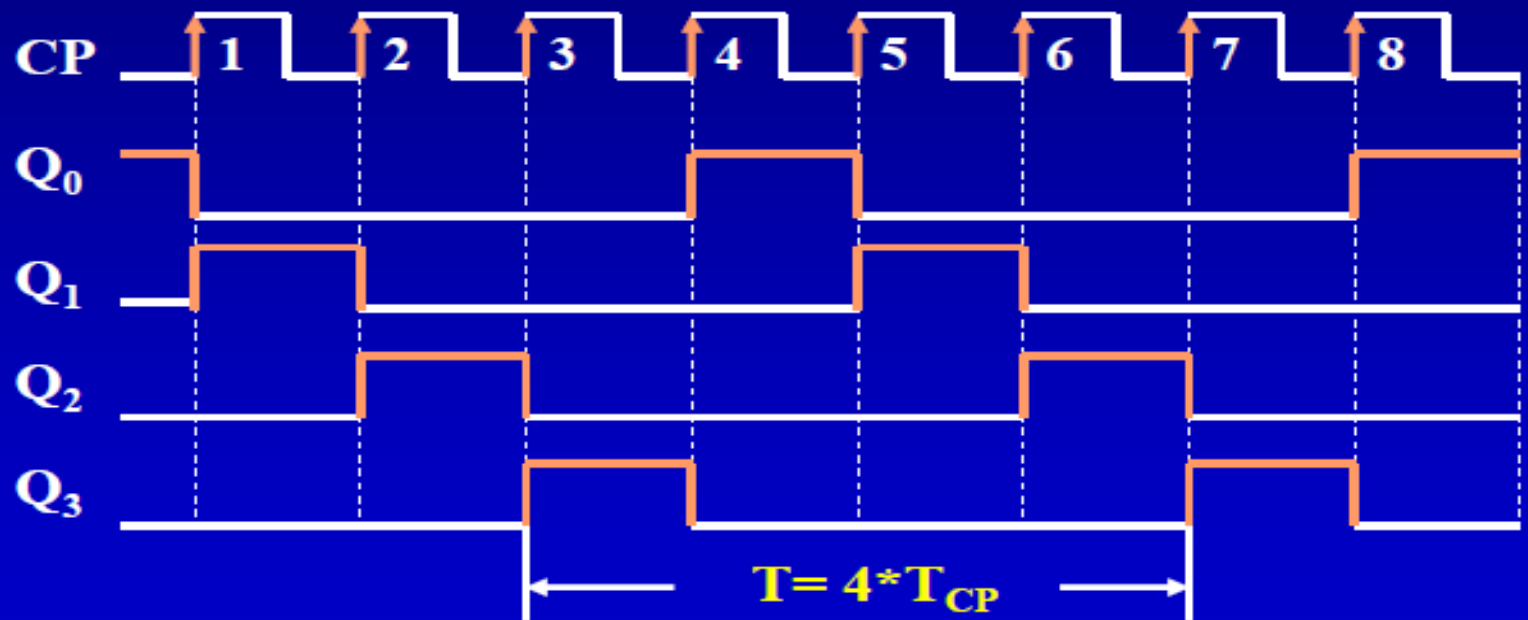
解:



## (2) 构成寄存器型计数器



时序图





## 6.3 常用时序逻辑电路

### 三、计数器 (Counter)

#### 1、概念

#### 2、分类

◆ 按计数脉冲输入方式 { 同步计数器  
异步计数器

◆ 按计数增减趋势 { 加法计数器  
减法计数器  
可逆计数器

◆ 按计数进制 { 二进制计数器  
非二进制计数器

## 6.3 常用时序逻辑电路

### 3、同步计数器

(1) 同步二进制计数器

(2) 同步二—十进制计数器

} 分析方法与同步时序  
电路完全相同

给定的同步  
计数器电路

↓  
各组方程

时钟方程  
驱动方程  
状态方程  
输出方程

} 状态转移表

} 有效状态  
偏离状态

↓  
状态转移图

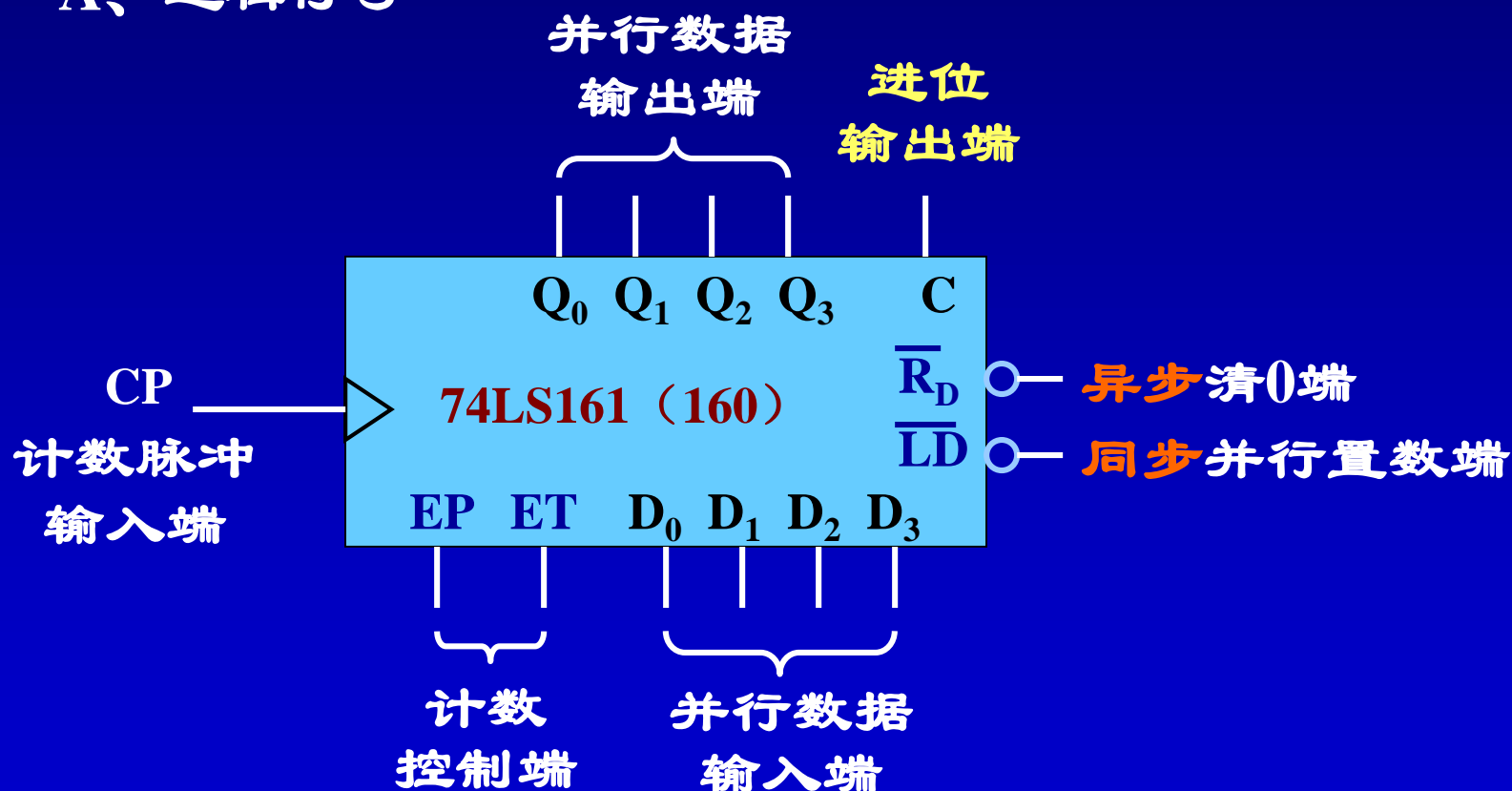
} 分析逻辑功能  
判断自启动性

## 6.3 常用时序逻辑电路

### (3) 集成同步二进制计数器

**74LS161/160** —— 同步16/10 进制加法计数器

A、逻辑符号



## 6.3 常用时序逻辑电路

### B、逻辑功能

74LS160/161 功能表

$\overline{R_D}$	$\overline{LD}$	EP	ET	CP	$D_0 D_1 D_2 D_3$	$Q_0 Q_1 Q_2 Q_3$
0	X	X	X	X	X X X X	0 0 0 0
1	0	X	X	↑	$d_0 d_1 d_2 d_3$	$d_0 d_1 d_2 d_3$
1	1	1	1	↑	X X X X	计 数
1	1	0	X	X	X X X X	保 持
1	1	X	0	X	X X X X	保持, C=0

i 异步清0

ii 同步并行置数

iii 加法计数

} iv 保持

进位输出:

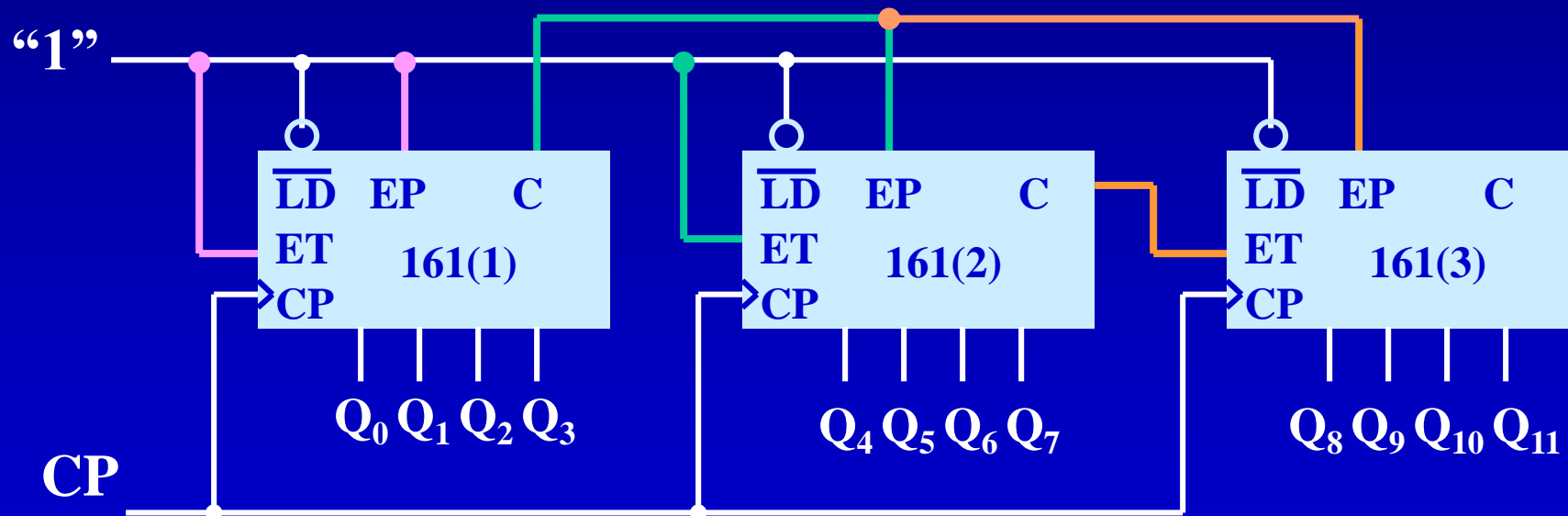
$$161: C = Q_3^n \cdot Q_2^n \cdot Q_1^n \cdot Q_0^n \cdot ET$$

$$160: C = Q_3^n \cdot \overline{Q_2^n} \cdot \overline{Q_1^n} \cdot Q_0^n \cdot ET$$

## 6.3 常用时序逻辑电路

例1、用3片4位二进制计数器74LS161 构成  
12位二进制同步计数器。

解： 方法1

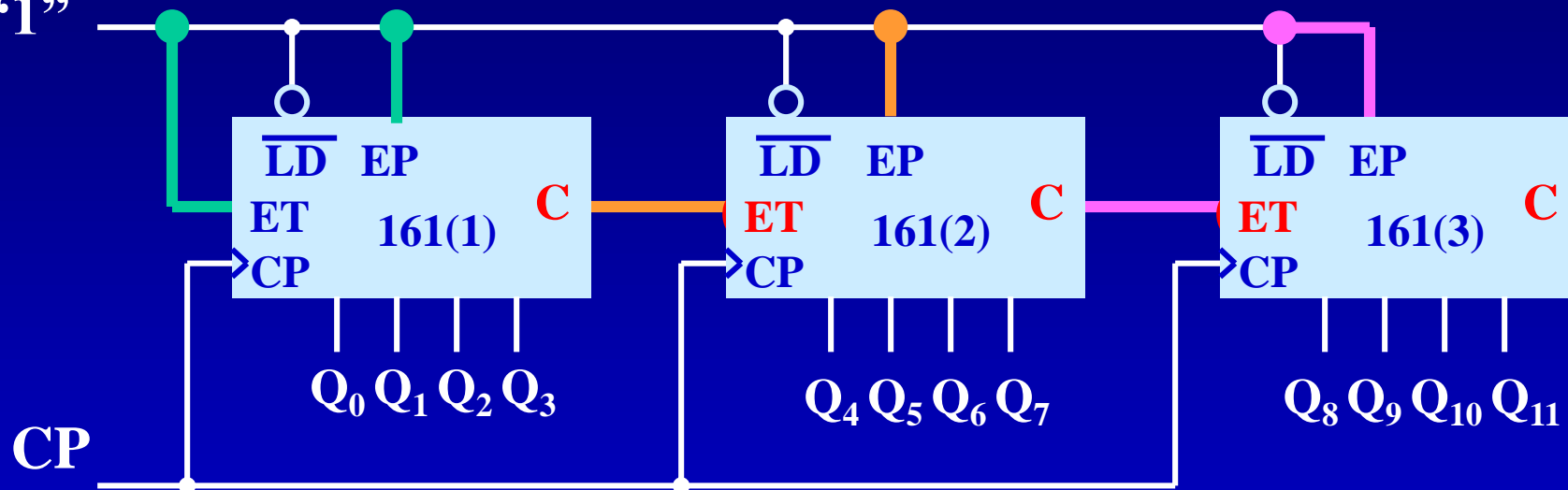


## 6.3 常用时序逻辑电路

如何利用  $C = Q_3^n \cdot Q_2^n \cdot Q_1^n \cdot Q_0^n \cdot ET$  简化连线？

方法2

“1”



$$\begin{aligned}
 C(2) &= Q_7^n \cdot Q_6^n \cdot Q_5^n \cdot Q_4^n \cdot ET(2) = Q_7^n \cdot Q_6^n \cdot Q_5^n \cdot Q_4^n \cdot C(1) \\
 &= \underline{Q_7^n \cdot Q_6^n \cdot Q_5^n \cdot Q_4^n} \cdot \underline{Q_3^n \cdot Q_2^n \cdot Q_1^n \cdot Q_0^n} \cdot ET(1)
 \end{aligned}$$

## 四、序列信号发生器

电路功能：

输出一个周期序列信号；

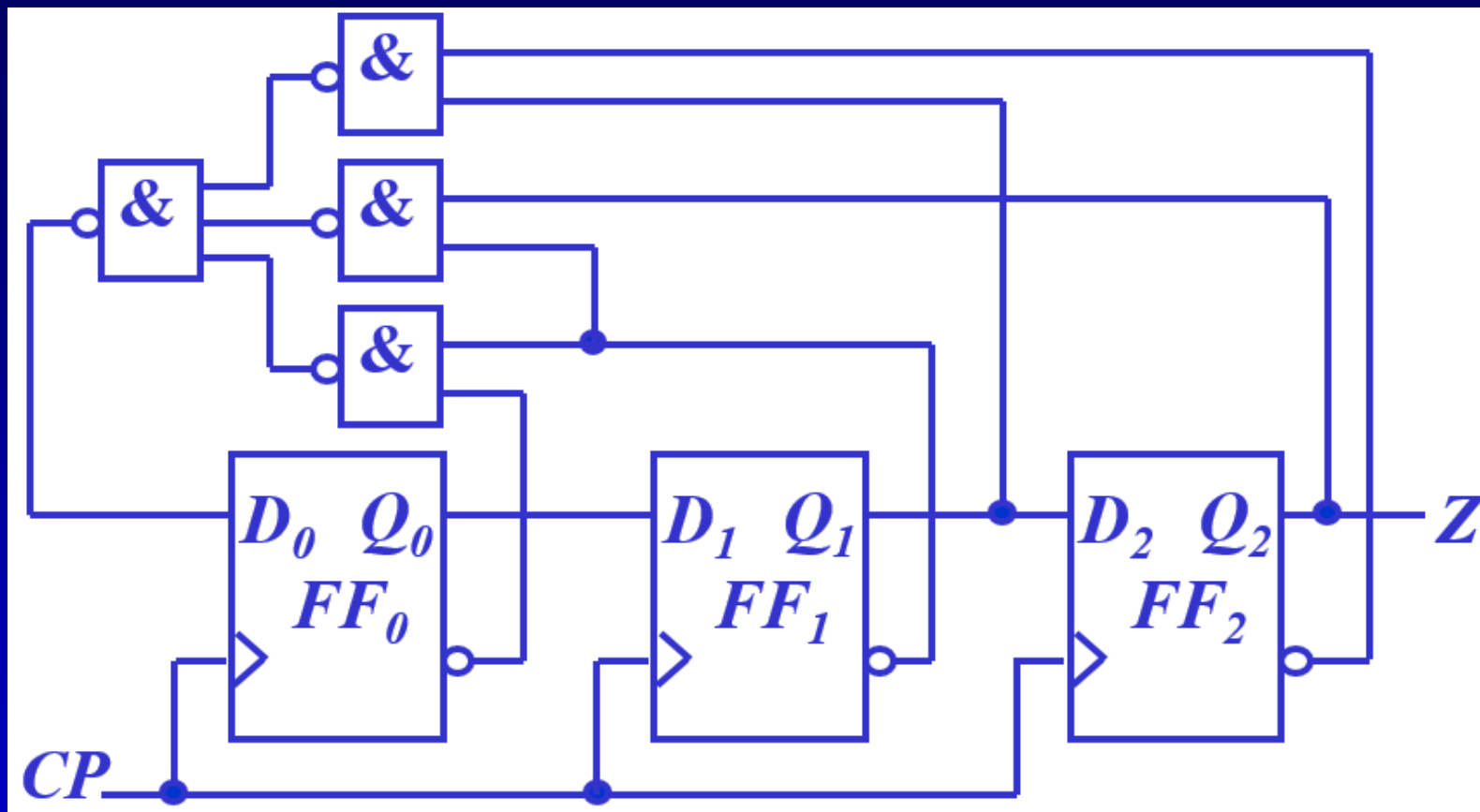
电路特点：

无输入 $X$ 、有输出 $Z$ ，属于特殊Moore型；

电路结构：

一个模 $N$ 计数器 + 一个组合电路构成。

### 例、分析下列时序逻辑电路的逻辑功能。



## 电路观察：同步、特殊Moore型电路

输入:  $Q_2$ 、 $Q_1$ 、 $Q_0$

**输出：**  $Z$ 、 $Q_2^{n+1}$ 、 $Q_1^{n+1}$ 、 $Q_0^{n+1}$



### (1) 求激励方程和输出方程

$$D_0 = \bar{Q}_0 \bar{Q}_1 + \bar{Q}_1 Q_2 + Q_1 \bar{Q}_2$$

$$D_1 = Q_0 \quad D_2 = Q_1 \quad Z = Q_2$$

### (2) 求状态方程

$$Q_0^{n+1} = D_0 = \bar{Q}_0 \bar{Q}_1 + \bar{Q}_1 Q_2 + Q_1 \bar{Q}_2$$

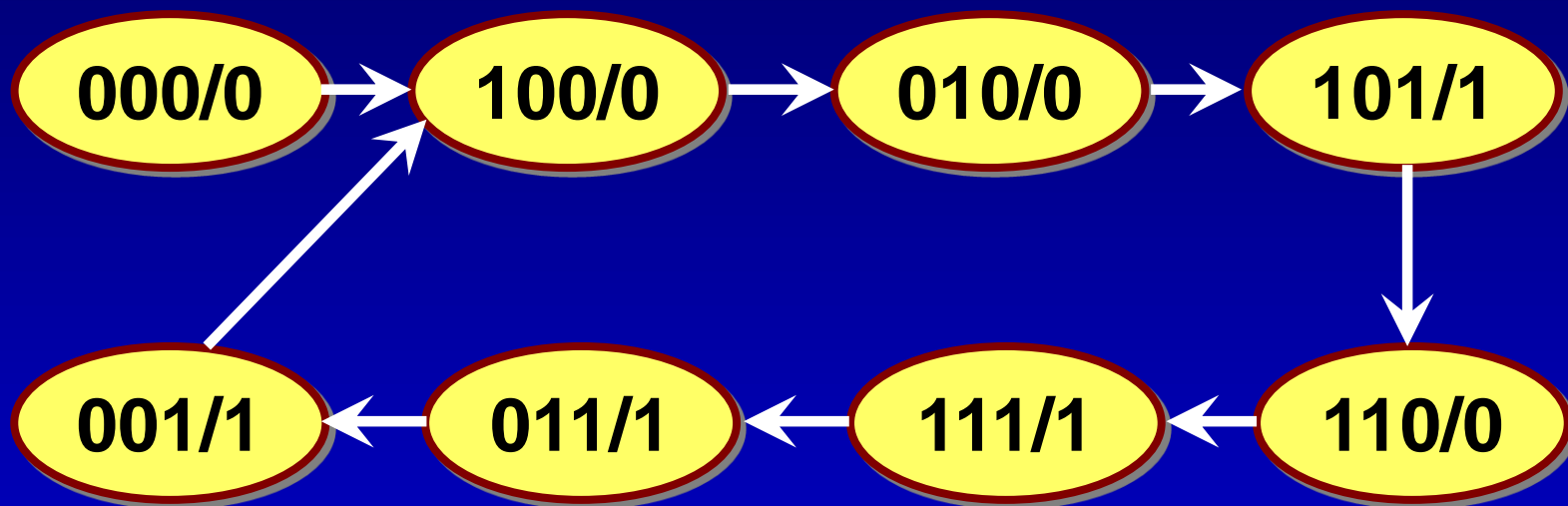
$$Q_1^{n+1} = D_1 = Q_0 \quad Q_2^{n+1} = D_2 = Q_1$$

### (3) 列状态表

$Q_0$	$Q_1$	$Q_2$	$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Z$
0	0	0	1	0	0	0
1	0	0	0	1	0	0
0	1	0	1	0	1	0
1	0	1	1	1	0	1
1	1	0	1	1	1	0
1	1	1	0	1	1	1
0	1	1	0	0	1	1
0	0	1	1	0	0	1

(4) 画状态转移图:

$Q_2Q_1Q_0 / Z$



提示: 有效状态和无效状态?

## (5) 逻辑功能分析:

- 1、随着CP时钟到来，电路在七个有效状态中循环变化。
- 2、输出Z在0010111七个数中循环。表明该电路输出一个周期的数字序列信号。
- 3、电路是可自启动的。

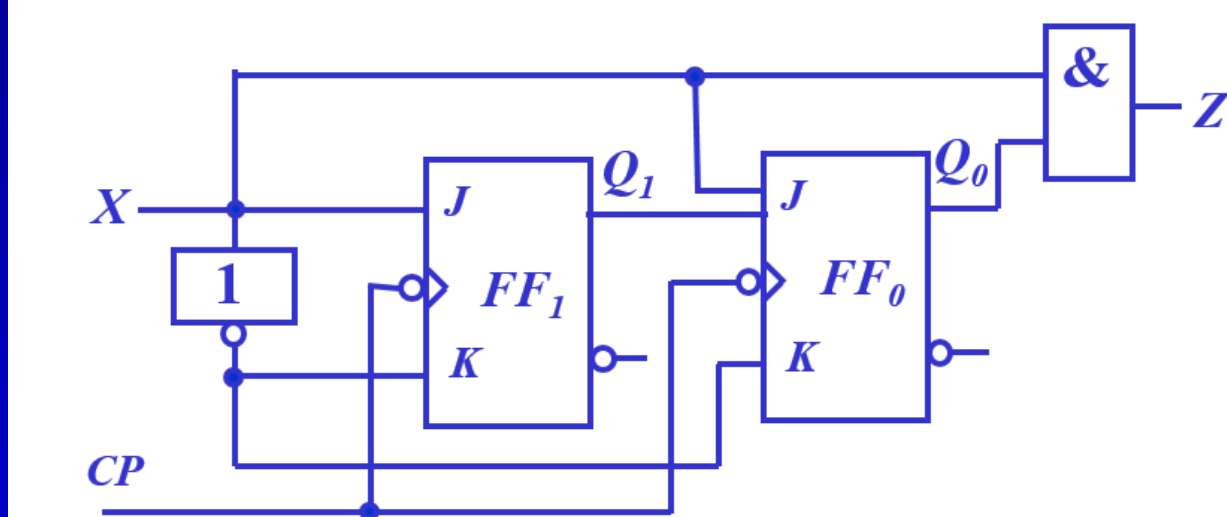
**结论:** 该电路是一个序列信号发生器。

## 五、序列检测器

**电路功能：**

对电路输出的序列信号进行检测。

例、分析下列时序逻辑电路的逻辑功能。



**电路观察：** 同步、Mealy型电路

输入：  $X$ 、 $Q_1$ 、 $Q_0$ ；      输出：  $Z$ 、 $Q_1^{n+1}$ 、 $Q_0^{n+1}$

解：

(1) 求激励方程和输出方程：

$$J_1 = X \quad K_1 = \overline{X} \quad Z = XQ_0$$

$$J_0 = XQ_1 \quad K_0 = \overline{X}$$

(2) 求状态方程：

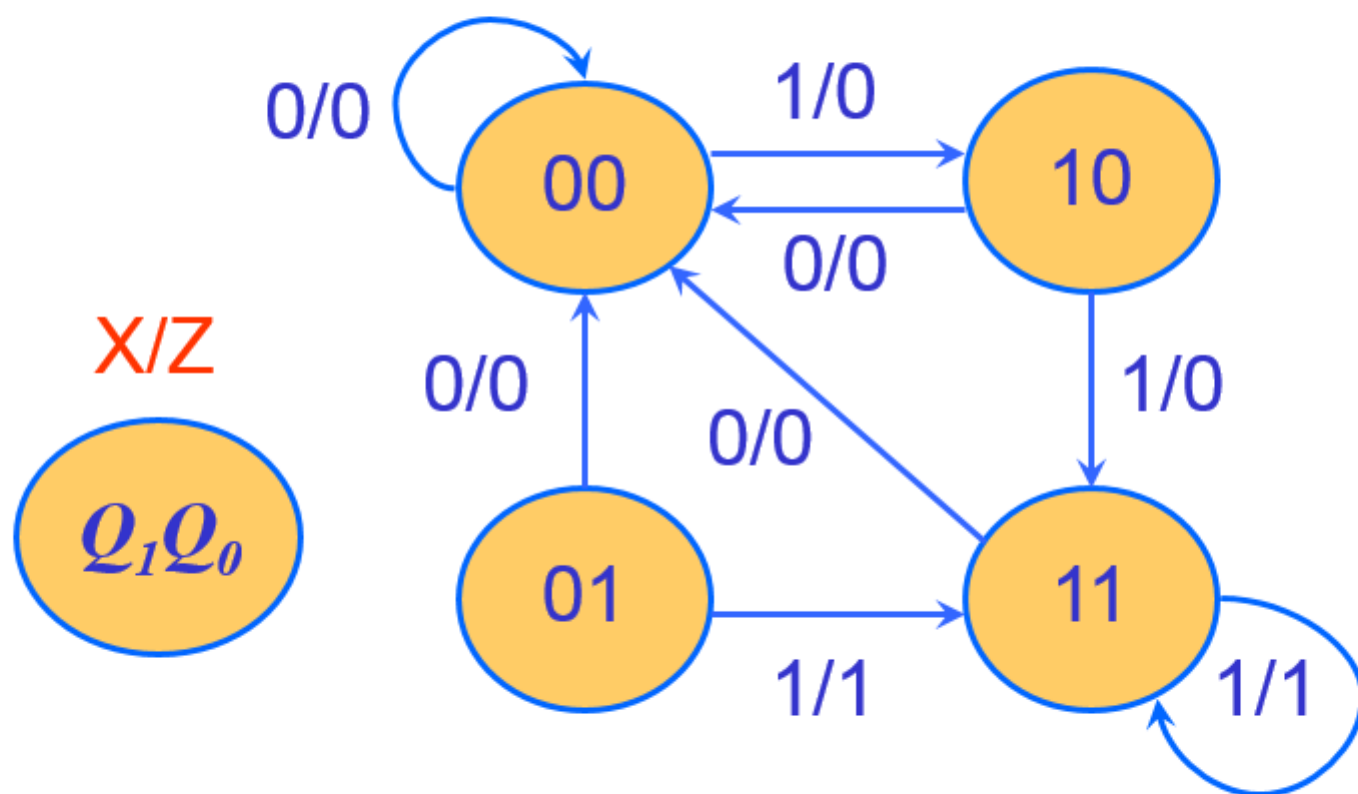
$$Q_1^{n+1} = J_1 \overline{Q}_1 + \overline{K}_1 Q_1 = X \overline{Q}_1 + XQ_1$$

$$Q_0^{n+1} = J_0 \overline{Q}_0 + \overline{K}_0 Q_0 = XQ_1 \overline{Q}_0 + XQ_0$$

### (3) 列状态表:

$Q_1 Q_0 \diagup X$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	0	1
00	00/0	10/0
01	00/0	11/1
11	00/0	11/1
10	00/0	11/0

(4) 画Mealy型电路的状态转移图:



## (5) 逻辑功能分析

- 01状态不在有效状态环内，不考虑；
- 电路是可自启动的；
- $Z=1$ 出现在X连续输入三个1之后，输出代表了连续的三个1输入。

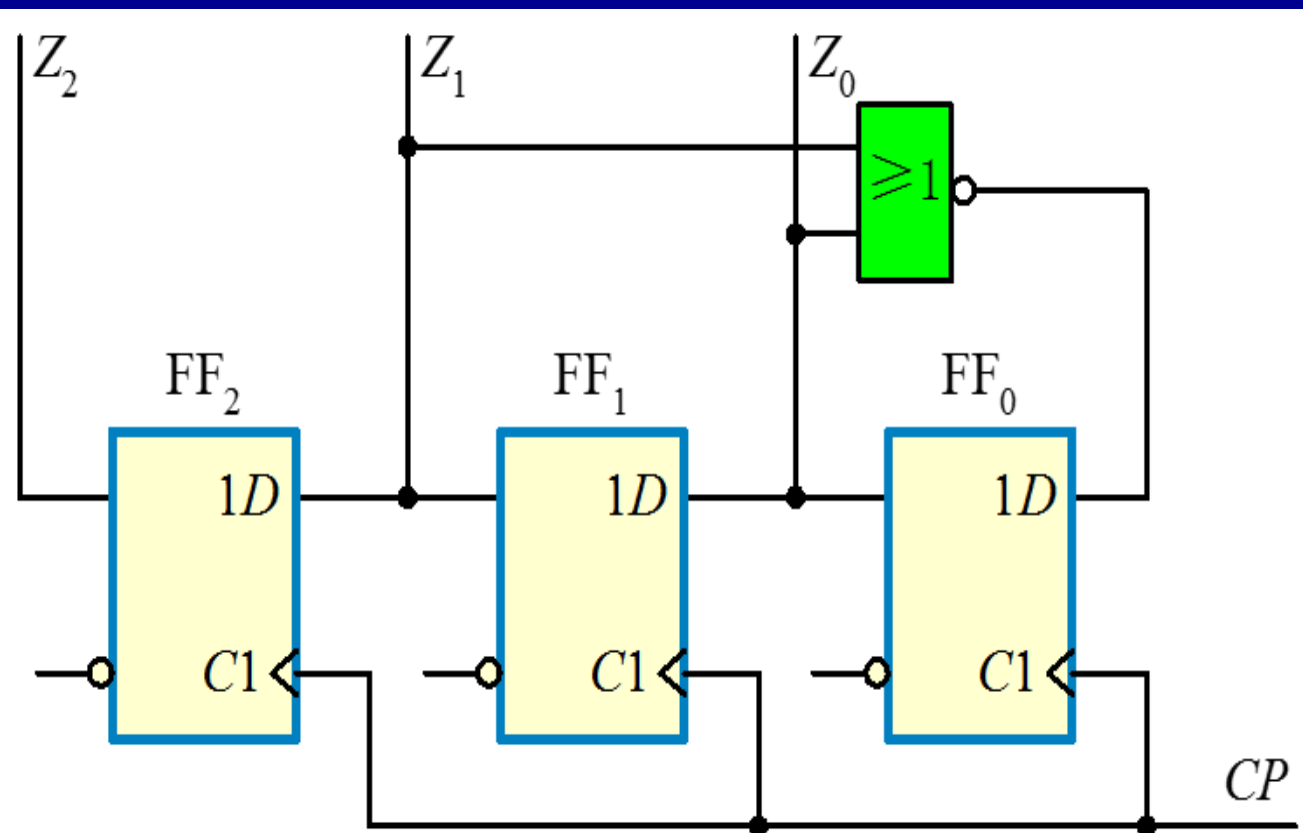
**结论：**该电路是一个 111 序列检测器



## 六、脉冲分配器

**电路功能：** 在CP脉冲作用下，把宽度为T的脉冲依次分配给各触发器的输出端。

**例、** 分析下列时序逻辑电路的逻辑功能。



**电路观察：**

同步、特殊Moore型

输入：  $Q_2$ 、  $Q_1$ 、  $Q_0$

输出： 三个Z、

$Q_2^{n+1}$ 、  $Q_1^{n+1}$ 、  $Q_0^{n+1}$

解：

## (1) 求激励方程和输出方程

$$\begin{aligned} D_0 &= \overline{Q_1} + Q_0 = \overline{Q_1} \overline{Q_0} & Z_0 &= Q_0 & Z_1 &= Q_1 \\ D_1 &= Q_0 & D_2 &= Q_1 & Z_2 &= Q_2 \end{aligned}$$

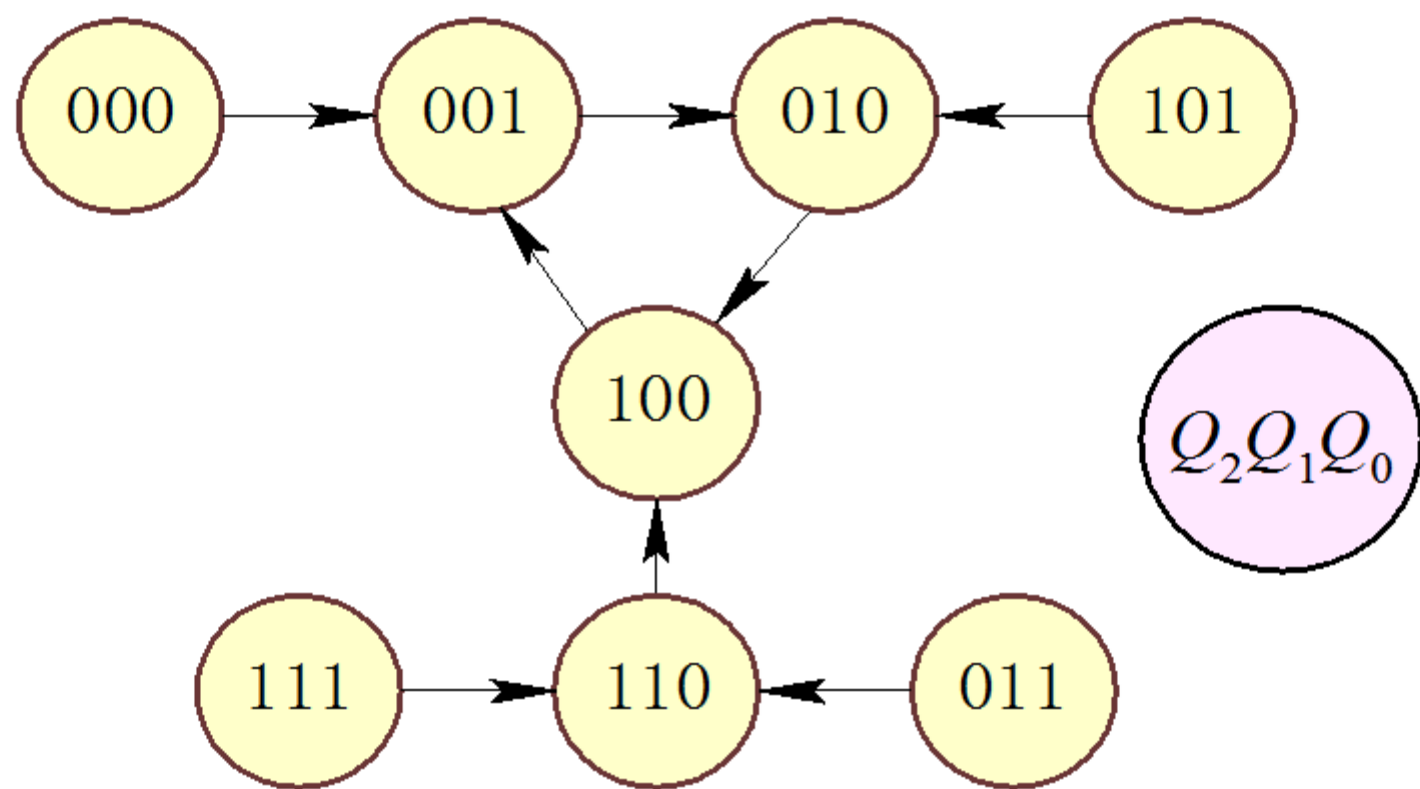
## (2) 求状态方程

$$\begin{aligned} Q_0^{n+1} &= D_0 = \overline{Q_0} \overline{Q_1} \\ Q_1^{n+1} &= D_1 = Q_0 & Q_2^{n+1} &= D_2 = Q_1 \end{aligned}$$

### (3) 列特殊Moore型电路的状态表

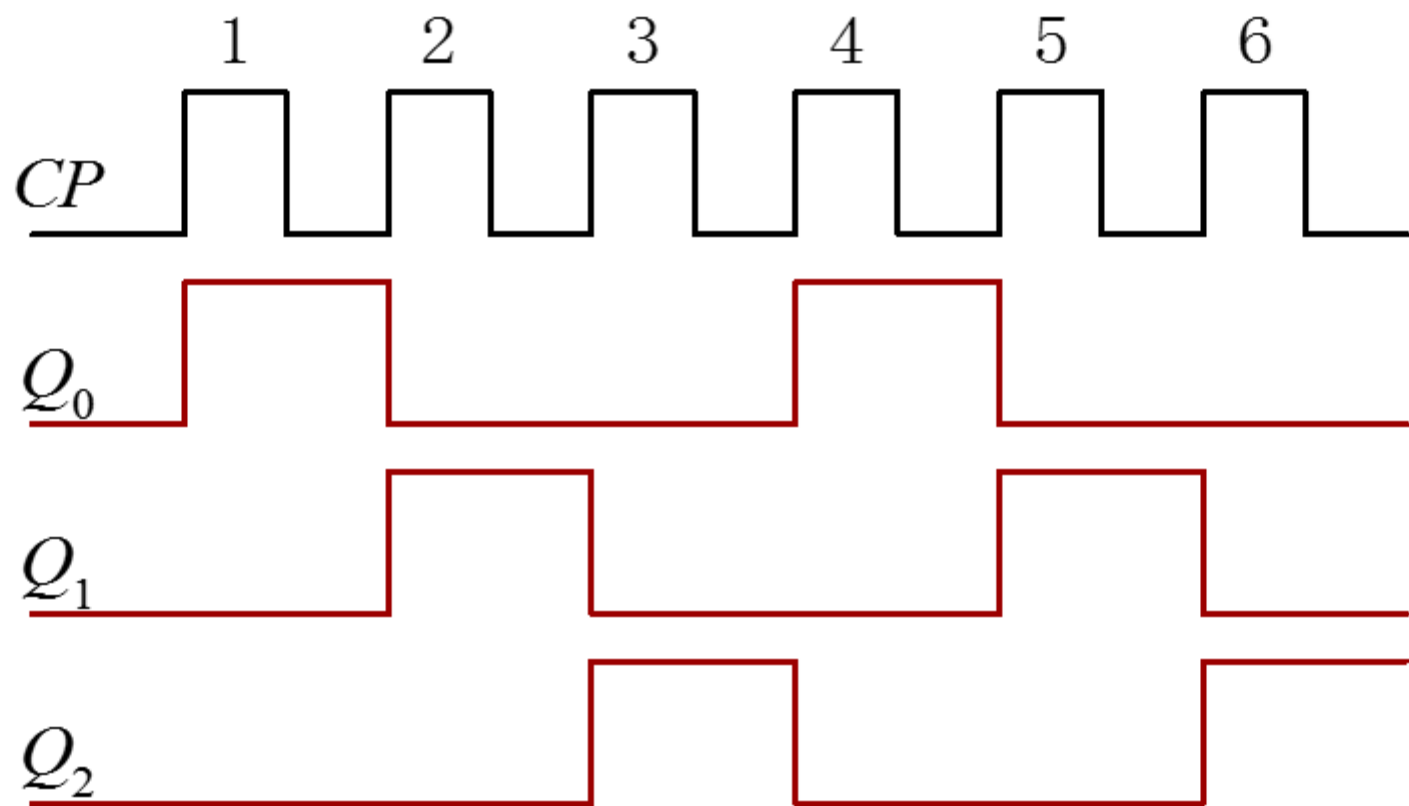
$Q_2$	$Q_1$	$Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	0

#### (4) 画状态转移图





## (5) 画波形图

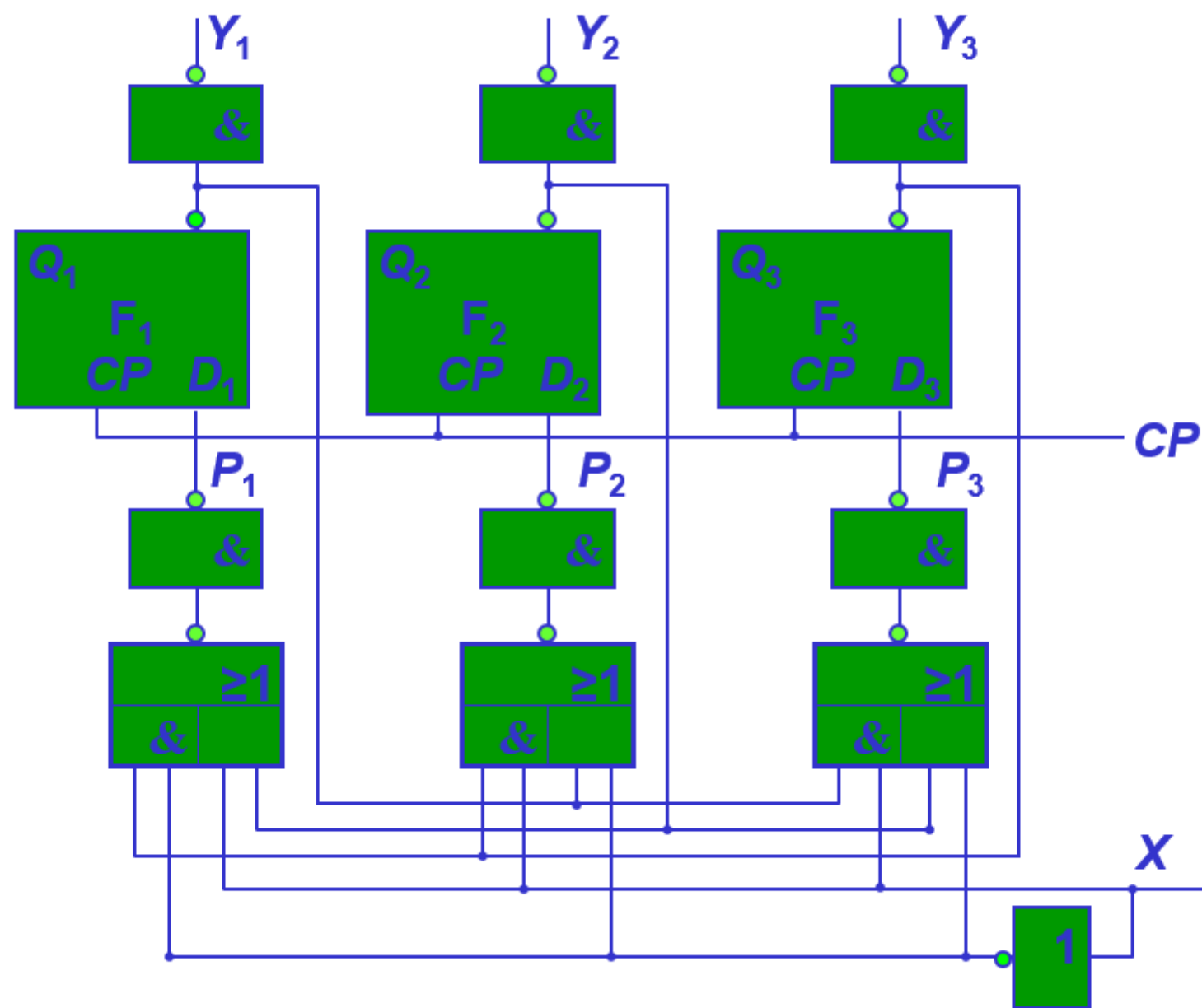


## (6) 逻辑功能分析

该电路在 $CP$  脉冲作用下, 把宽度为 $T$ 的脉冲以三次分配给 $Q_0$ 、 $Q_1$ 和 $Q_2$ 各端, 故该电路是一个脉冲分配器。

该电路每经过三个时钟周期循环一次, 具有自启动能力。

例、步进电机脉冲分配器电路如图所示，试写出状态方程组、驱动方程组和输出方程组。（略）



步进电机脉冲分配器CU250简化电路



### (1) 驱动和输出方程组

$$P_1=D_1=x\bar{Q}_2+\bar{x}\bar{Q}_3; \quad P_2=D_2=x\bar{Q}_3+\bar{x}\bar{Q}_1; \quad P_3=D_3=x\bar{Q}_1+\bar{x}\bar{Q}_2$$

$$Y_1=Q_1; \quad Y_2=Q_2; \quad Y_3=Q_3$$

### (2) 状态方程

$$Q_1^{n+1}=D_1=x\bar{Q}_2^n+\bar{x}\bar{Q}_3^n;$$

$$Q_2^{n+1}=D_2=x\bar{Q}_3^n+\bar{x}\bar{Q}_1^n;$$

$$Q_3^{n+1}=D_3=x\bar{Q}_1^n+\bar{x}\bar{Q}_2^n;$$

### (3) 状态转换表、状态转换图。

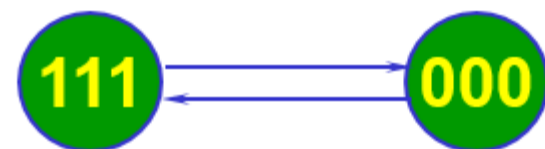
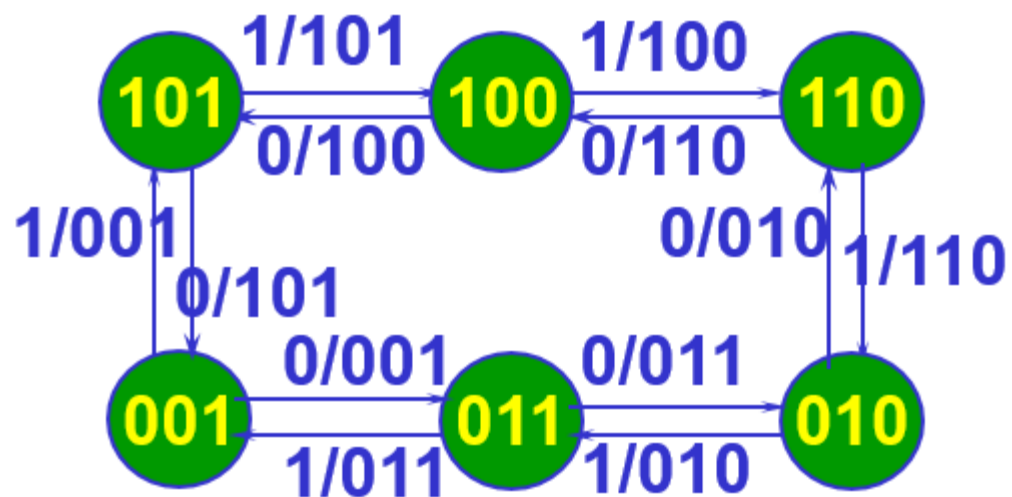


# 状态转换表

时钟	$X=1$		$X=0$	
	$Q_1Q_2Q_3$		$Q_1Q_2Q_3$	
0	100	有效循环	100	有效循环
1	110		101	
2	010		001	
3	011		011	
4	001		010	
5	101		110	
6	100	正循环	100	逆循环
0	000	无效循环	000	无效循环
1	111		111	
2	000		000	

$X / Y_1 Y_2 Y_3$

$Q_1Q_2Q_3$



状态图

## 6.4 时序逻辑电路的设计

### 设计宗旨:

在满足功能要求的前提下，使电路最简单、最稳定。

### 设计思路:

针对某一给定逻辑要求，选择最少的逻辑状态进行描述，再用某种类型的 SSI（触发器）、或 MSI（计数器、移位寄存器）实现这一逻辑功能。

## 6.4 时序逻辑电路的设计

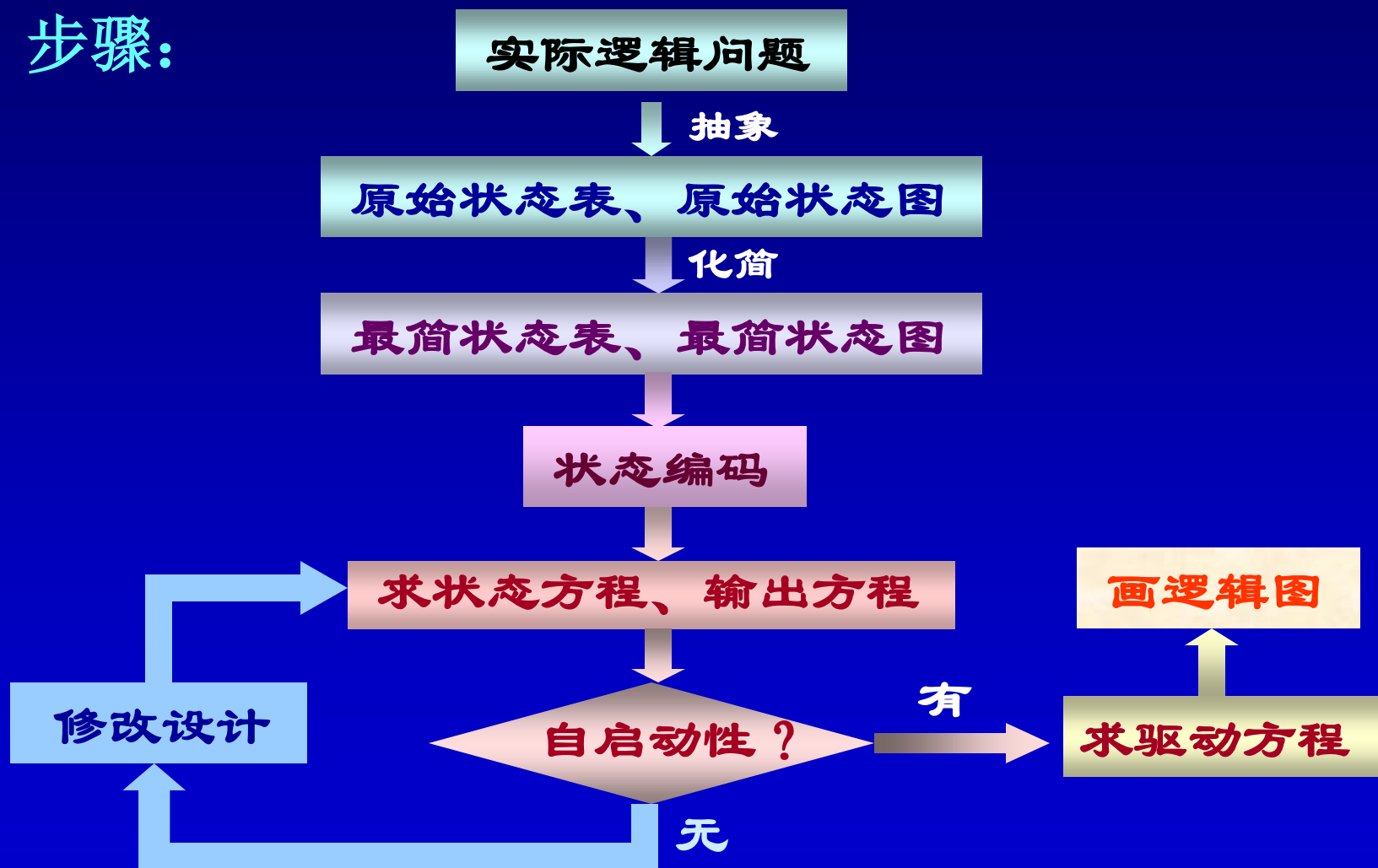
设计类型:

- 采用 SSI (触发器和门电路)
- 采用 MSI (计数器、移位寄存器、序列发生器、序列检测器和脉冲分配器)

## 6.4 时序逻辑电路的设计

### 一、采用触发器设计同步时序逻辑电路

步骤:

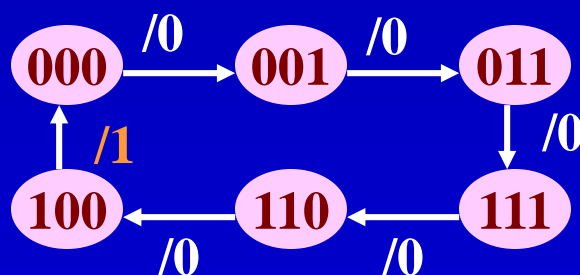
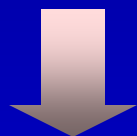
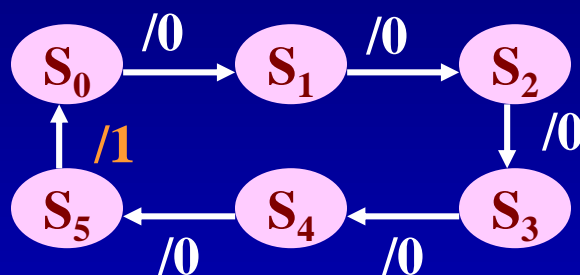


## 6.4 时序逻辑电路的设计

### 例1、设计模6（6进制）同步计数器

解：

#### ① 原始状态图（已是最简）



#### ② 状态编码

编码原则？相邻原则

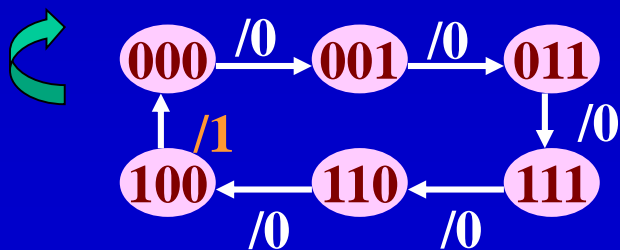
$S_0 = 000, S_1 = 001, S_2 = 011,$

$S_3 = 111, S_4 = 110, S_5 = 100$

# 6.4 时序逻辑电路的设计

状态转移表

$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	Z
0 0 0	0 0 1	0
0 0 1	0 1 1	0
0 1 1	1 1 1	0
1 1 1	1 1 0	0
1 1 0	1 0 0	0
1 0 0	0 0 0	1
0 1 0	X X X	X
1 0 1	X X X	X



③ 作出 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ 和Z的卡诺图

→

$Q_3^n Q_2^n$	00	01	11	10
$Q_1^n$				
0	001/0	xxx/x	100/0	000/1
1	011/0	111/0	110/0	xxx/x

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}/Z$

↓ 分解

$Q_3^n Q_2^n$	00	01	11	10
$Q_1^n$				
0	0	x	1	0
1	0	1	1	x

$Q_3^{n+1} = Q_2^n$

## 6.4 时序逻辑电路的设计

→

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
	0	0	x	0	0
	1	1	1	1	x

$Q_2^{n+1} = Q_1^n$

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
	0	1	x	0	0
	1	1	1	0	x

$Q_1^{n+1} = \bar{Q}_3^n$

### ④ 求状态方程和输出方程

$$\begin{cases} Q_3^{n+1} = Q_2^n \\ Q_2^{n+1} = Q_1^n \\ Q_1^{n+1} = \bar{Q}_3^n \end{cases}$$

$$Z = Q_3^n \bar{Q}_2^n$$

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
	0	0	x	0	1
	1	0	0	0	x

$Z = Q_3^n \bar{Q}_2^n$

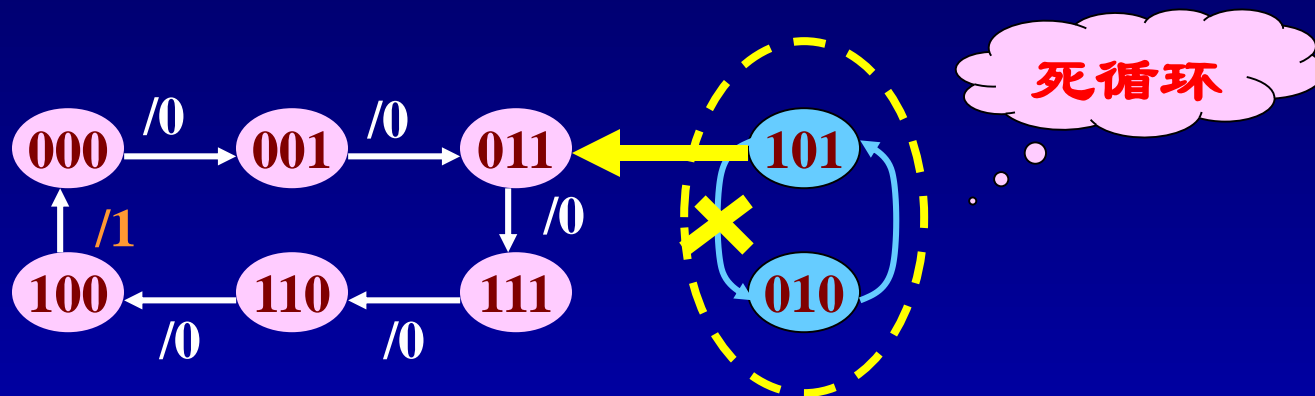
### ⑤ 检验电路的自启动特性



偏离状态101、010 互为次态，电路无自启动性。

## 6.4 时序逻辑电路的设计

### ⑥ 修改设计，使具有自启动性



↓

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
	0	001/0	xxx/x	100/0	000/1
	1	011/0	111/0	110/0	011/0
		$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} / Z$			



## 6.4 时序逻辑电路的设计

$Q_3^n Q_2^n$		00	01	11	10
$Q_1^n$	0	0	x	1	0
	1	0	1	1	0

$$Q_3^{n+1} = Q_2^n$$

$Q_3^n Q_2^n$		00	01	11	10
$Q_1^n$	0	0	x	0	0
	1	1	1	1	1

$$Q_2^{n+1} = Q_1^n$$

$Q_3^n Q_2^n$		00	01	11	10
$Q_1^n$	0	1	x	0	0
	1	1	1	0	1

$$Q_1^{n+1} = \bar{Q}_3^n + \bar{Q}_2^n Q_1^n$$

$Q_3^n Q_2^n$		00	01	11	10
$Q_1^n$	0	0	x	0	1
	1	0	0	0	0

$$Z = Q_3^n \bar{Q}_2^n \bar{Q}_1^n$$

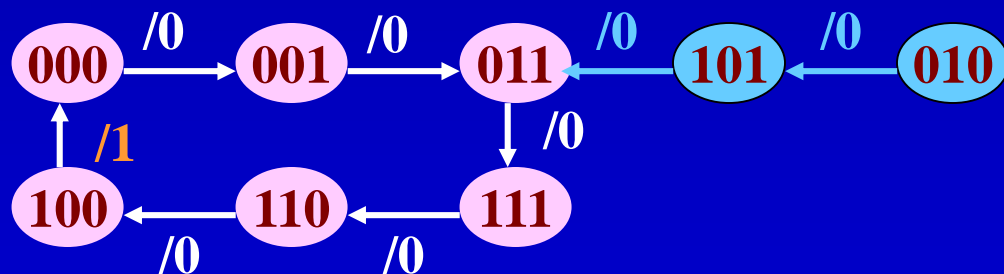
## 6.4 时序逻辑电路的设计

修改后的状态方程

$$\begin{cases} Q_3^{n+1} = Q_2^n \\ Q_2^{n+1} = Q_1^n \\ Q_1^{n+1} = \bar{Q}_3^n + \bar{Q}_2^n Q_1^n \end{cases}$$

再次检验自启动性 ✓

状态转移图



## 6.4 时序逻辑电路的设计

⑦ 根据FF的类型，由状态方程反推驱动方程

A、若采用D-FF

$$\begin{cases} D_3 = Q_3^{n+1} = Q_2^n \\ D_2 = Q_2^{n+1} = Q_1^n \\ D_1 = Q_1^{n+1} = \overline{Q_3}^n + \overline{Q_2}^n Q_1^n \end{cases}$$

B、若采用JK-FF，如何求  $J_1 K_1$ 、 $J_2 K_2$ 、 $J_3 K_3$ ？

## 6.4 时序逻辑电路的设计

JK-FF 的特征方程： $Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n$

$$\text{FF}_3: Q_3^{n+1} = J_3 \bar{Q}_3^n + \bar{K}_3 Q_3^n$$

$$\begin{aligned} Q_3^{n+1} &= Q_2^n = Q_2^n \cdot (\bar{Q}_3^n + Q_3^n) \\ &= Q_2^n \bar{Q}_3^n + Q_2^n Q_3^n \end{aligned}$$



$$J_3 = Q_2^n, \quad K_3 = \bar{Q}_2^n$$

⑧ 画逻辑电路图

## 6.4 时序逻辑电路的设计



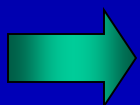
### 触发器逻辑功能的转换

**【方法】** 根据两种触发器转换前后，次态相等的原理，由两者的特征方程推导。

#### ① D-FF $\Rightarrow$ JK-FF

$$\text{D-FF: } Q^{n+1} = D$$

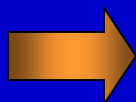
$$\text{JK-FF: } Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n$$


$$D = J \bar{Q}^n + \bar{K} Q^n$$

#### ② JK-FF $\Rightarrow$ D-FF

$$\text{D-FF: } Q^{n+1} = D = D \bar{Q}^n + D Q^n$$

$$\text{JK-FF: } Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n$$


$$J = D, K = \bar{D}$$

## 6.4 时序逻辑电路的设计

### 二、采用MSI (计数器) 实现任意模值计数器

利用现有的 $N$ 进制计数器，实现 $M$ 进制计数，  
则有 $M < N$  和  $M > N$  两种情况。

#### 1、 $M < N$

在 $N$ 进制计数器的顺序计数过程中，设法跳过  
多余的 $N - M$ 个状态，就可得到 $M$ 进制计数器，实  
际上就是多余状态如何去掉的问题。

有两种方法 { 清零法  
置数法

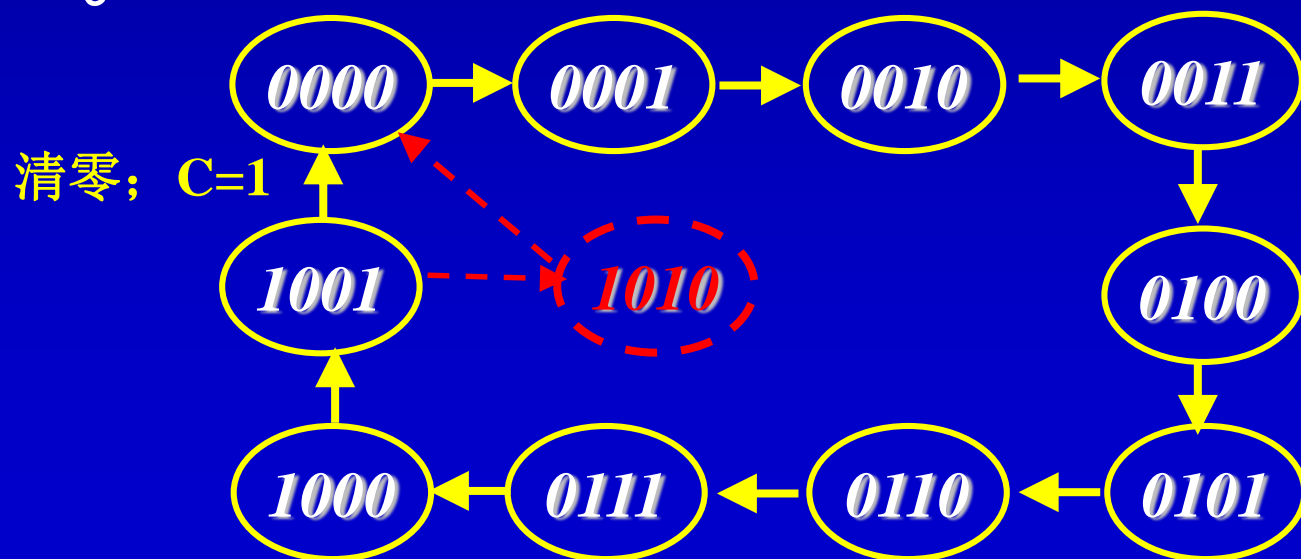
转161/160功能表

## 6.4 时序逻辑电路的设计

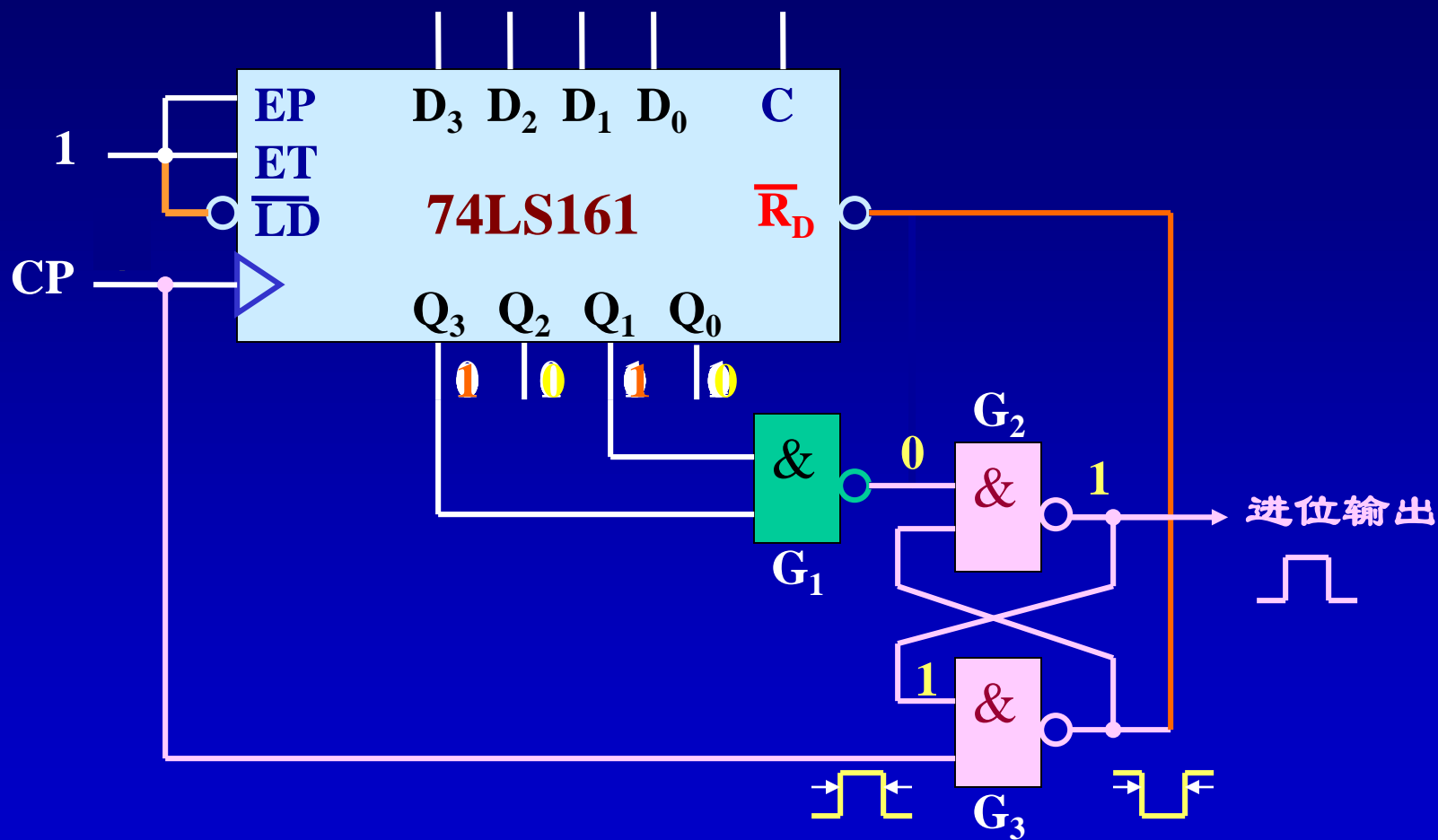
例1、用74LS161实现模10计数器

解：① 异步清0法

【思路】74LS161可以计16个状态，实际只需要10个状态，则当第11个状态出现时，使异步清0信号 $R_D$ 有效，强迫计数器回到最初的0000态，就可以实现10进制计数。



## 6.4 时序逻辑电路的设计





## 6.4 时序逻辑电路的设计

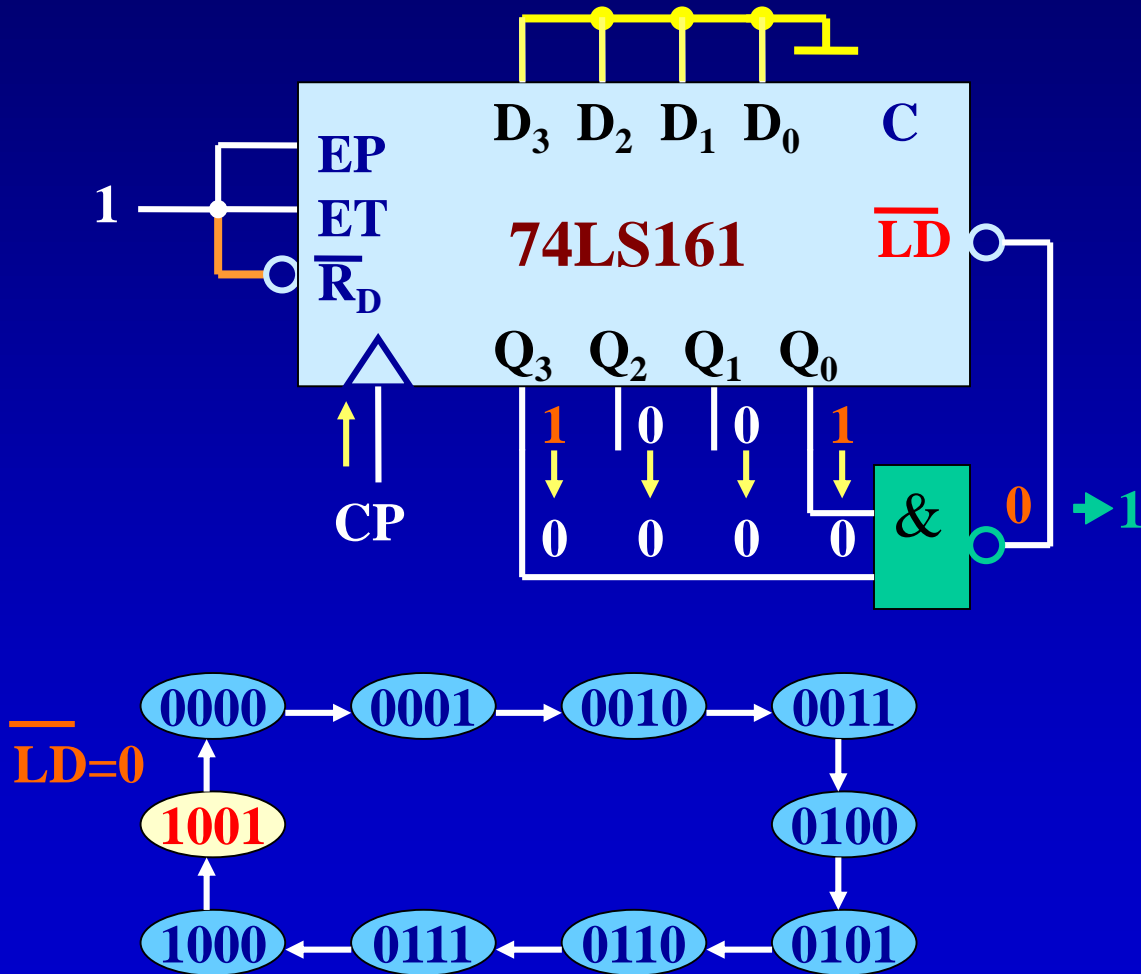
### ② 同步置数法

#### 【思路】

当计数达到某一**特定值**时，使计数器的同步置数信号  $\overline{LD}=0$  有效，在下一个时钟  $\uparrow$  到来时刻，将并行数据输入端  $D_3D_2D_1D_0$  上的数据  $d_3d_2d_1d_0$  并行置入  $Q_3Q_2Q_1Q_0$ ，以此跳过多余的状态。

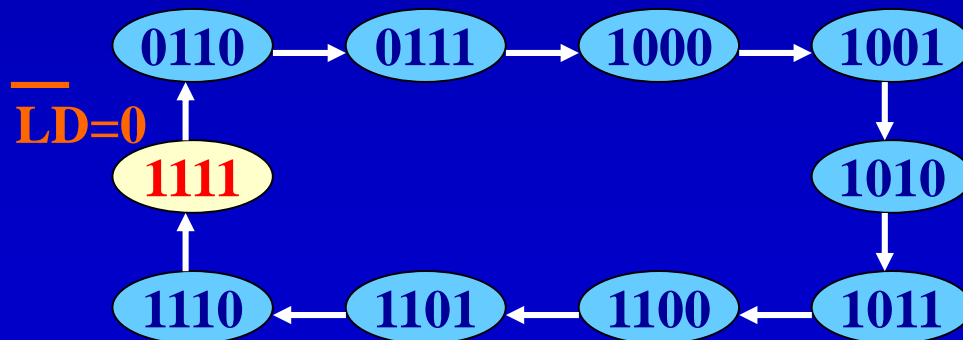
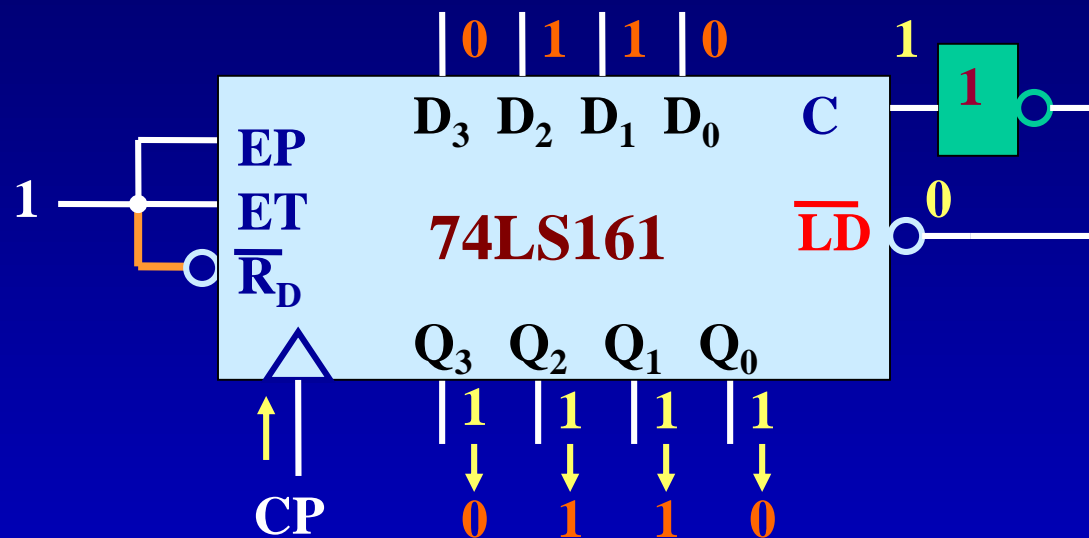
## 6.4 时序逻辑电路的设计

# 同步置数法 电路1



## 6.4 时序逻辑电路的设计

### 同步置数法 电路2



## 6.4 时序逻辑电路的设计

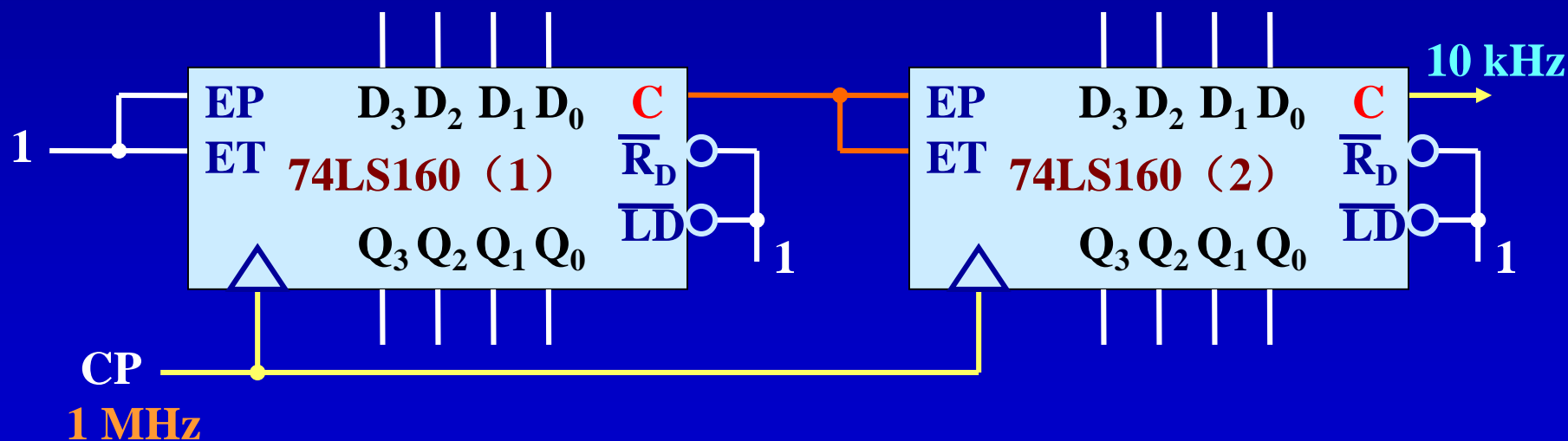
2、 $M > N$

思路：

将多片 ( $m$ 片)  $N$  进制计数器级联, 生成  $N^m$  进制计数器, 再构成  $M$  进制计数器。

## 6.4 时序逻辑电路的设计

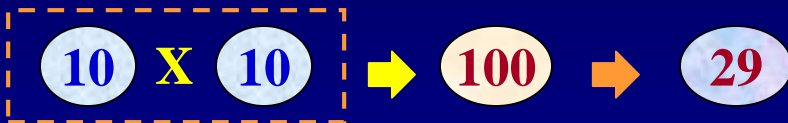
例2、某数字通信系统的基本时钟频率为  $1\text{MHz}$ ，其中一个子系统的时钟频率要求为  $10\text{kHz}$ 。试设计能够从基本时钟产生子系统工作时钟的电路，用74LS160实现。



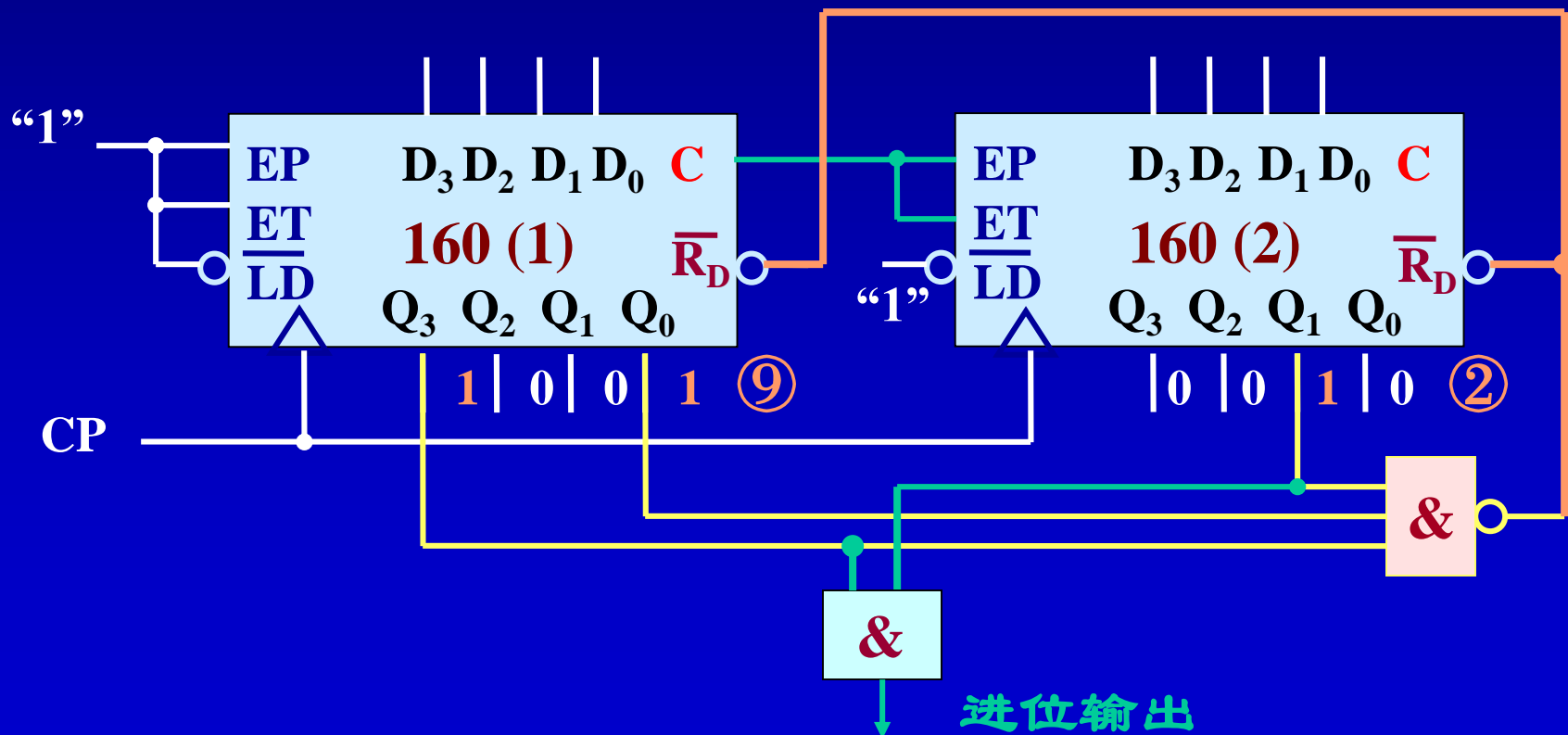
## 6.4 时序逻辑电路的设计

### 例3、用74LS160 接成29进制计数器

**解：**

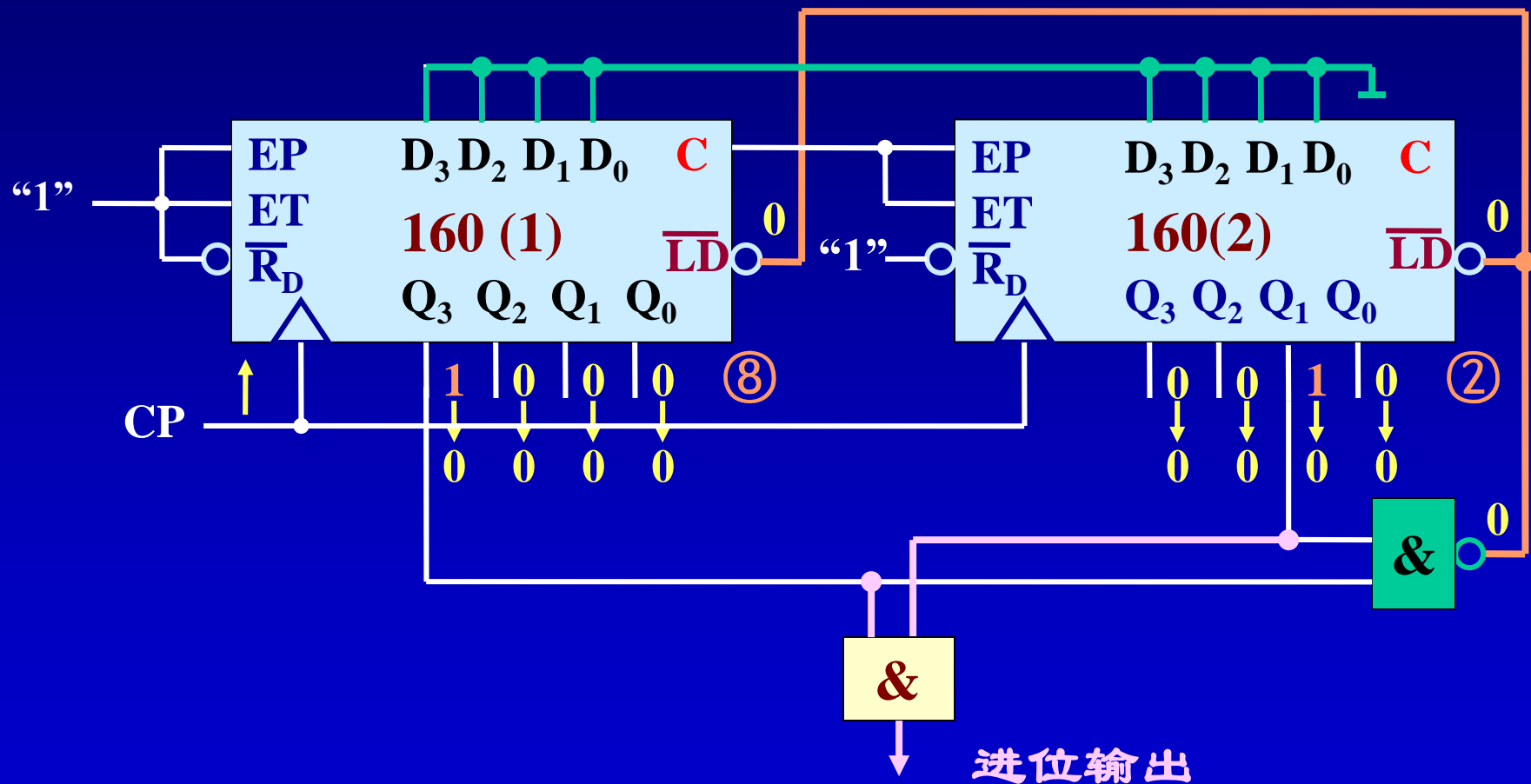


## ① 异步清0法



## 6.4 时序逻辑电路的设计

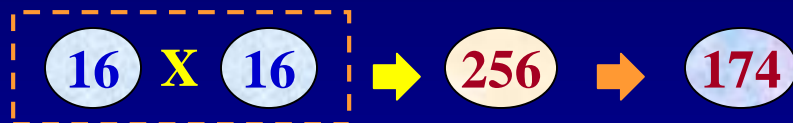
### ② 整体置数法



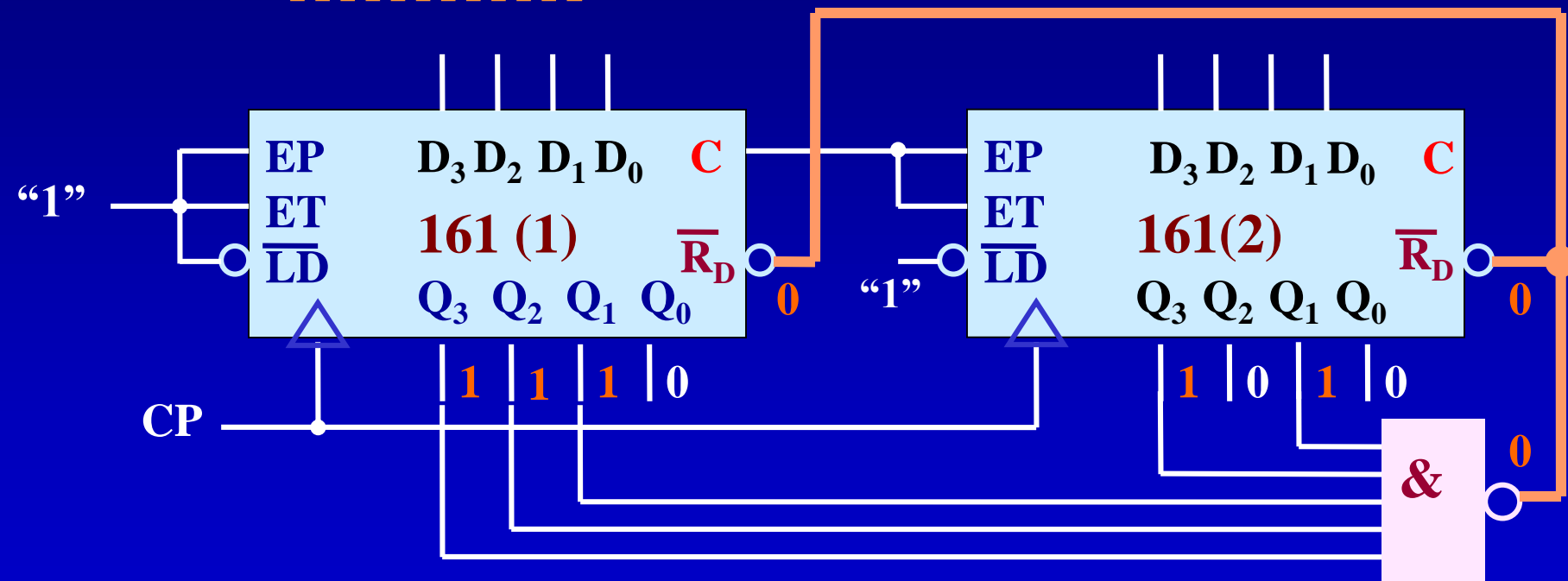
## 6.4 时序逻辑电路的设计

例4、用161/160 分别构成174 进制计数器

解：① 用161 至少用几片？



转数制转换



$$(174)_{10} = (\underline{1010} \quad \underline{1110})_2$$

高位片 低位片

转160实现



## 6.4 时序逻辑电路的设计

### 数制转换

$$(174)_{10} = (\underline{1010} \ \underline{1110})_2$$

2	174	余数
2	87	0
2	43	1
2	21	1
2	10	1
2	5	0
2	2	1
2	1	0
	0	1

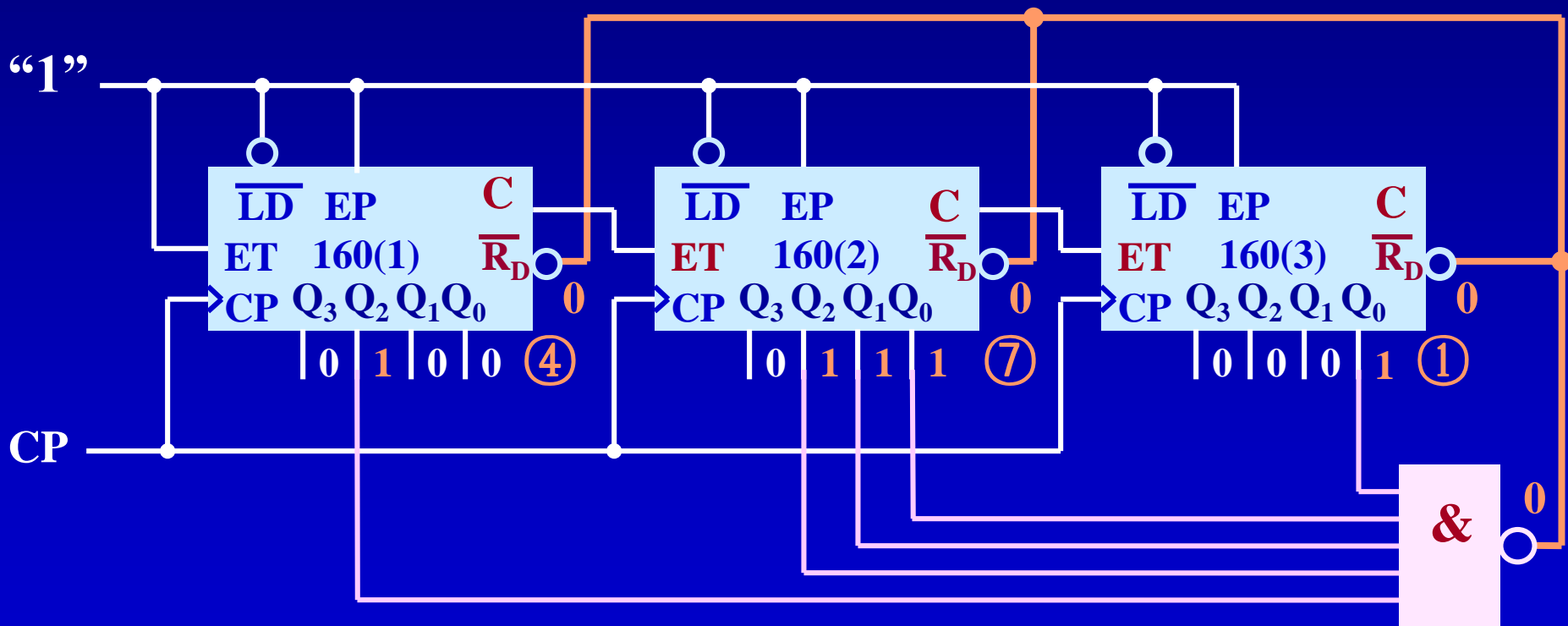
低位

高位

返回

## 6.4 时序逻辑电路的设计

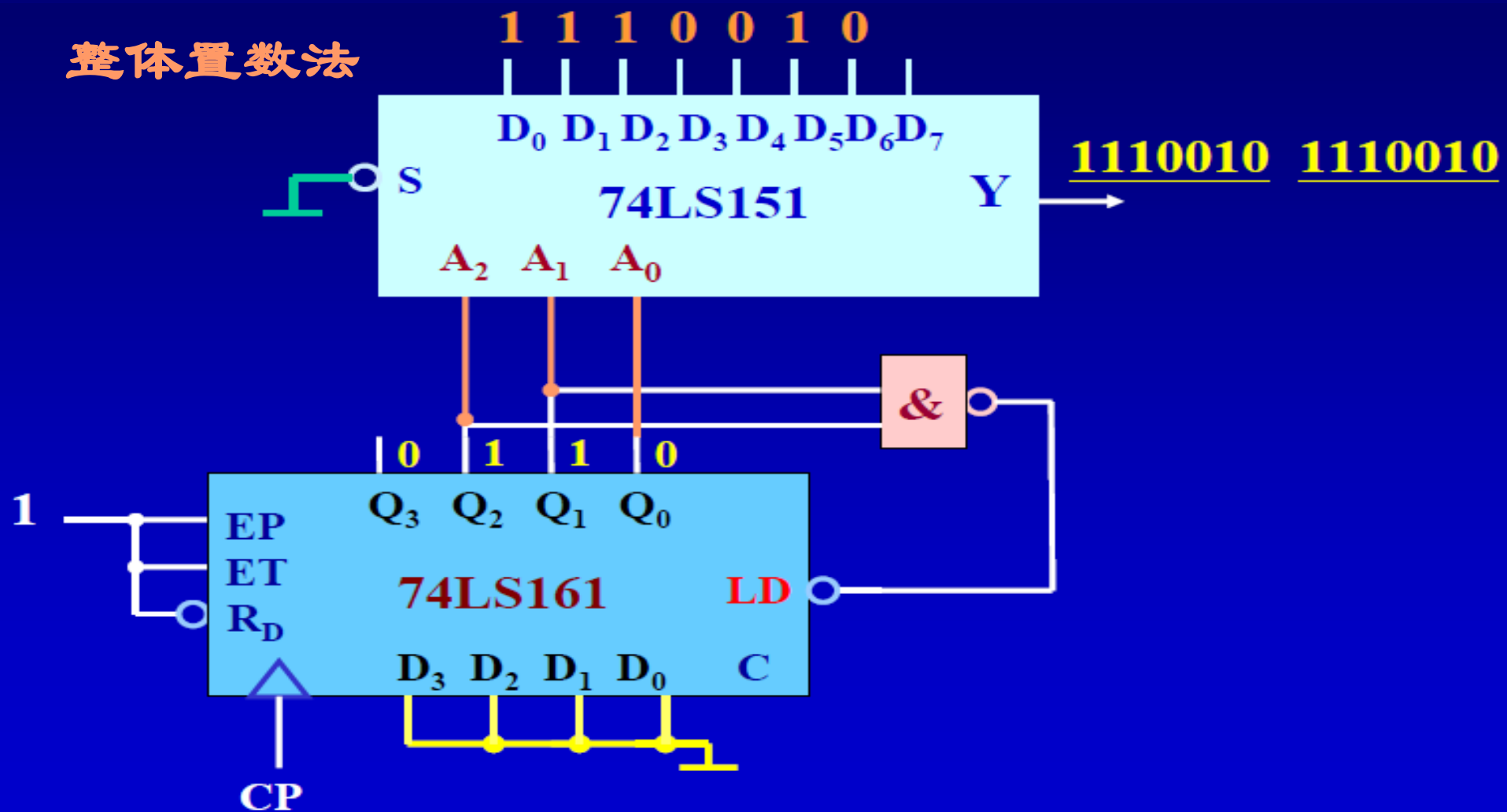
② 用160 至少用几片？



161芯片计数输出作为数据选择器151芯片的地址端（000~110代表地址端从151芯片 $D_0$ 至 $D_6$ 有数据输出，151芯片 $D_i$ 输入的正是周期序列）  
注意：161芯片从0000开始计数到0110，整体置数！故161芯片 $D_i$ 全置0。

### 例5、设计一个周期性序列1110010发生器。

整体置数法



# 本章重点



- ◆ 描述时序电路逻辑功能的方法
  - 方程组 (时钟、驱动、状态、输出方程)
  - 状态转移表
  - 状态转移图
  - 时序图
- ◆ 同步、异步时序逻辑电路的分析、电路自启动特性的判断
- ◆ 计数器、寄存器的功能及应用 (功能表)
- ◆ 采用SSI (触发器) 设计同步时序逻辑电路
- ◆ 采用MSI 实现任意进制计数器 (例题、作业)

## 本章作业

6.4; 6.6; 6.8; 6.10; 6.12;  
6.13; 6.14; 6.17; 6.22; 6.23