

4. 组合逻辑电路

4.1 概 述

4.2 组合逻辑电路的分析

4.3 常用集成组合逻辑电路

4.4 组合逻辑电路的设计

4.1 概 述

一、逻辑电路的分类

根据逻辑功能的不同特点，数字电路分为：

- 1、组合逻辑电路 (Combinational Logic Circuits)
- 2、时序逻辑电路 (Sequential Logic Circuits)

二、组合逻辑电路及其特点

1、什么是组合逻辑电路？

如果电路在任何时刻的输出，**仅仅决定于该时刻的输入**，与电路原来的状态无关，则此类逻辑电路统称为组合逻辑电路。

2、特点

- (1) 逻辑功能方面： 无记忆能力
- (2) 电路结构方面： 不包含存储单元，仅由门电路构成，无反馈

4.2 组合逻辑电路的分析

一、任务

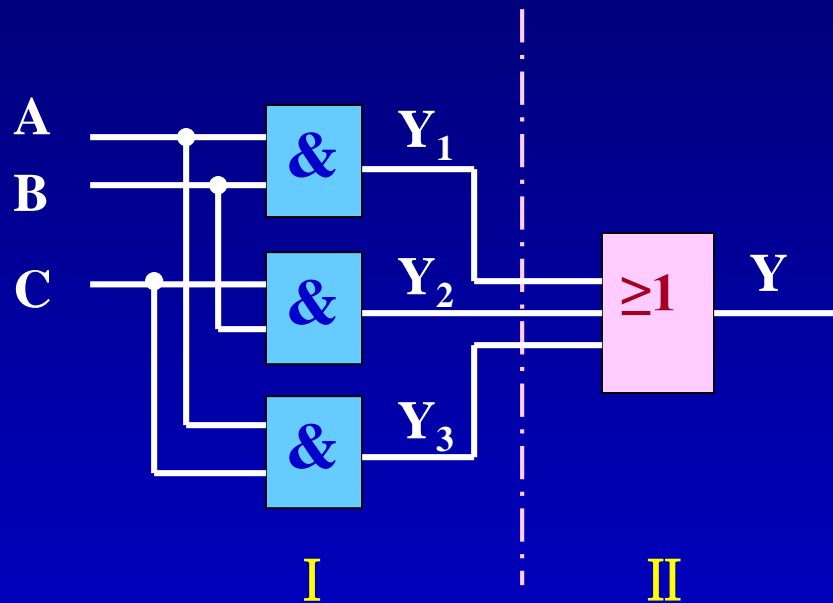
根据给定组合逻辑电路图，找出电路输出与输入之间的逻辑关系，确定逻辑功能。

二、分析步骤

- 根据给定逻辑图，写逻辑函数式；
- 化简逻辑函数式；
- 由逻辑函数式，列真值表；
- 由真值表，概括逻辑功能；

4.2 组合逻辑电路的分析

例1、分析单输出组合逻辑电路，确定逻辑功能。



解：

(1) 写出逻辑表达式

$$\text{I: } Y_1 = AB, \quad Y_2 = BC, \quad Y_3 = AC$$

$$\text{II: } Y = Y_1 + Y_2 + Y_3 = AB + BC + AC$$

4.2 组合逻辑电路的分析

(2) 列真值表

$$Y = AB + BC + AC$$

(3) 逻辑功能分析

三个输入中至少有两个为1时，输出为1。若输入为1，表示赞同；输入为0，表示反对；

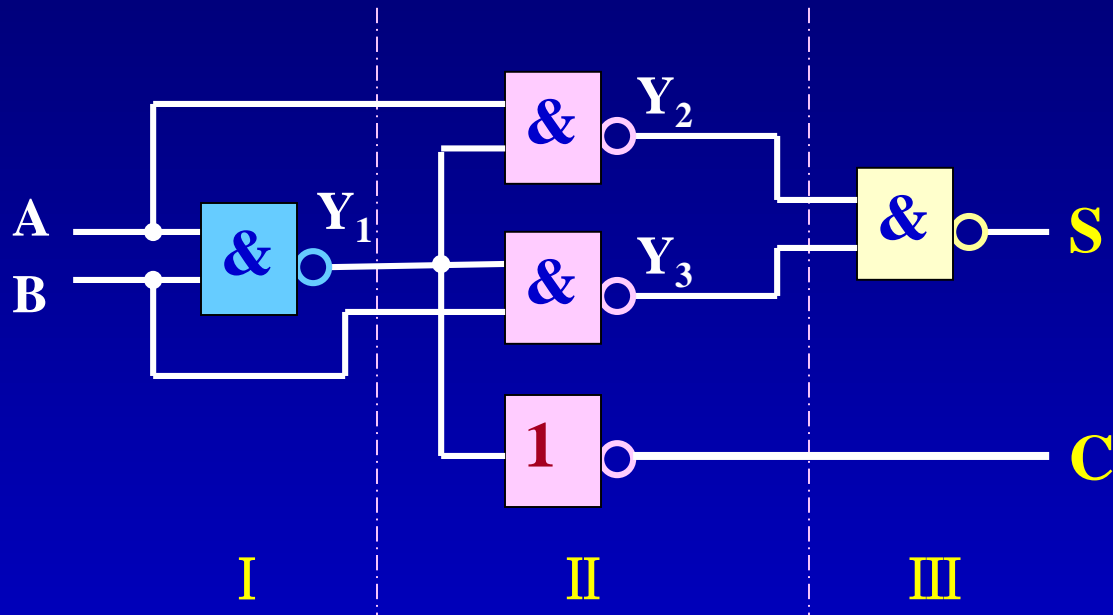


三人多数
表决电路

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4.2 组合逻辑电路的分析

例2、分析多输出组合逻辑电路，确定逻辑功能。



解：

(1) 写出逻辑表达式

I: $Y_1 = \overline{A}B$

II: $Y_2 = \overline{A}Y_1$, $Y_3 = \overline{B}Y_1$, $C = \overline{Y_1}$,

III: $S = \overline{Y_2}Y_3$

4.2 组合逻辑电路的分析

(2) 化简

$$\begin{aligned} S &= \overline{Y_2 Y_3} = \overline{\overline{A} \overline{Y_1} \cdot \overline{B} \overline{Y_1}} = AY_1 + BY_1 = (A+B) Y_1 \\ &= (A+B) \cdot \overline{AB} = (A+B) \cdot (\overline{A} + \overline{B}) \\ &= A\overline{B} + \overline{A}B = A \oplus B \end{aligned}$$

$$C = \overline{Y_1} = AB$$

(3) 列真值表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

(4) 逻辑功能分析

A — 被加数

B — 加数

S — 半加和

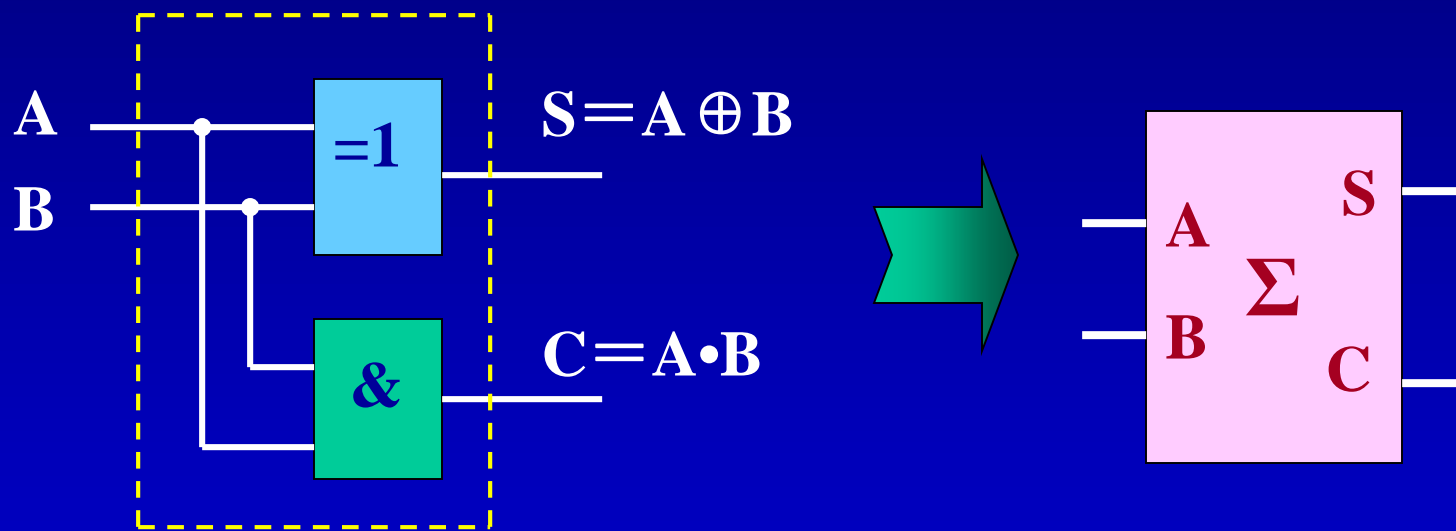
C — 向高位的进位输出



一位半加器

4.2 组合逻辑电路的分析

逻辑图



$$S = A \oplus B$$

$$C = A \cdot B$$

4.3 常用集成组合逻辑电路

根据集成规模的不同，数字集成电路分为：

IC { SSI — Small Scale Integration Circuit
MSI — Medium Scale Integration Circuit
LSI — Large Scale Integration Circuit
VLSI — Very Large Scale Integration Circuit

种类	SSI	MSI	LSI	VLSI
双极型	<10个门	10~100个门	100~1000个门	>1000个门
单极型	<100个 元件	100~1000个 元件	1000~10000个 元件	>10000个 元件

4.3 常用集成组合逻辑电路

本节学习方法：不必深究内部的逻辑结构，重点放在功能表，了解主要功能及其如何实现。

➤➤ 有什么用？怎么用？在哪用？

一、加法器 (Adder)

计算机CPU中的运算器ALU（算术逻辑单元），其原理与加法器相同。

1、1位全加器 (Full Adder)

(1) 什么是全加？

将两个二进制数和来自低位的进位 3个数相加

(2) 如何设计一个1位全加器？

4.3 常用集成组合逻辑电路

例1、设计一个一位全加器

解：① 根据二进制加法运算规则，列真值表

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\bar{A}\bar{B}CI$$

$$\bar{A}B\bar{C}\bar{I}$$

$$A\bar{B}\bar{C}\bar{I}$$

$$ABC\bar{I}$$

设：A、B— 被加数、加数

CI— 来自低位的进位输入

S— 全加和

CO— 向高位的进位输出

② 写逻辑函数式

$$\begin{aligned} S &= \bar{A}\bar{B}CI + \bar{A}B\bar{C}\bar{I} + A\bar{B}\bar{C}\bar{I} + ABC\bar{I} \\ &= \bar{C}\bar{I} (\bar{A}\bar{B} + A\bar{B}) + CI (\bar{A}\bar{B} + AB) \\ &= \bar{C}\bar{I} (A \oplus B) + CI (A \oplus B) \\ &= A \oplus B \oplus CI \end{aligned}$$

4.3 常用集成组合逻辑电路

$$S = A \oplus B \oplus CI$$

$$CO = \overline{A}BCI + A\overline{B}CI + AB\overline{C}I + ABCI$$
$$= CI(A \oplus B) + AB$$

③ 画逻辑图

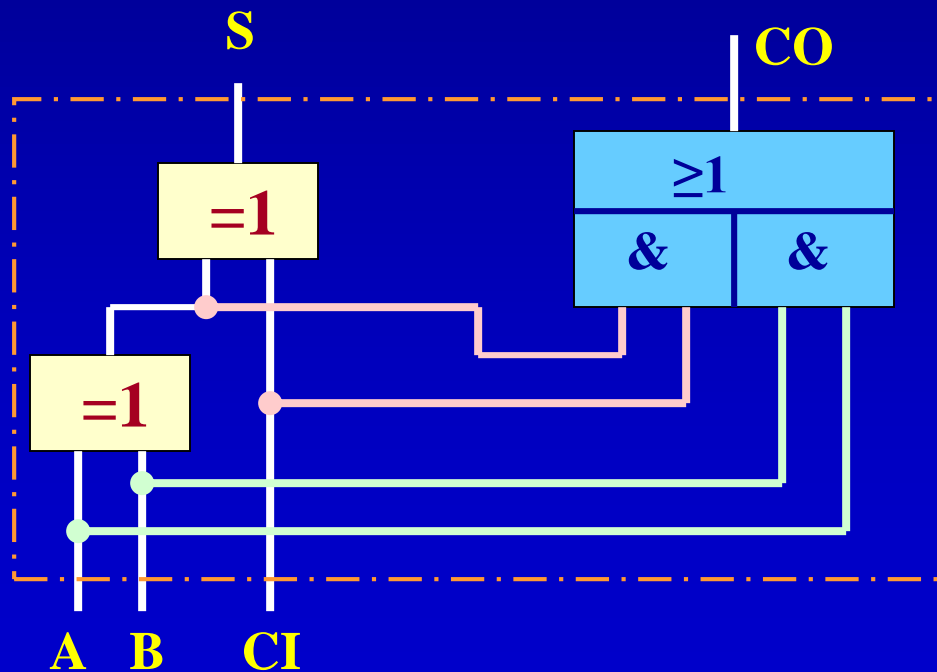
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$\overline{A}BCI$

$A\overline{B}CI$

$AB\overline{C}I$

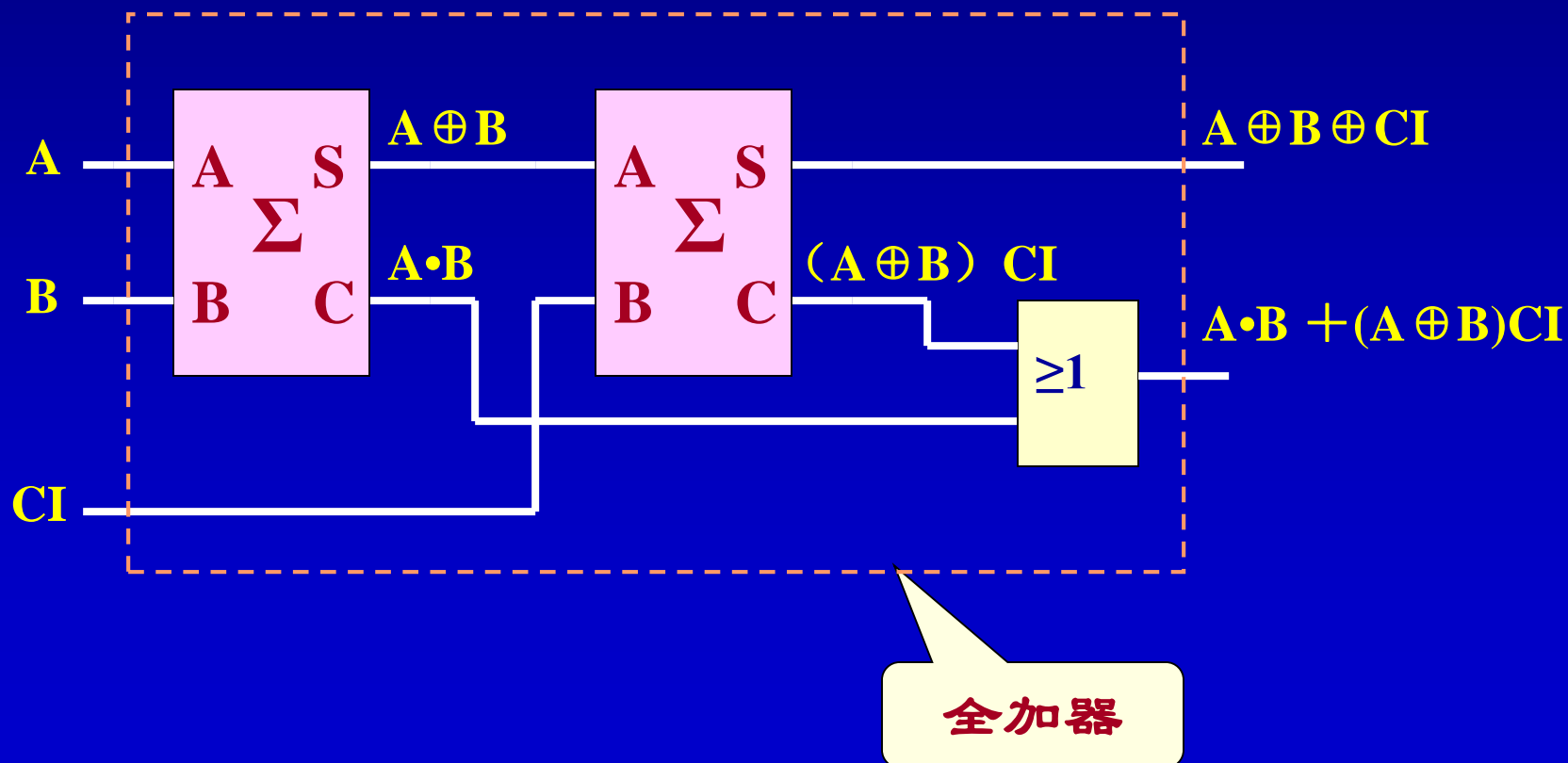
$ABCI$



4.3 常用集成组合逻辑电路

如何用半加器实现全加？

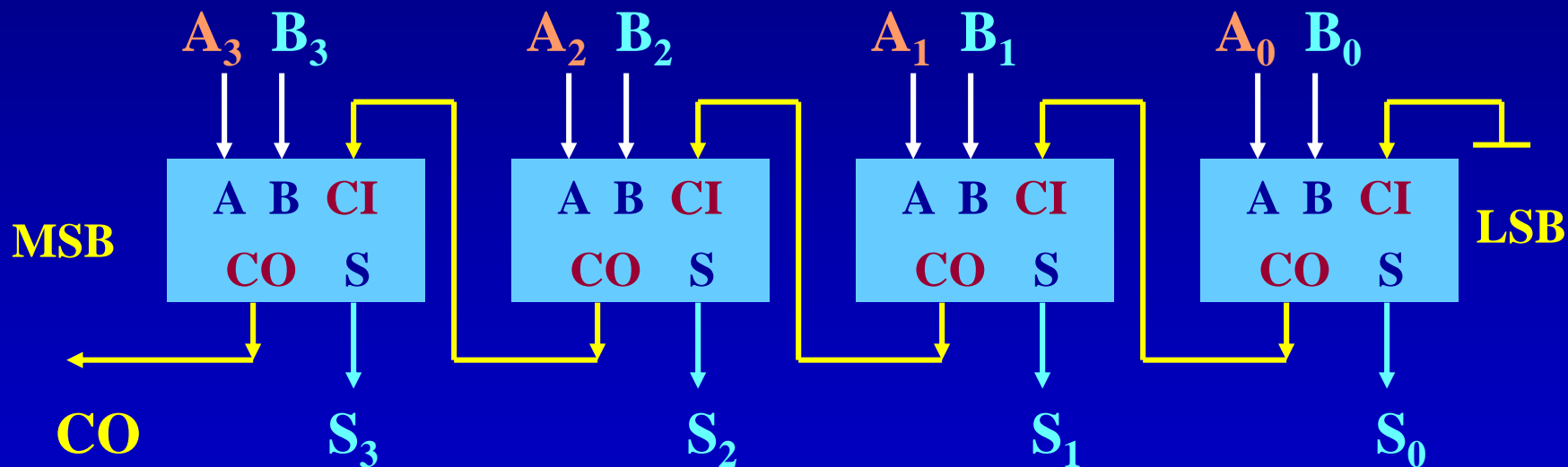
$$S = A \oplus B \oplus CI \quad CO = AB + CI(A \oplus B)$$



4.3 常用集成组合逻辑电路

2、多位串行进位加法器

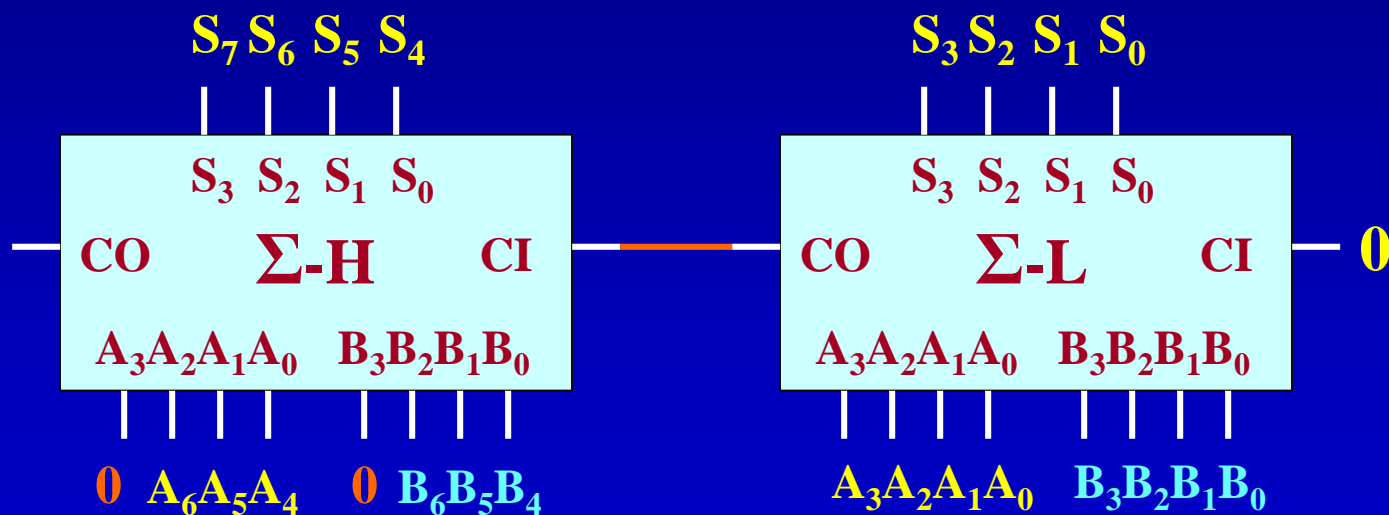
构成方法：依次将低位全加器的进位输出端 **CO** 接到高位全加器的进位输入端 **CI**，即可构成多位加法器。



特点：每一位的相加结果都必须等到低一位的进位输出产生以后才能建立，故称为**串行进位**加法器。

4.3 常用集成组合逻辑电路

例、用4位二进制加法器实现两个7位二进制数的加法运算。



4.3 常用集成组合逻辑电路

串行进位加法器的特点：

- (1) 电路结构简单，每一位结构相同，易于扩展；
- (2) 速度慢。

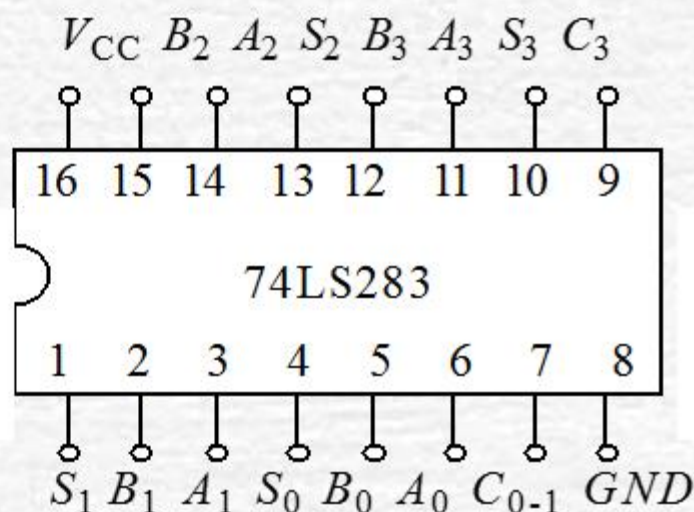
3、超前进位加法器

设计思路：提前计算出各位的进位输出值，使每位同时求和。

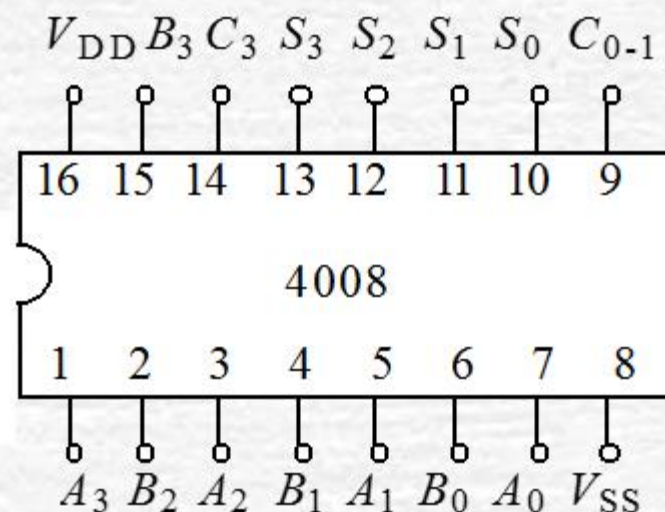
特点：速度快，但结构复杂，且每一位结构都不同，不易扩展。

2、并行进位加法器

集成二进制
并行进位加法器
4位

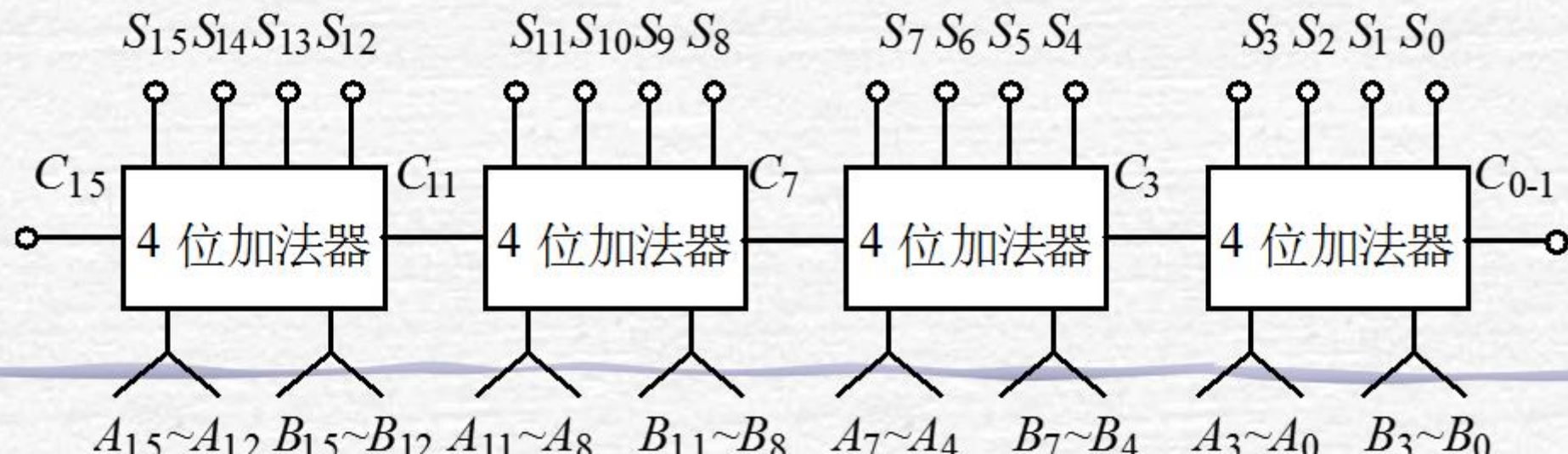


TTL 加法器 74LS283 引脚图

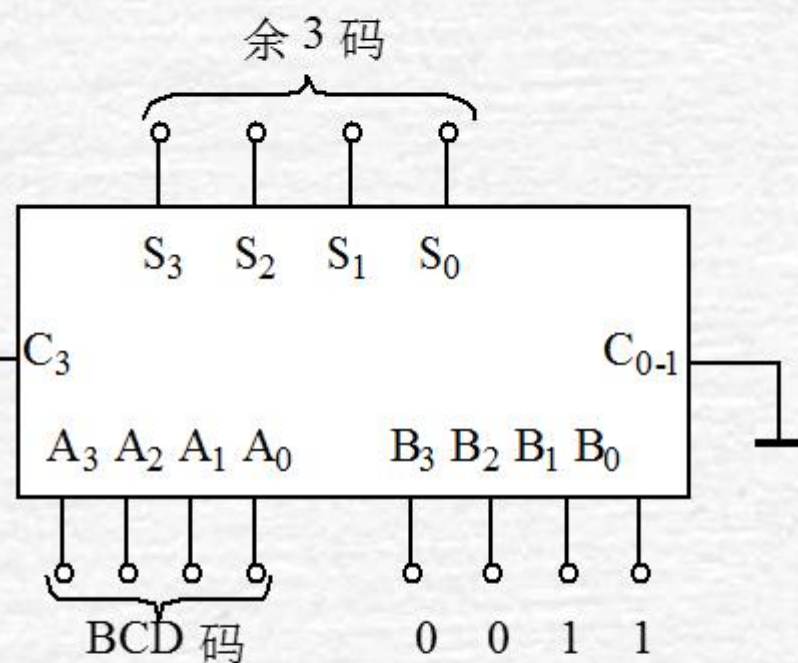


CMOS 加法器 4008 引脚图

加法器的级连



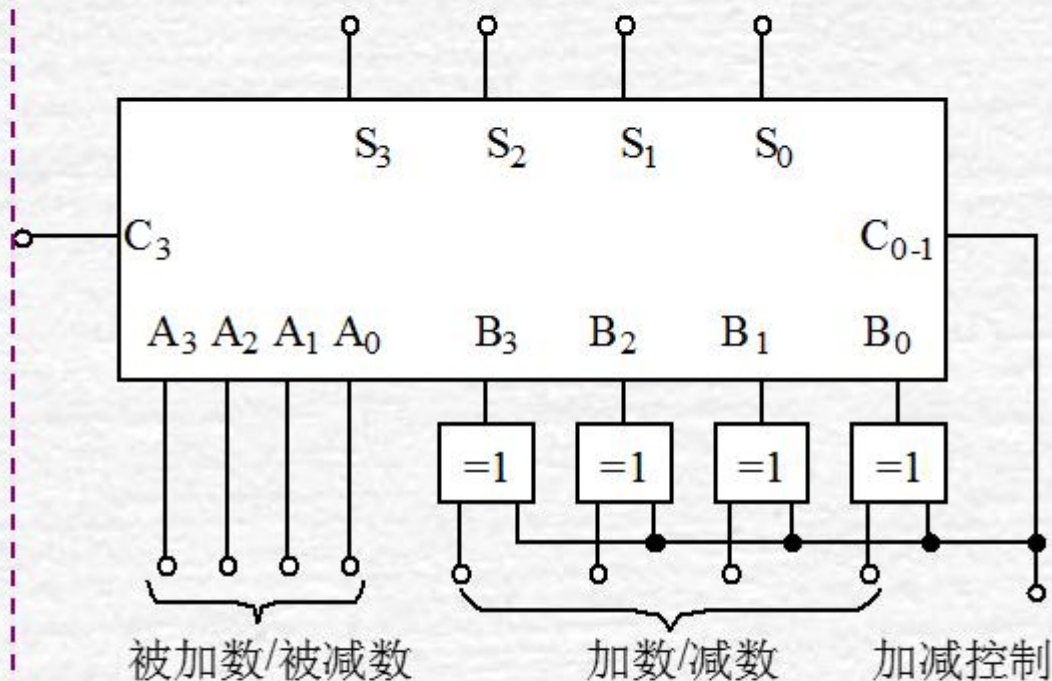
2、8421 BCD码转换为余3码



BCD码+0011=余3码

减法转化为
求补码（反
码+进位）

3、二进制并行加法/减法器



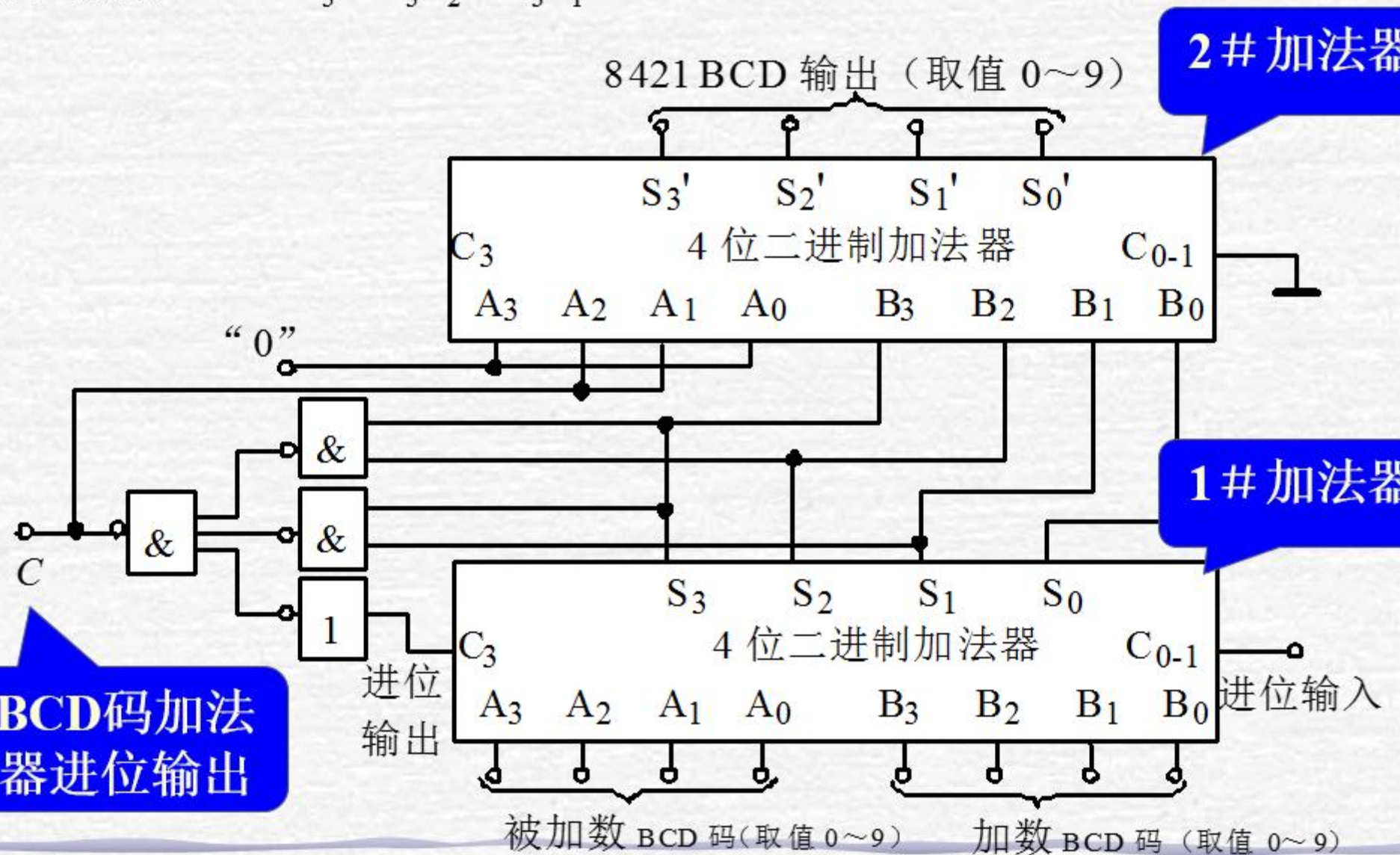
C₀₋₁=0时, $B \oplus 0 = B$, 电路执行
A+B运算;

当C₀₋₁=1时, $B \oplus 1 = \overline{B}$, 电路执
行A-B=A+ \overline{B} +C₀₋₁运算。

4、二-十进制加法器（输入、输出均为BCD码）

思考题

修正条件： $C = C_3 + S_3S_2 + S_3S_1$



BCD码加法器进位输出 $C=1$ 时，由下列两种情况发生：

1#加法器：

两个加数A、B均为二-十进制BCD码（取值0~9），当 $19 > A + B + C_{0-1} > 15$ 时， $C_3 = 1$ ；

当 $0 < A + B + C_{0-1} < 15$ 时， $C_3 = 0$ ，此时考查 $S_3 \dots S_0$ 的情况，卡诺图中1010 ... 1111填1，这些情况须求补修正。

C

$S_1 S_0$		$S_3 S_2$			
		00	01	11	10
$S_3 S_2$	00				
	01				
	11	1	1	1	1
	10			1	1

修正条件： $C = C_3 + S_3 S_2 + S_3 S_1$

解题思路

解题思路

当 $C=0$ 时，2#加法器的 $A_3 \sim A_0$ 取值为0000。即对BCD码加法器的输出无须作任何修正。

当 $C=1$ 时，2#加法器的 $A_3 \sim A_0$ 取值为0110。即对BCD码加法器的输出作求补数修正：BCD码 + 0110。

4.3 常用集成组合逻辑电路

二、译码器 (Decoder)

1、逻辑功能



将输入的二进制代码译成对应的输出高、低电平信号。

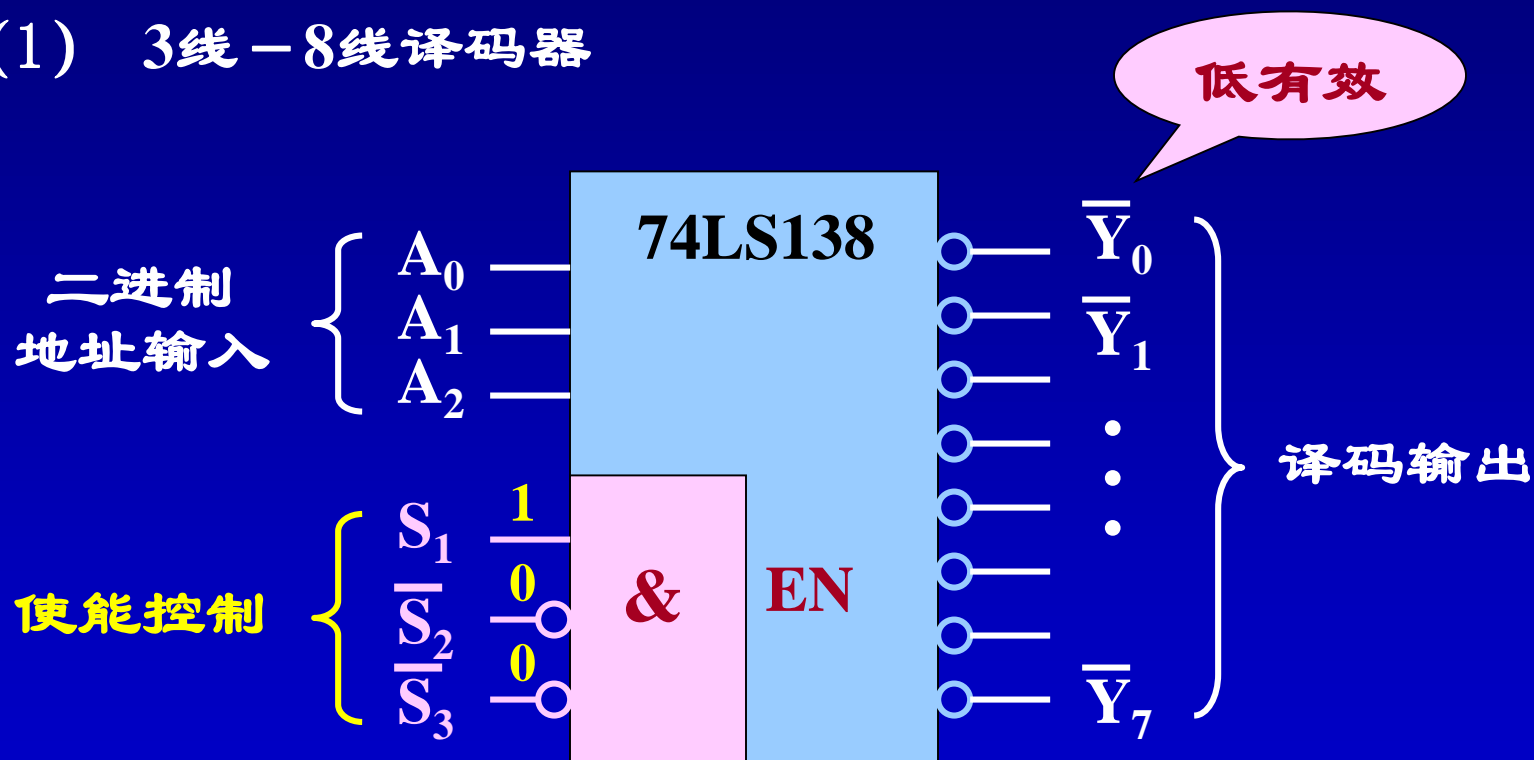
2、常用类型

- ◆ 二进制译码器 (变量译码器)
- ◆ 二—十进制译码器 (码制译码器)
- ◆ 显示译码器

4.3 常用集成组合逻辑电路

3、二进制译码器

(1) 3线—8线译码器



4.3 常用集成组合逻辑电路

74LS138 真值表


输 入			输 出							
S_1	$\bar{S}_2 + \bar{S}_3$	$A_2 A_1 A_0$	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
禁止	x	1	x	x	x					
	0	x	x	x	x					
正常工作	1	0	0	0	0					
			0	0	1					
			0	1	0					
			0	1	1					
			1	0	0					
			1	0	1					
			1	1	0					
			1	1	1					

- ① 当 $S_1=1$ 、 $\bar{S}_2=\bar{S}_3=0$ 时，译码器处于工作状态， $\bar{Y}_0\sim\bar{Y}_7$ 状态由地址输入 $A_0\sim A_2$ 确定；
- ② 当 $S_1=0$ 或 $\bar{S}_2=1$ 或 $\bar{S}_3=1$ 时，译码器被禁止，所有输出端 $\bar{Y}_0\sim\bar{Y}_7$ 被封锁为高电平；

		S_1	$\bar{S}_2 + \bar{S}_3$	$A_2 A_1 A_0$	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
禁止	{	x	1	x x x	1	1	1	1	1	1	1	1
		0	x									
正常工作	{	1	0	0 0 0	0	1	1	1	1	1	1	1
				0 0 1	1	0	1	1	1	1	1	1
				0 1 0	1	1	0	1	1	1	1	1
				0 1 1	1	1	1	0	1	1	1	1
				1 0 0	1	1	1	1	0	1	1	1
				1 0 1	1	1	1	1	1	0	1	1
				1 1 0	1	1	1	1	1	1	0	1
				1 1 1	1	1	1	1	1	1	1	0

4.3 常用集成组合逻辑电路

$A_2 A_1 A_0$	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
0 0 0	0	1	1	1	1	1	1	1
0 0 1	1	0	1	1	1	1	1	1
0 1 0	1	1	0	1	1	1	1	1
0 1 1	1	1	1	0	1	1	1	1
1 0 0	1	1	1	1	0	1	1	1
1 0 1	1	1	1	1	1	0	1	1
1 1 0	1	1	1	1	1	1	0	1
1 1 1	1	1	1	1	1	1	1	0

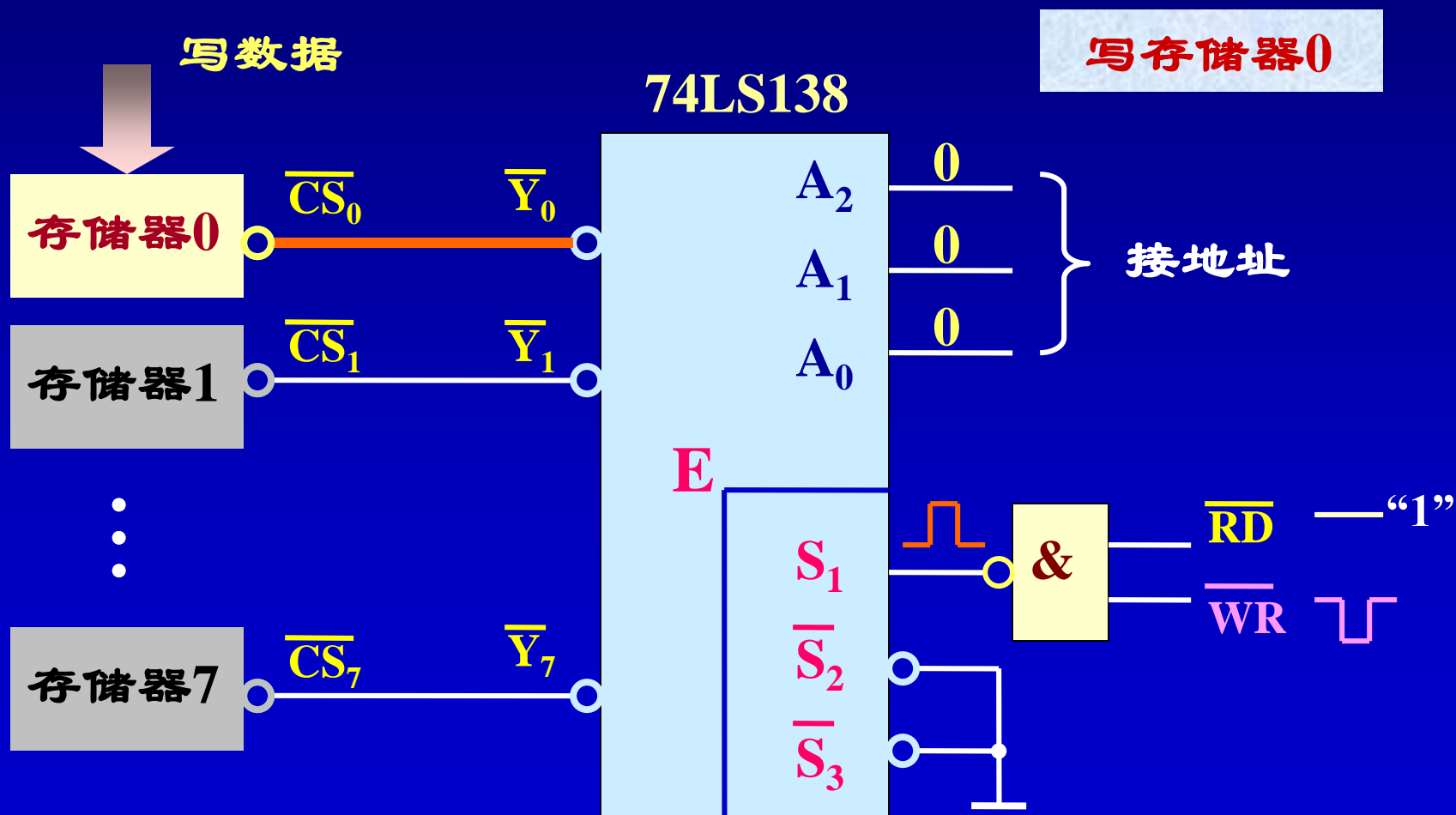

$$\left\{ \begin{array}{l} \overline{Y}_0 = \overline{\overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0}} \\ \overline{Y}_1 = \overline{\overline{A_2} \cdot \overline{A_1} \cdot A_0} \\ \vdots \\ \overline{Y}_7 = \overline{A_2 \cdot A_1 \cdot A_0} \end{array} \right.$$

$\therefore \overline{Y}_0 \sim \overline{Y}_7$ 是输入变量 $A_0 \sim A_2$ 的全部最小项的译码输出。

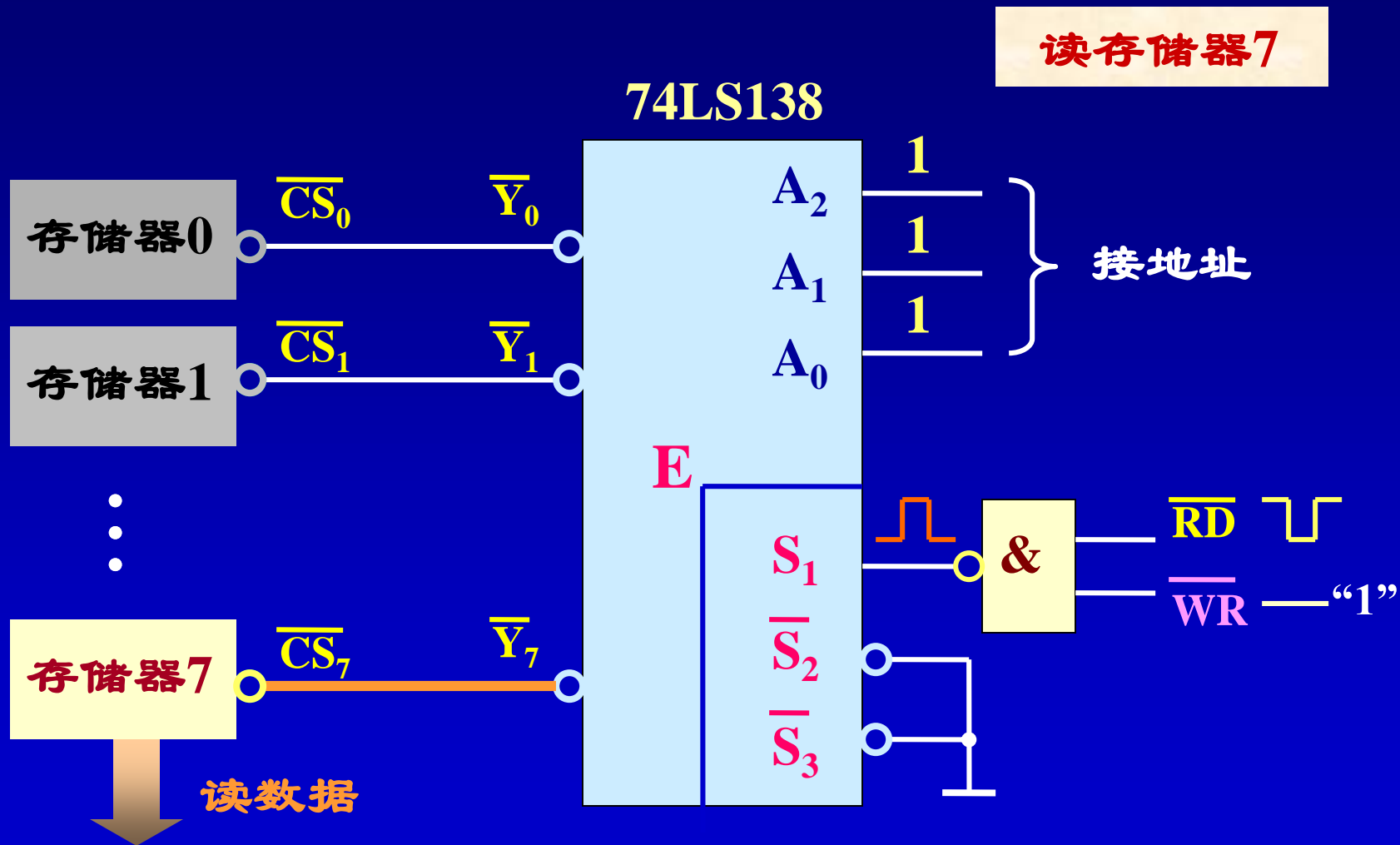
4.3 常用集成组合逻辑电路

(2) 应用

① 基本应用 —— 作为其它芯片的片选信号



4.3 常用集成组合逻辑电路



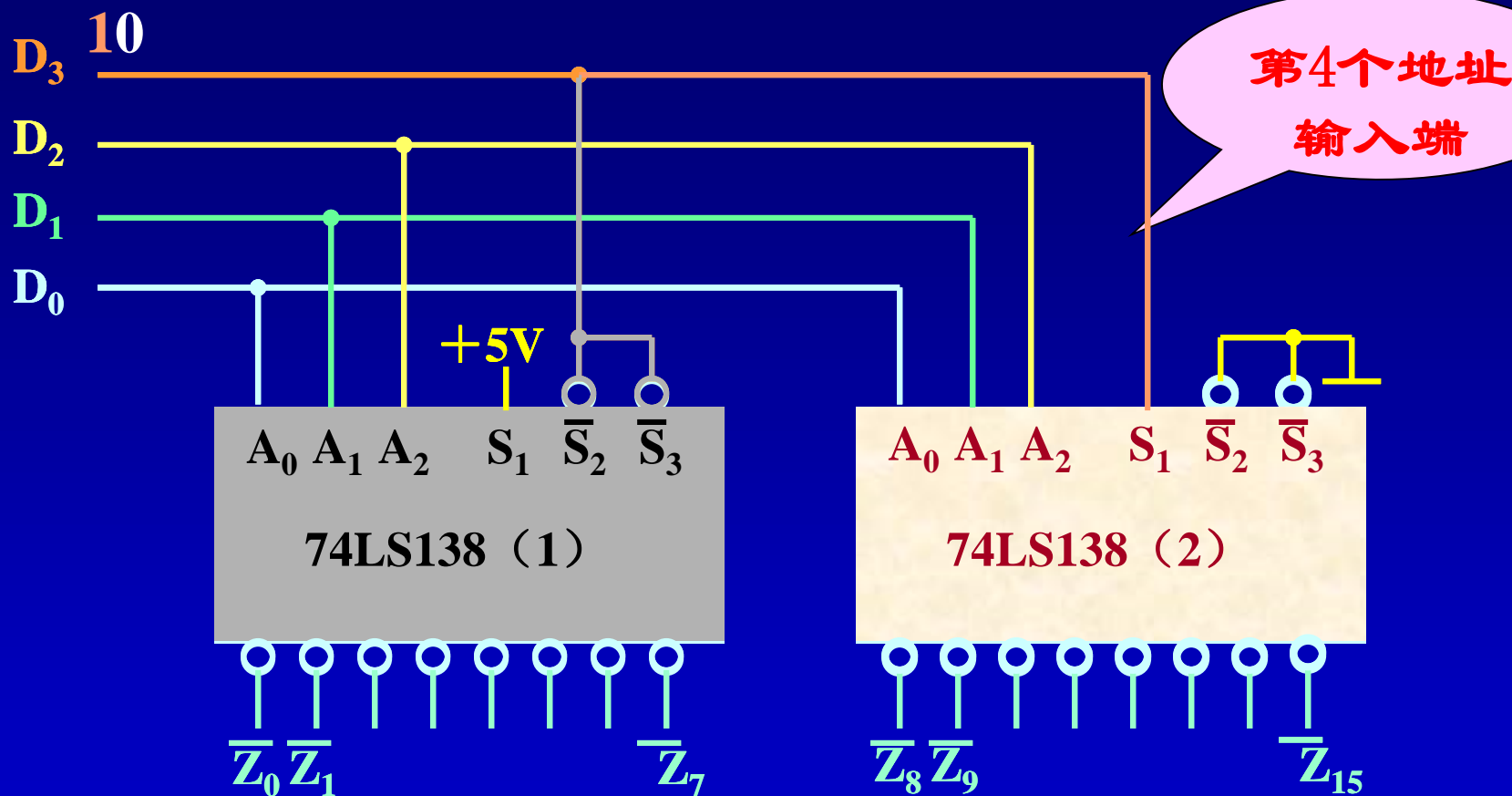
4.3 常用集成组合逻辑电路

② 扩展应用 —— 扩展译码器输出

例：

试用两片3线—8线译码器74LS138 组成4线—16线译码器，将输入的4位二进制代码 $D_3D_2D_1D_0$ 译成16个独立的低电平输出信号 $\bar{Z}_0 \sim \bar{Z}_{15}$ 。

4.3 常用集成组合逻辑电路



A、当 $D_3=0$ 时，片1工作，片2禁止； $D_3 D_2 D_1 D_0 = 0\ 000 \sim 0\ 111$

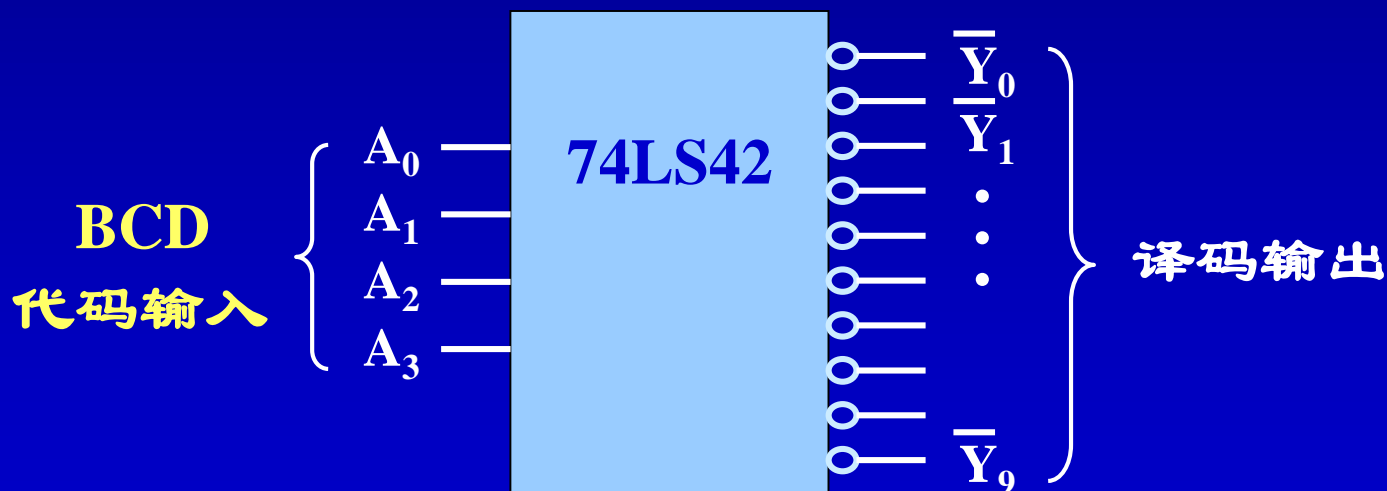
B、当 $D_3=1$ 时，片1禁止，片2工作； $D_3 D_2 D_1 D_0 = 1\ 000 \sim 1\ 111$

4.3 常用集成组合逻辑电路

4、二—十进制译码器（码制译码器）

(1) 逻辑功能

原理与二进制译码器类似，可将输入BCD码的10个代码译成10个高、低电平输出信号。



(2) 真值表（4线—10线译码器）

二—十进制译码器74LS42真值表

序 号	$A_3A_2A_1A_0$	$\overline{Y_0}\overline{Y_1}\overline{Y_2}\overline{Y_3}\overline{Y_4}\overline{Y_5}\overline{Y_6}\overline{Y_7}\overline{Y_8}\overline{Y_9}$
0	0 0 0 0	0 1 1 1 1 1 1 1 1 1
1	0 0 0 1	1 0 1 1 1 1 1 1 1 1
2	0 0 1 0	1 1 0 1 1 1 1 1 1 1
3	0 0 1 1	1 1 1 0 1 1 1 1 1 1
4	0 1 0 0	1 1 1 1 0 1 1 1 1 1
5	0 1 0 1	1 1 1 1 1 0 1 1 1 1
6	0 1 1 0	1 1 1 1 1 1 0 1 1 1
7	0 1 1 1	1 1 1 1 1 1 1 0 1 1
8	1 0 0 0	1 1 1 1 1 1 1 1 0 1
9	1 0 0 1	1 1 1 1 1 1 1 1 1 0
10	1 0 1 0	1 1 1 1 1 1 1 1 1 1
11	1 0 1 1	1 1 1 1 1 1 1 1 1 1
12	1 1 0 0	1 1 1 1 1 1 1 1 1 1
13	1 1 0 1	1 1 1 1 1 1 1 1 1 1
14	1 1 1 0	1 1 1 1 1 1 1 1 1 1
15	1 1 1 1	1 1 1 1 1 1 1 1 1 1

伪码

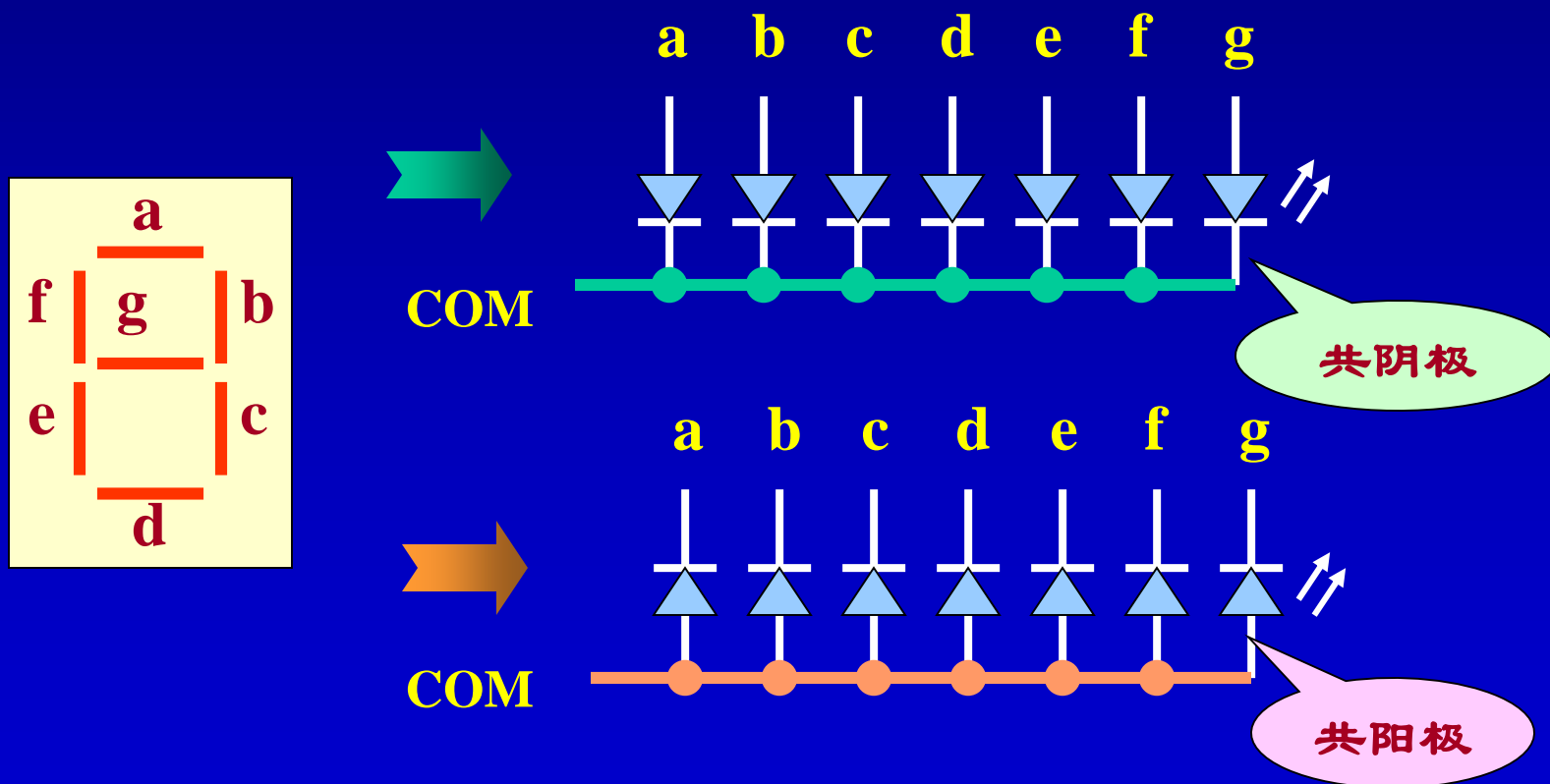


4.3 常用集成组合逻辑电路

5、显示译码器

(1) 七段数码管

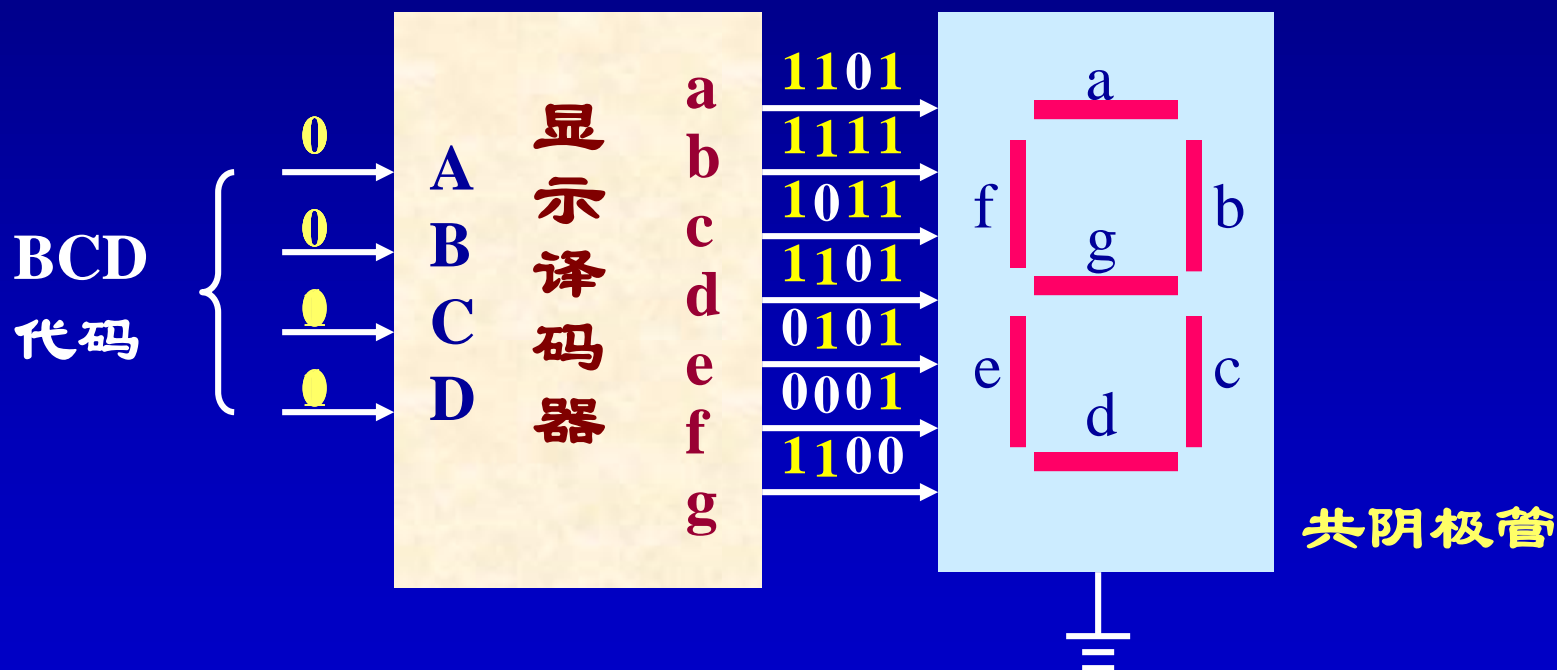
由七个线段拼合而成，每个线段都是一个发光二极管。



4.3 常用集成组合逻辑电路

(2) 显示译码器

将BCD代码译成数码管所需的**驱动信号**，使数码管用十进制数字显示出BCD代码所表示的数值。



由此可见，现在与每个输入代码对应的输出**不再是某一根**输出线上的高、低电平，而是另一个7位代码。

6. 译码器的应用

2、用一片74HC138实现函数： $L = \bar{A}\bar{C} + AB$

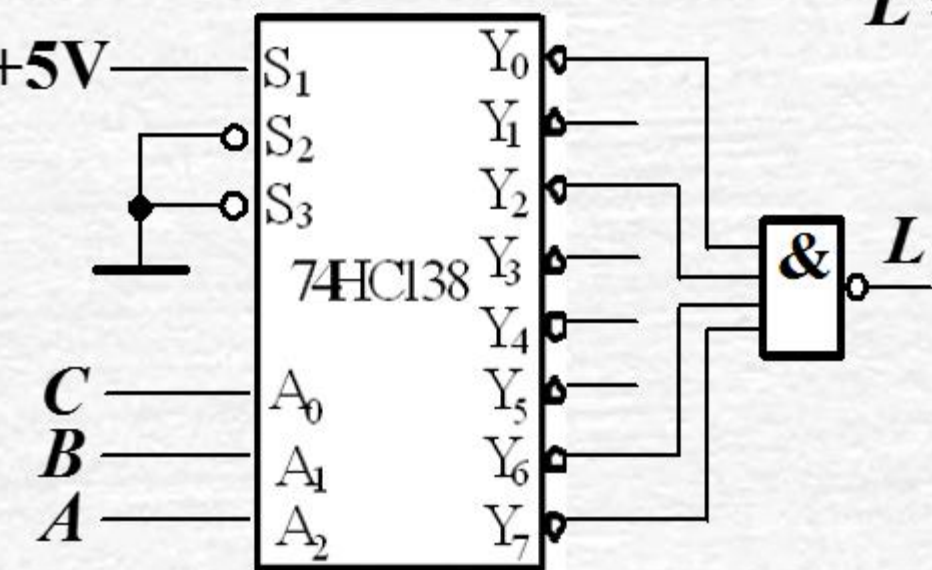
首先将函数式变换为最小项之和的形式

$$L = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + AB\bar{C} + ABC$$

$$= m_0 + m_2 + m_6 + m_7$$

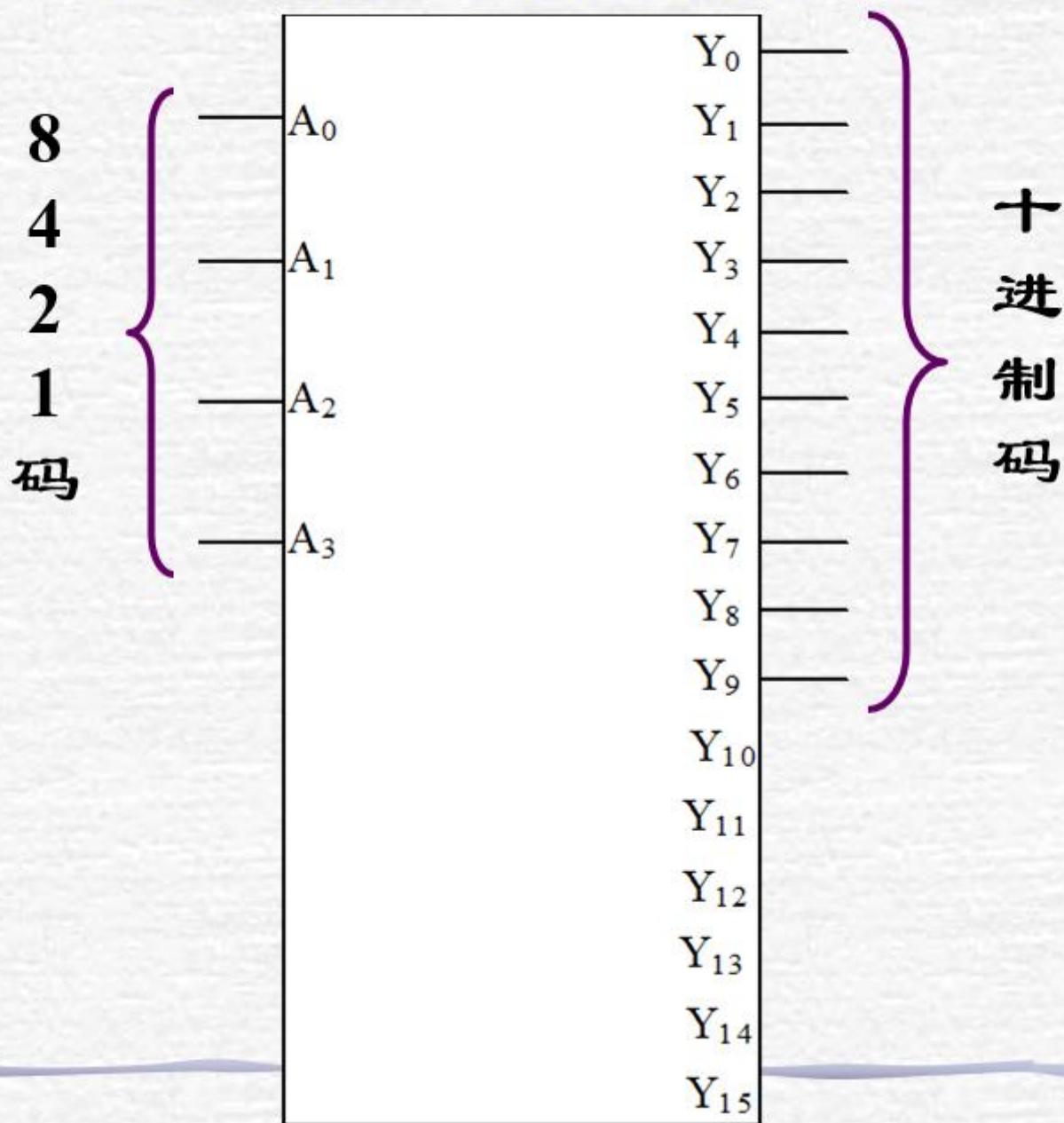
$$= \overline{m_0 \cdot m_2 \cdot m_6 \cdot m_7}$$

$$= \bar{Y}_0 \cdot \bar{Y}_2 \cdot \bar{Y}_6 \cdot \bar{Y}_7$$

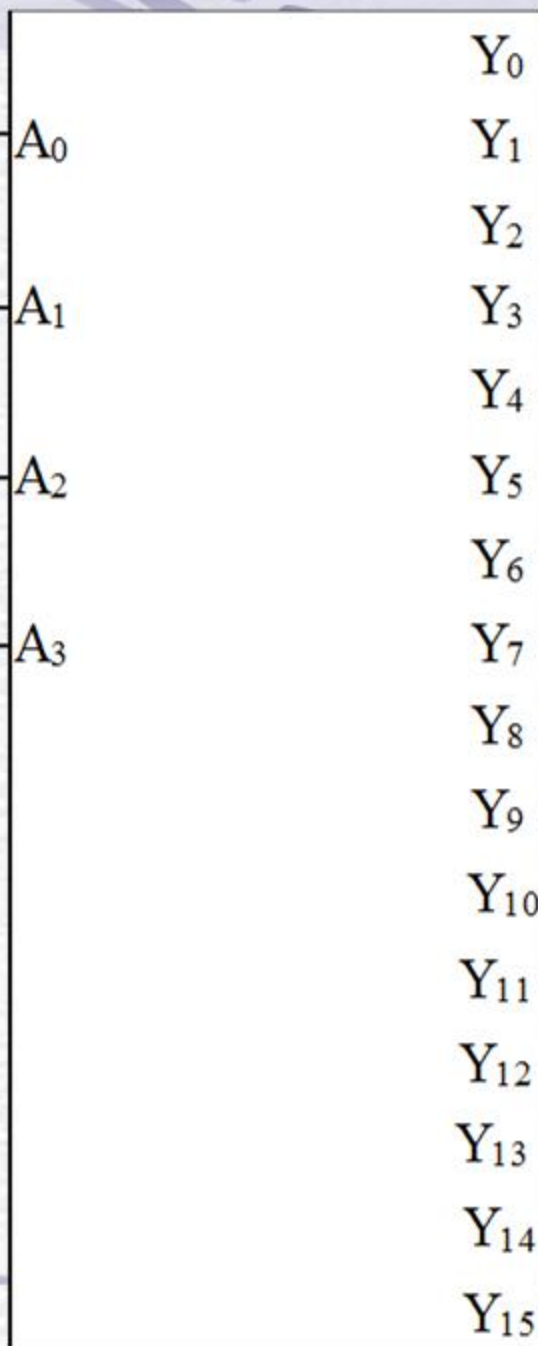


在译码器的输出端加一个与非门，即可实现给定组合逻辑函数。

3、用二进制译码器实现码制变换



余
3
码



十
进
制
码



2
4
2
1
码



Y₀
Y₁
Y₂
Y₃
Y₄
Y₅
Y₆
Y₇
Y₈
Y₉
Y₁₀
Y₁₁
Y₁₂
Y₁₃
Y₁₄
Y₁₅

十
进
制
码



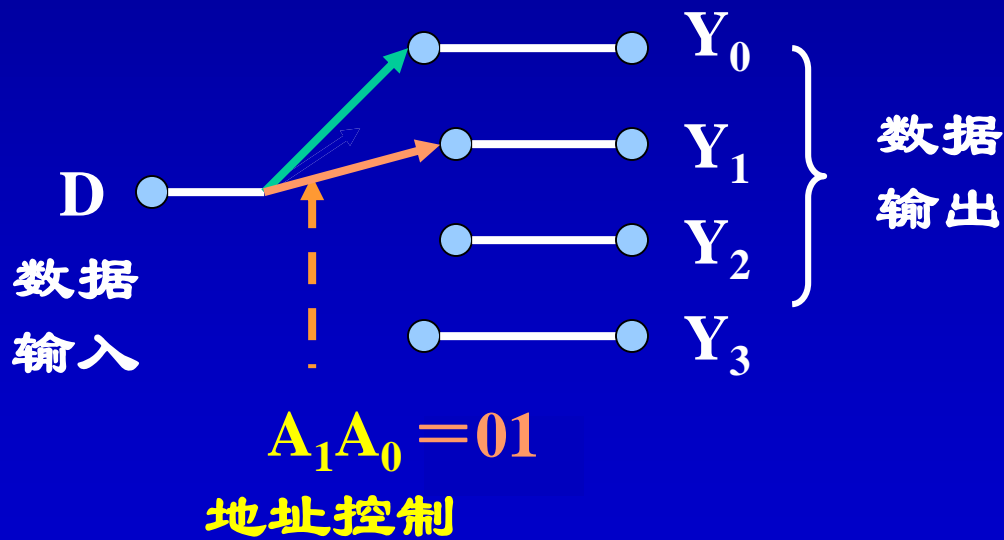
4.3 常用集成组合逻辑电路

三、数据分配器 (Demultiplexer)

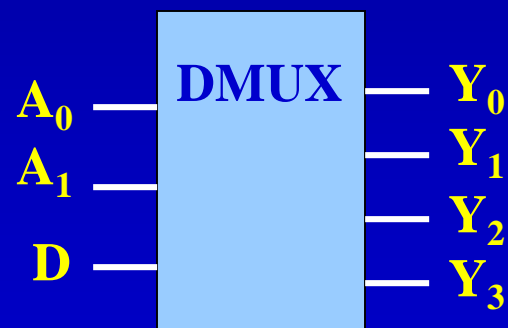
1、逻辑功能

将输入的数据通过由地址指定的一根输出线送出

示意图



逻辑符号

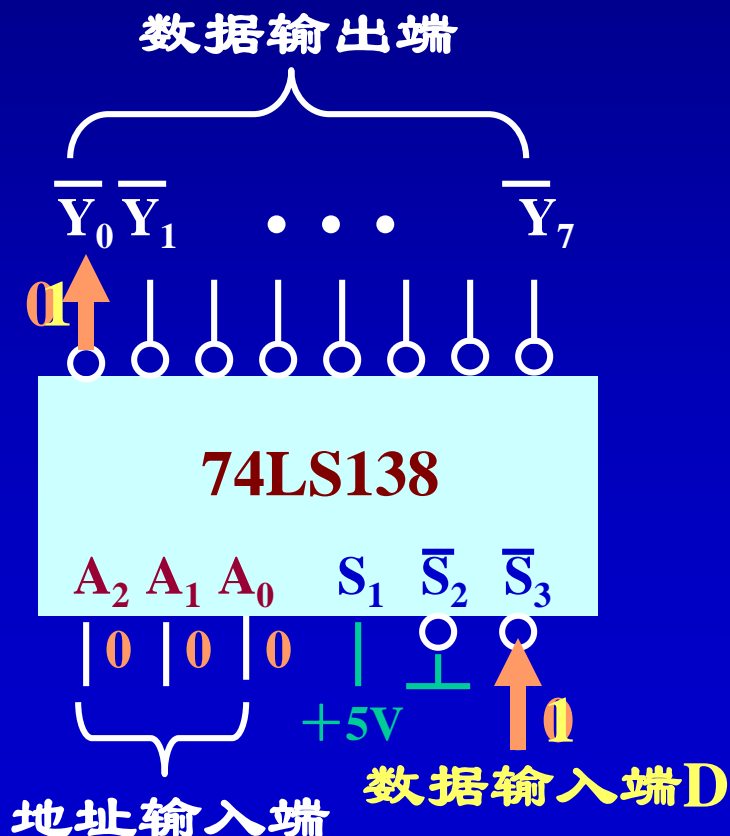


4.3 常用集成组合逻辑电路

2、用译码器构成数据分配器

带有控制输入端的译码器，可用作数据分配器。

如何用 74LS138 构成数据分配器？



结论:

当 $A_2A_1A_0 = 000$ 时,

- ① $D \rightarrow \bar{Y}_0$
- ② $\bar{Y}_1 \sim \bar{Y}_7 \equiv 1$

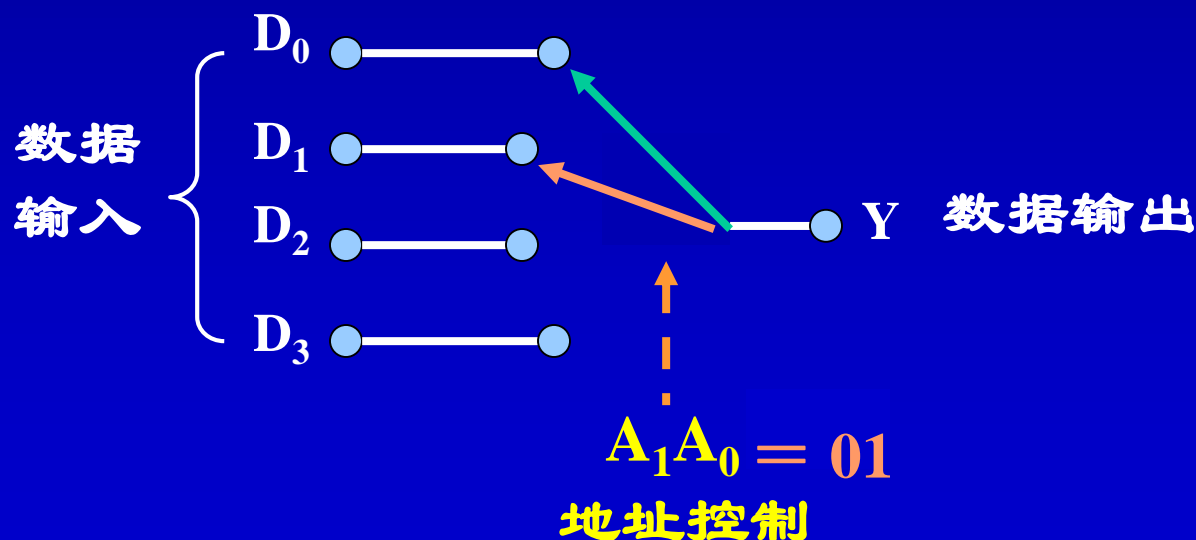
4.3 常用集成组合逻辑电路

四、数据选择器 (Multiplexer)

1、逻辑功能

根据地址从一组输入数据中选中某一个，并传送至公共的数据输出端，其逻辑功能与数据分配器相反。

示意图



4.3 常用集成组合逻辑电路

2、4选1数据选择器 (74LS153)

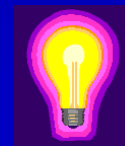
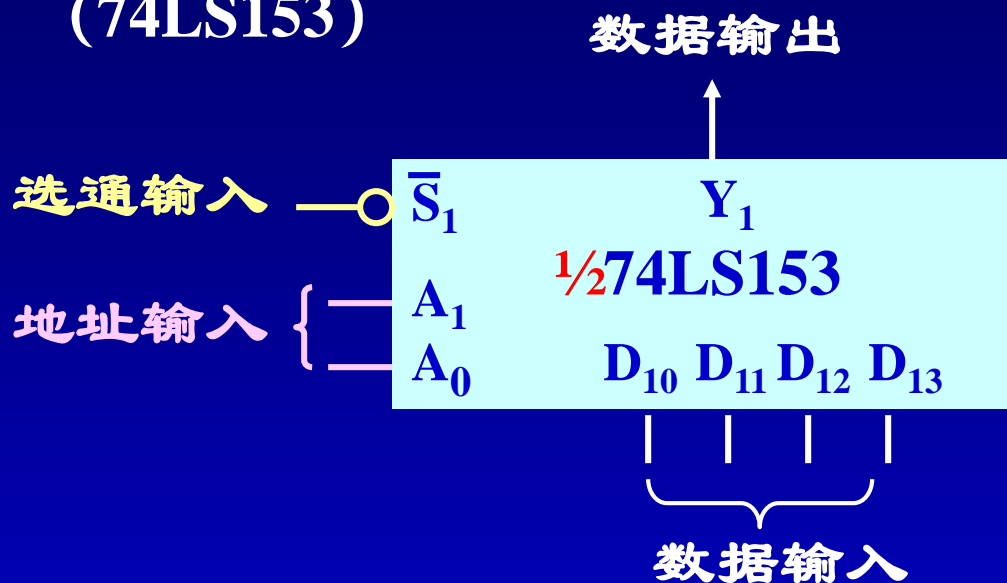
双4选1数据选择器

功能表

输 入		输 出
\bar{S}_1	$A_1 A_0$	Y_1
1	x x	0
0	0 0	D_{10}
	0 1	D_{11}
	1 0	D_{12}
	1 1	D_{13}

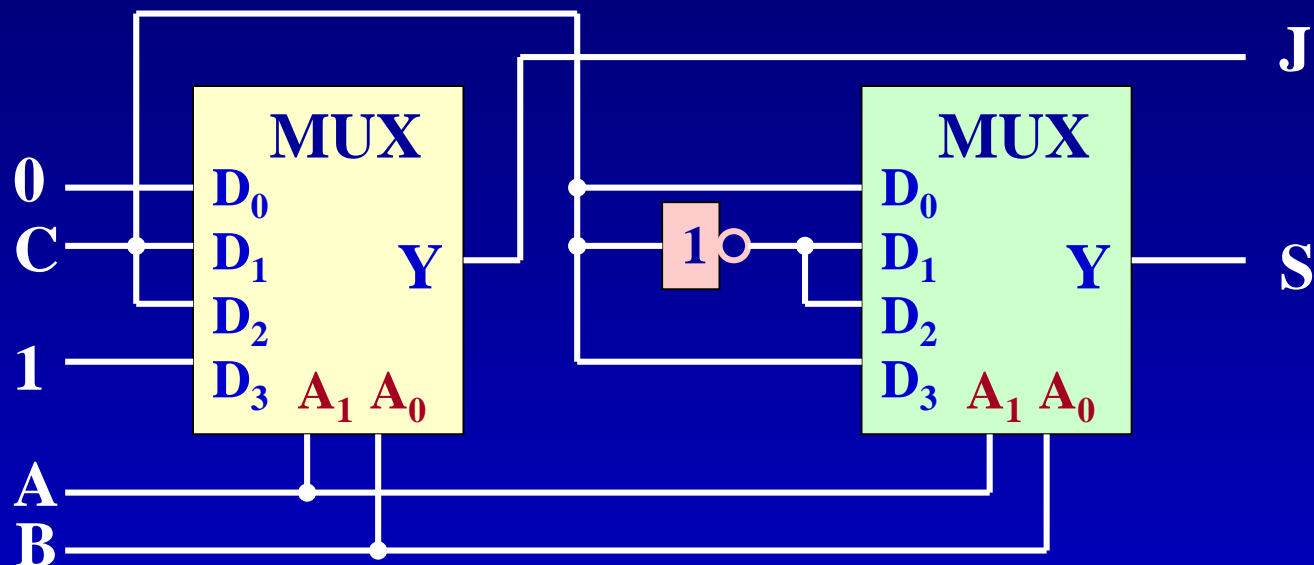
→ $\bar{S}_1 = 1$, MUX 输出被封锁为0

$$Y_1 = \bar{A}_1 \bar{A}_0 D_{10} + \bar{A}_1 A_0 D_{11} + A_1 \bar{A}_0 D_{12} + A_1 A_0 D_{13}$$



4.3 常用集成组合逻辑电路

例、分析组合逻辑电路的逻辑功能



解：

① 直接写出 J 、 S 的逻辑函数式

$$J = \bar{A}\bar{B} \cdot 0 + \bar{A}B \cdot C + A\bar{B} \cdot C + AB \cdot 1$$

$$S = \bar{A}\bar{B} \cdot C + \bar{A}B \cdot \bar{C} + A\bar{B} \cdot \bar{C} + AB \cdot C$$

4.3 常用集成组合逻辑电路

② 列真值表

$$S = \bar{A}\bar{B} \cdot C + \bar{A}B \cdot \bar{C} + A\bar{B} \cdot \bar{C} + AB \cdot C$$

$$\begin{aligned} J &= \bar{A}\bar{B} \cdot 0 + \bar{A}B \cdot C + A\bar{B} \cdot C + AB \cdot 1 \\ &= \bar{A}BC + A\bar{B}C + AB \end{aligned}$$

③ 概括逻辑功能

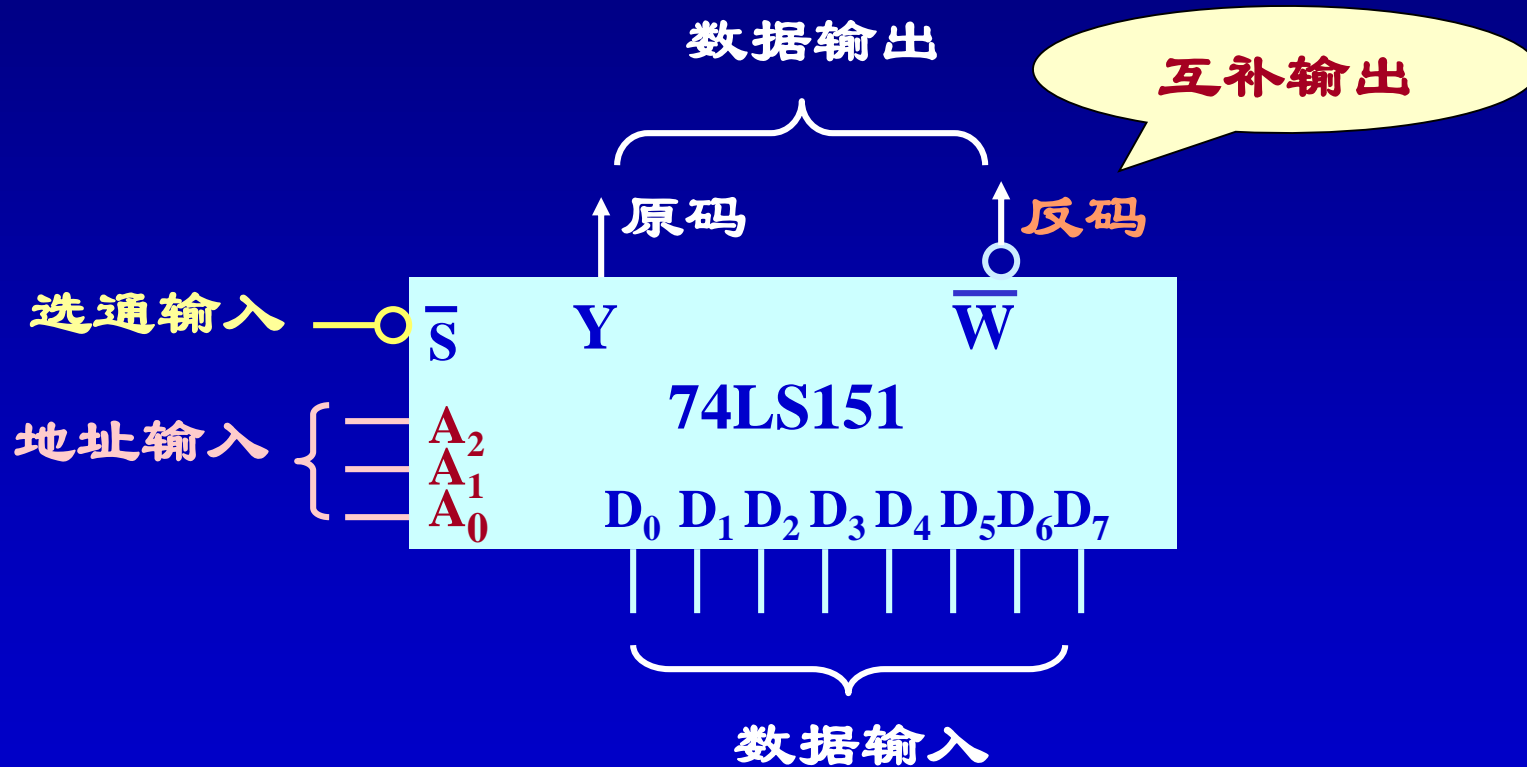


1位二进制
全加器

A	B	C	S	J
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

4.3 常用集成组合逻辑电路

3、8选1数据选择器 (74LS151)



4.3 常用集成组合逻辑电路

74LS151 功能表

\bar{S}	$A_2 A_1 A_0$	Y	\bar{W}
1	x x x	0	1
0	0 0 0	D_0	\bar{D}_0
	0 0 1	D_1	\bar{D}_1
	0 1 0	D_2	\bar{D}_2
	0 1 1	D_3	\bar{D}_3
	1 0 0	D_4	\bar{D}_4
	1 0 1	D_5	\bar{D}_5
	1 1 0	D_6	\bar{D}_6
	1 1 1	D_7	\bar{D}_7

禁止

正常工作

$\Rightarrow \bar{A}_2 \bar{A}_1 \bar{A}_0 \cdot D_0$

$\Rightarrow \bar{A}_2 \bar{A}_1 A_0 \cdot D_1$

$\Rightarrow \bar{A}_2 A_1 \bar{A}_0 \cdot D_2$

$\Rightarrow \bar{A}_2 A_1 A_0 \cdot D_3$

$\Rightarrow A_2 \bar{A}_1 \bar{A}_0 \cdot D_4$

$\Rightarrow A_2 \bar{A}_1 A_0 \cdot D_5$

$\Rightarrow A_2 A_1 \bar{A}_0 \cdot D_6$

$\Rightarrow A_2 A_1 A_0 \cdot D_7$



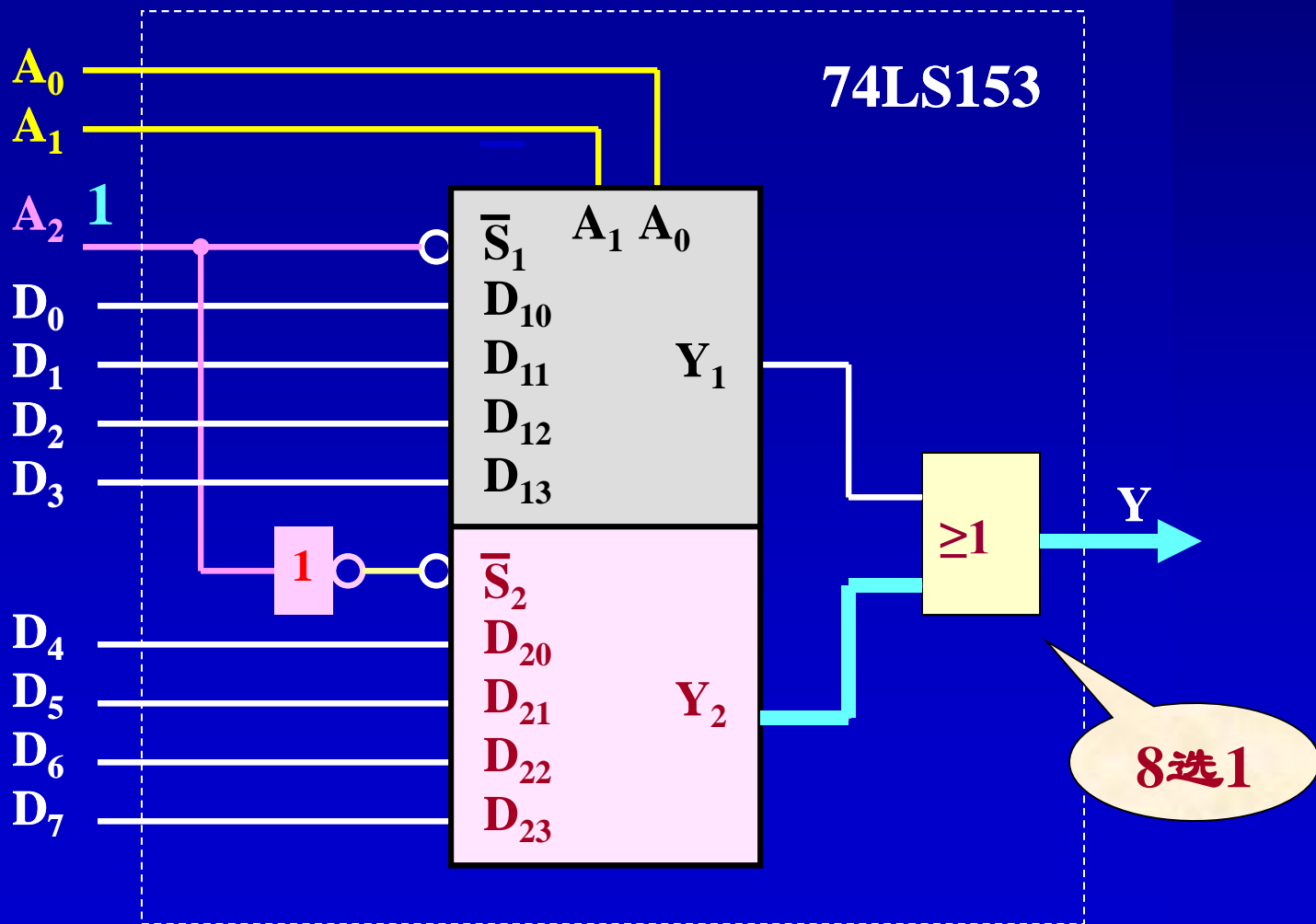
$$Y = \bar{A}_2 \bar{A}_1 \bar{A}_0 \cdot D_0 + \bar{A}_2 \bar{A}_1 A_0 \cdot D_1 + \bar{A}_2 A_1 \bar{A}_0 \cdot D_2 + \bar{A}_2 A_1 A_0 \cdot D_3 \\ + A_2 \bar{A}_1 \bar{A}_0 \cdot D_4 + A_2 \bar{A}_1 A_0 \cdot D_5 + A_2 A_1 \bar{A}_0 \cdot D_6 + A_2 A_1 A_0 \cdot D_7$$

4.3 常用集成组合逻辑电路

4、应用

(1) 实现功能扩展

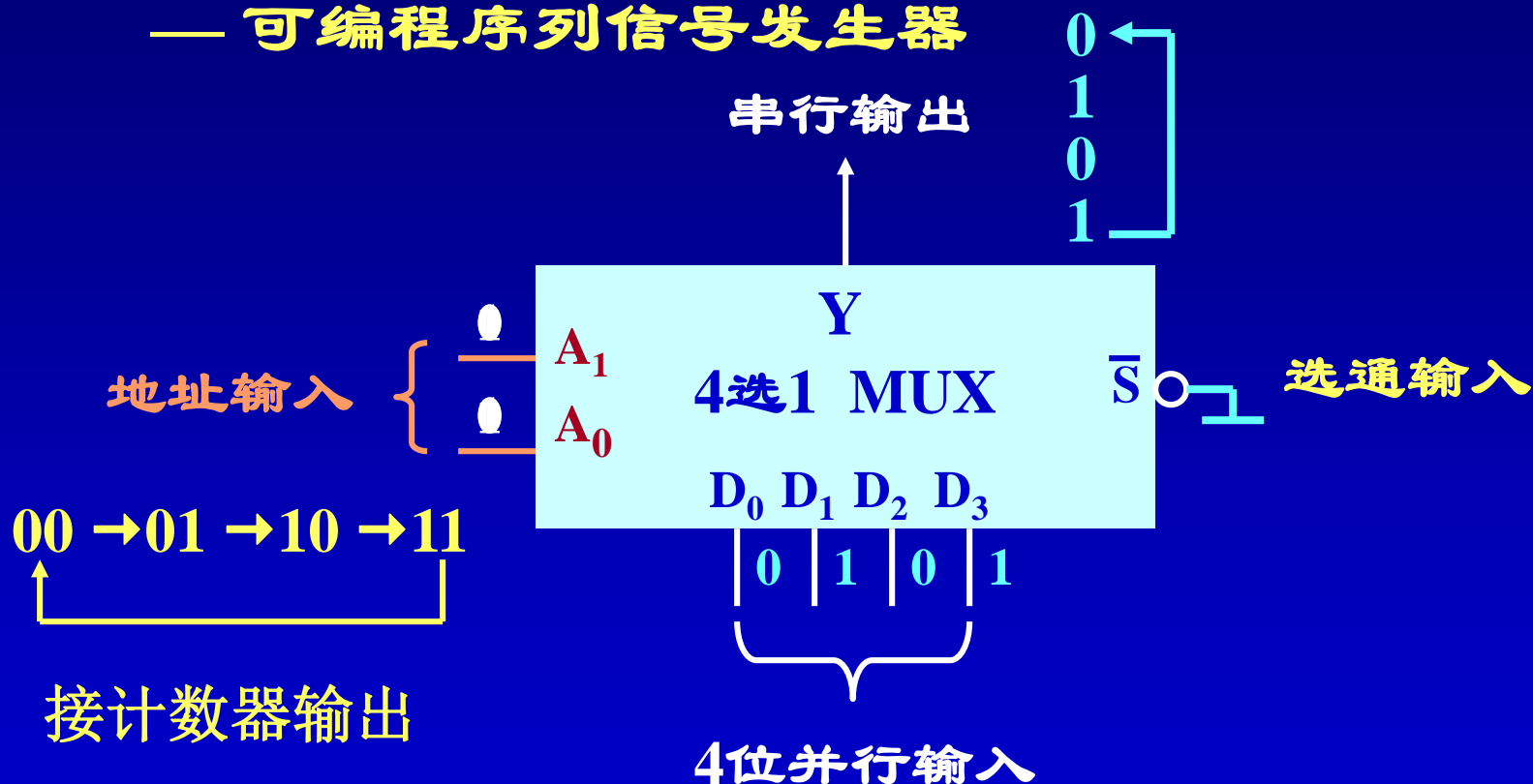
例1、用双4选1 MUX组成8选1 MUX



4.3 常用集成组合逻辑电路

(2) 数据并行输入转换为串行输出

— 可编程序列信号发生器



思考: 如何在 Y 得到 1100 的循环输出 ?

4.3 常用集成组合逻辑电路

(3) 作函数发生器 —— 实现逻辑函数

4选1 MUX

$$Y = D_0 \cdot \underline{\bar{A}_1 \bar{A}_0} + D_1 \cdot \underline{\bar{A}_1 A_0} + D_2 \cdot \underline{A_1 \bar{A}_0} + D_3 \cdot \underline{A_1 A_0}$$

8选1 MUX

$$\begin{aligned} Y = & D_0 \cdot \underline{\bar{A}_2 \bar{A}_1 \bar{A}_0} + D_1 \cdot \underline{\bar{A}_2 \bar{A}_1 A_0} + D_2 \cdot \underline{\bar{A}_2 A_1 \bar{A}_0} \\ & + D_3 \cdot \underline{\bar{A}_2 A_1 A_0} + D_4 \cdot \underline{A_2 \bar{A}_1 \bar{A}_0} + D_5 \cdot \underline{A_2 \bar{A}_1 A_0} \\ & + D_6 \cdot \underline{A_2 A_1 \bar{A}_0} + D_7 \cdot \underline{A_2 A_1 A_0} \end{aligned}$$

∴ 使用MUX可方便地实现单输出逻辑函数

4.3 常用集成组合逻辑电路

例3、用8选1 MUX实现函数 $Y(A,B,C) = A\bar{B} + \bar{A}C + B\bar{C}$

解： 方法1 逻辑函数式对比法

8选1 MUX

$$\begin{aligned} Y(A,B,C) = & D_0 \cdot (\bar{A}\bar{B}\bar{C}) + D_1 \cdot (\bar{A}\bar{B}C) + D_2 \cdot (\bar{A}B\bar{C}) \\ & + D_3 \cdot (\bar{A}BC) + D_4 \cdot (A\bar{B}\bar{C}) + D_5 \cdot (A\bar{B}C) \\ & + D_6 \cdot (AB\bar{C}) + D_7 \cdot (ABC) \end{aligned}$$

待实现函数

$$Y(A,B,C) = A\bar{B} + \bar{A}C + B\bar{C}$$

$$= A\bar{B}\bar{C} + A\bar{B}C + \bar{A}\bar{B}C + \bar{A}BC + \bar{A}B\bar{C} + AB\bar{C}$$

$$\begin{aligned} = & 0 \cdot \bar{A}\bar{B}\bar{C} + 1 \cdot \bar{A}\bar{B}C + 1 \cdot \bar{A}B\bar{C} + 1 \cdot \bar{A}BC \\ & + 1 \cdot A\bar{B}\bar{C} + 1 \cdot A\bar{B}C + 1 \cdot AB\bar{C} + 0 \cdot ABC \end{aligned}$$

$$D_0 = D_7 = 0$$

$$D_1 \sim D_6 = 1$$



4.3 常用集成组合逻辑电路

方法2 卡诺图对比法

C \ AB	00	01	11	10
0	0	1	1	1
1	1	1	0	1

$$Y = A\bar{B} + \bar{A}C + B\bar{C}$$

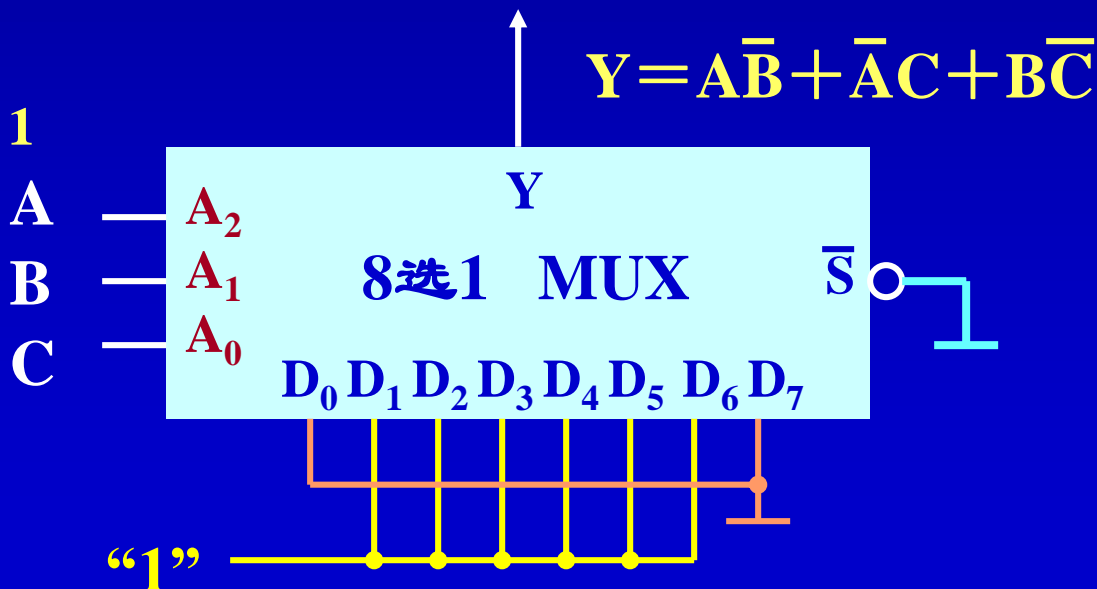
A ₂ A ₁ \ A ₀	00	01	11	10
0	D ₀	D ₂	D ₆	D ₄
1	D ₁	D ₃	D ₇	D ₅

8选1 MUX

逐项比较：

$$D_0 = D_7 = 0, D_1 \sim D_6 = 1$$

变量高位对应
接至地址高位



例4、用8选1数据选择器实现4变量逻辑函数：

$$F(A, B, C, D) = \Sigma m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

解：

(1) 扩展法

思路：先将2片8选1数据选择器扩展为16选1数据选择器，再用生成的16选1数据选择器实现4变量函数。

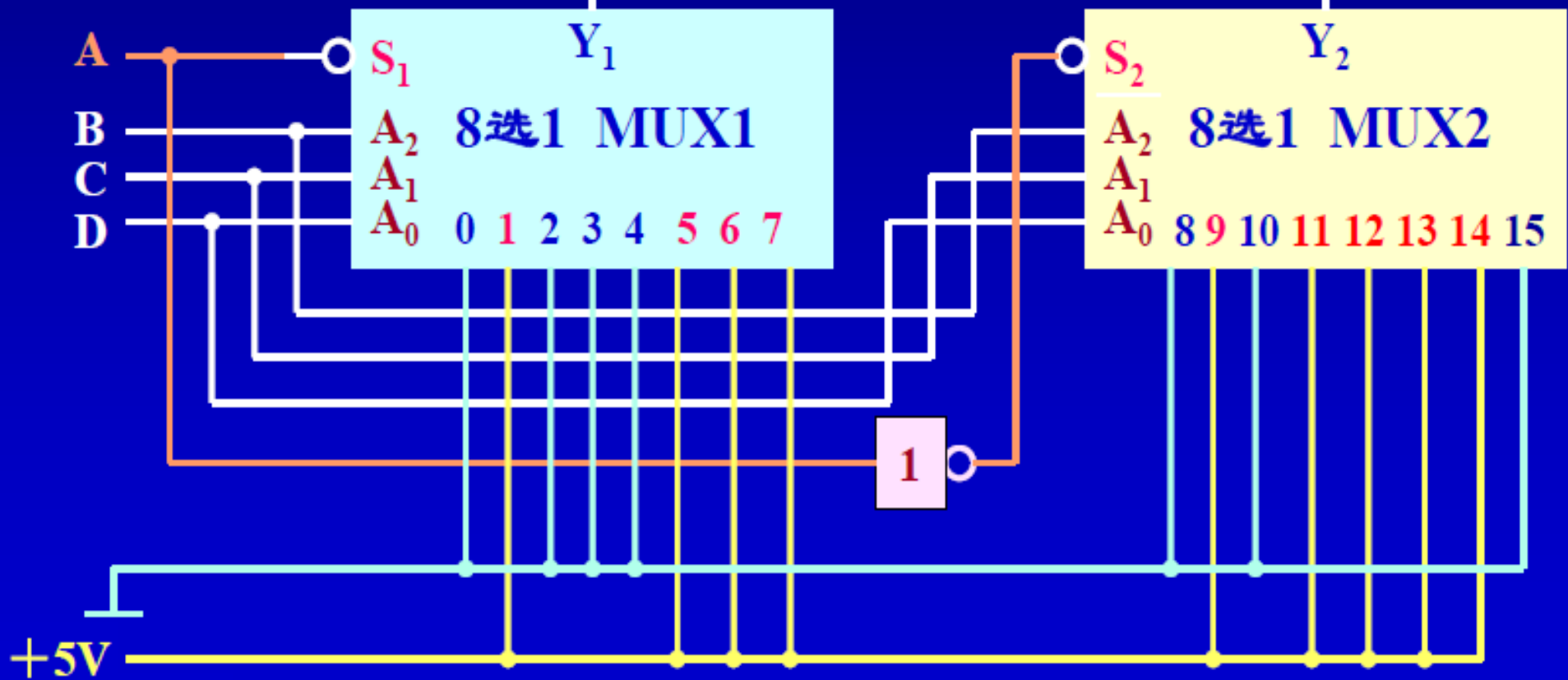
(1) 扩展法

**F = $\Sigma_{\mathbf{m}}$ (1,5,6,7,
| 9,11,12,13,14)**

$$F = \Sigma_m (1, 5, 6, 7, 9, 11, 12, 13, 14)$$

$$Y_1 = \Sigma m(1,5,6,7)$$

$$Y_2 = \Sigma m(9,11,12,13,14)$$



(2) 降维图

① 作函数F的卡诺图

$$F = \sum m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

AB \ CD	00	01	11	10
00	0	0	1	0
01	1	1	1	1
11	0	1	0	1
10	0	1	1	0

$$D_0 = D_2 = D_4 = D_5 = D, D_1 = 0$$

$$D_3 = D_6 = 1, D_7 = \bar{D}$$

② 降维

AB \ C	00	01	11	10
0	D	D	1	D
1	0	1	\bar{D}	D

逐项
对比

④ 确定数据端

A ₂ A ₁ \ A ₀	00	01	11	10
0	D ₀	D ₂	D ₆	D ₄
1	D ₁	D ₃	D ₇	D ₅

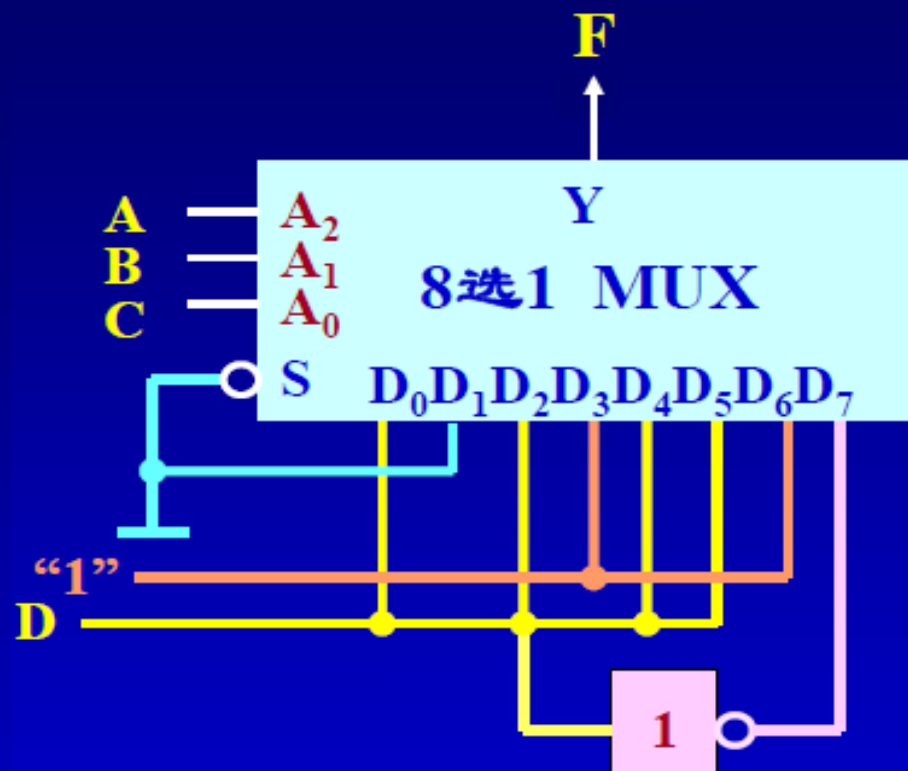
⑤ 画逻辑图

$$D_0 = D_2 = D_4 = D_5 = D$$

$$D_1 = 0$$

$$D_3 = D_6 = 1$$

$$D_7 = \overline{D}$$



1. 变量高位对应接至地址高位

2. 选择哪些变量作为地址变量，是任意的。选择方案不同，结果不同

4.3 常用集成组合逻辑电路



用数据选择器实现逻辑函数

1、用具有 n 个地址输入端的数据选择器，实现 n 变量逻辑函数

- MUX的地址输入端依次接各输入变量
- MUX的数据输入端按卡诺图对应连接

2、用具有 n 个地址输入端的数据选择器，实现小于 n 变量逻辑函数

- 将高位地址输入端接地
- 只用低位数据输入端

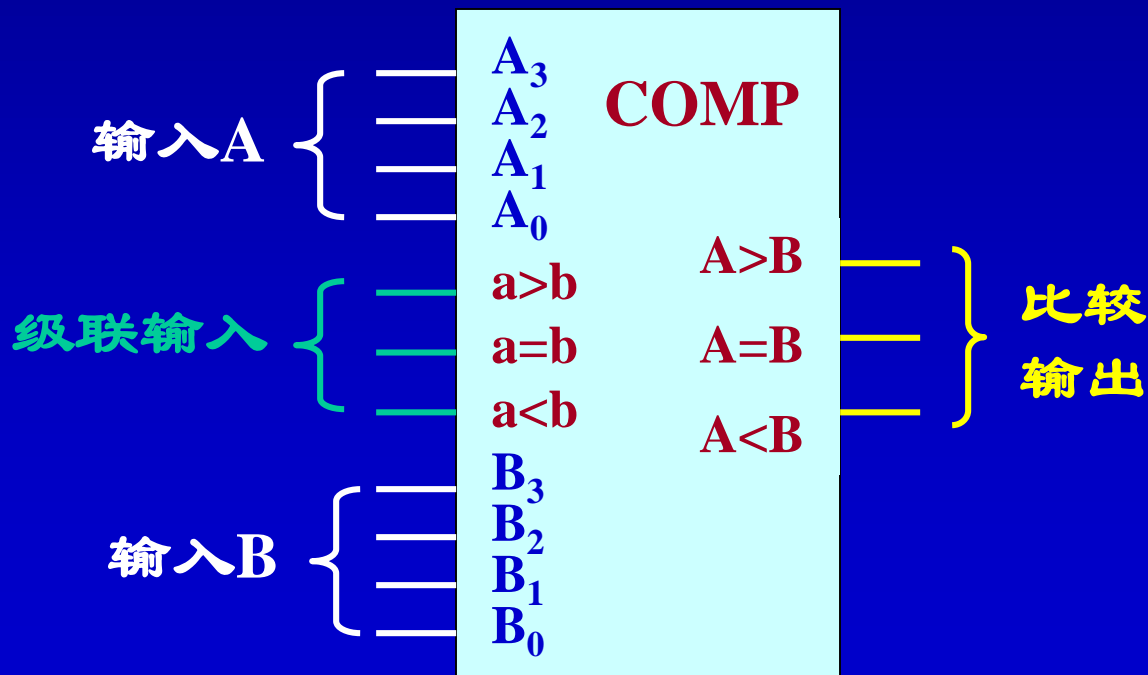
4.3 常用集成组合逻辑电路

五、数值比较器 (Comparator)

1、功能

对两个位数相同、无符号二进制数进行数值比较，并判定大小关系的算术运算电路。

2、惯用符号

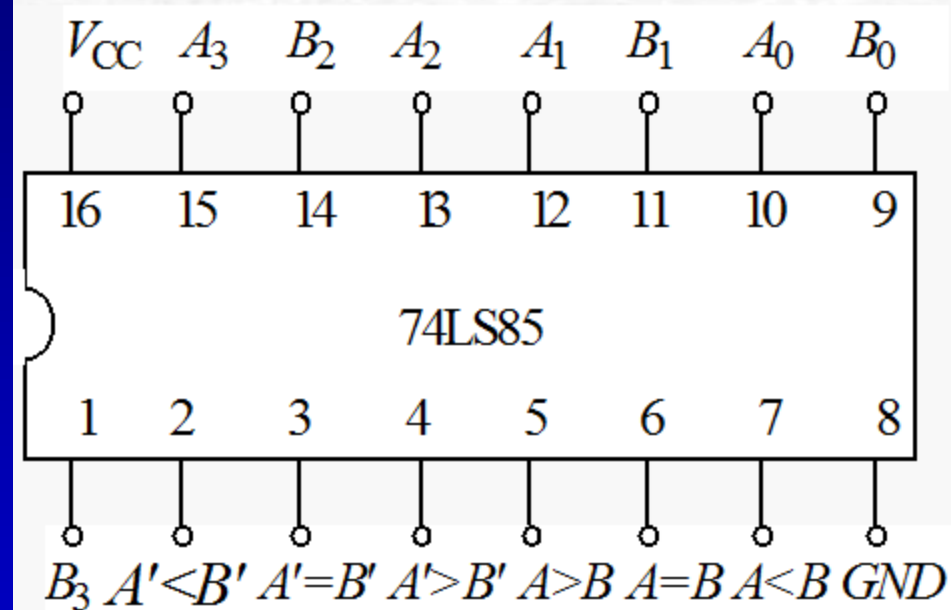


4.3 常用集成组合逻辑电路

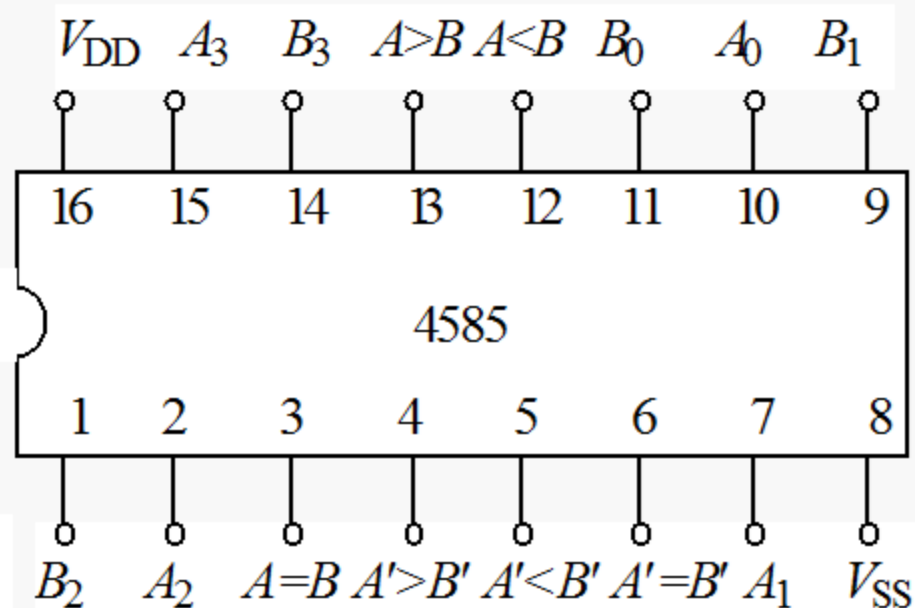
4位二进制数比较器74LS85 功能表

比较输入				级联输入			比较输出		
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$a>b$	$a=b$	$a<b$	$A>B$	$A=B$	$A<B$
$A_3>B_3$	X	X	X	X	X	X	1	0	0
$A_3<B_3$	X	X	X	X	X	X	0	0	1
$A_3=B_3$	$A_2>B_2$	X	X	X	X	X	1	0	0
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	X	X	X	X	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	X	X	X	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1

集成数值比较器



(a) TTL 数值比较器引脚图

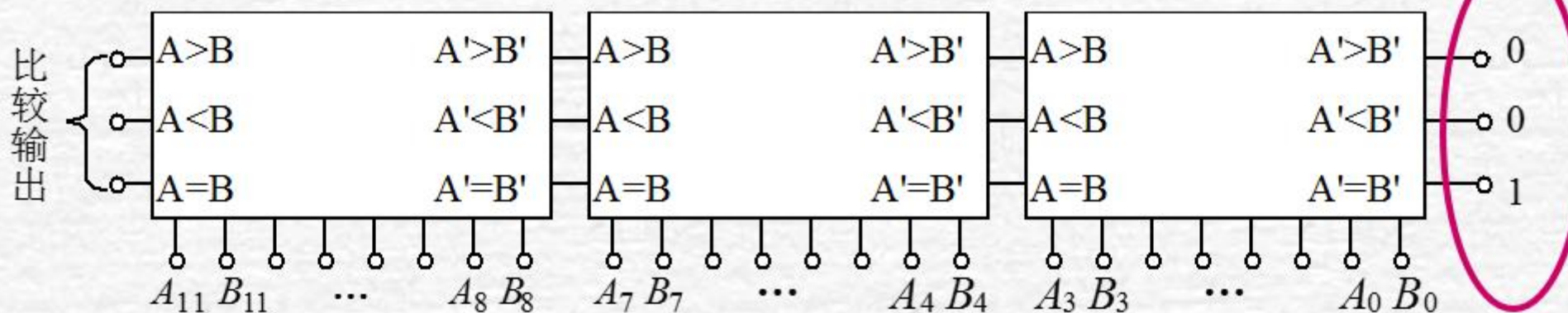


(b) CMOS 数值比较器引脚图

数值比较器的扩展

若需比较的数码超过四位，需将几个比较器级联使用。
三个控制输入端是为各集成片间级联提供的。

串联扩展

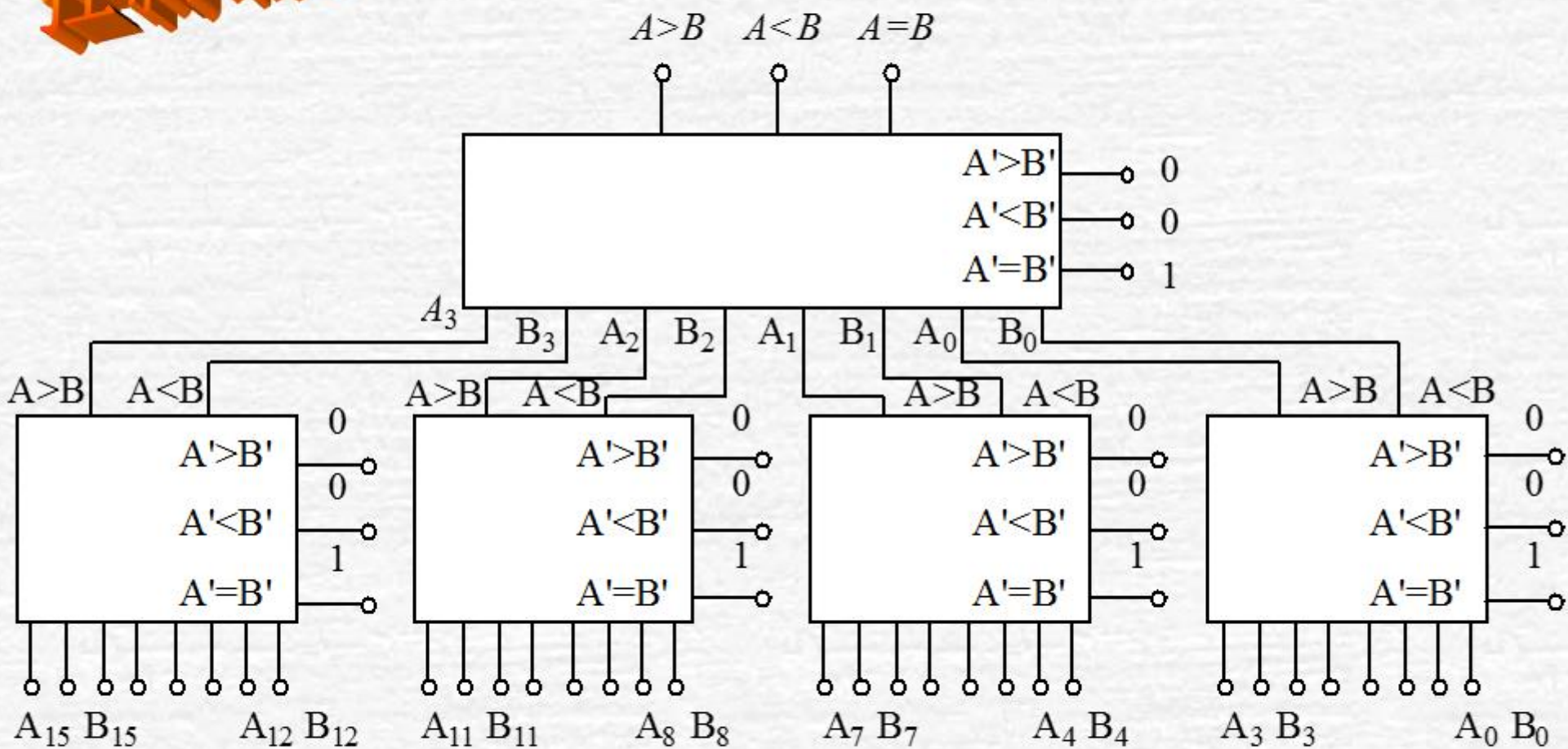


TTL电路：最低4位的级联输入端 $A' > B'$ 、 $A' < B'$ 和 $A' = B'$ 必须预先分别预置为0、0、1。

为什么？

控制端设置

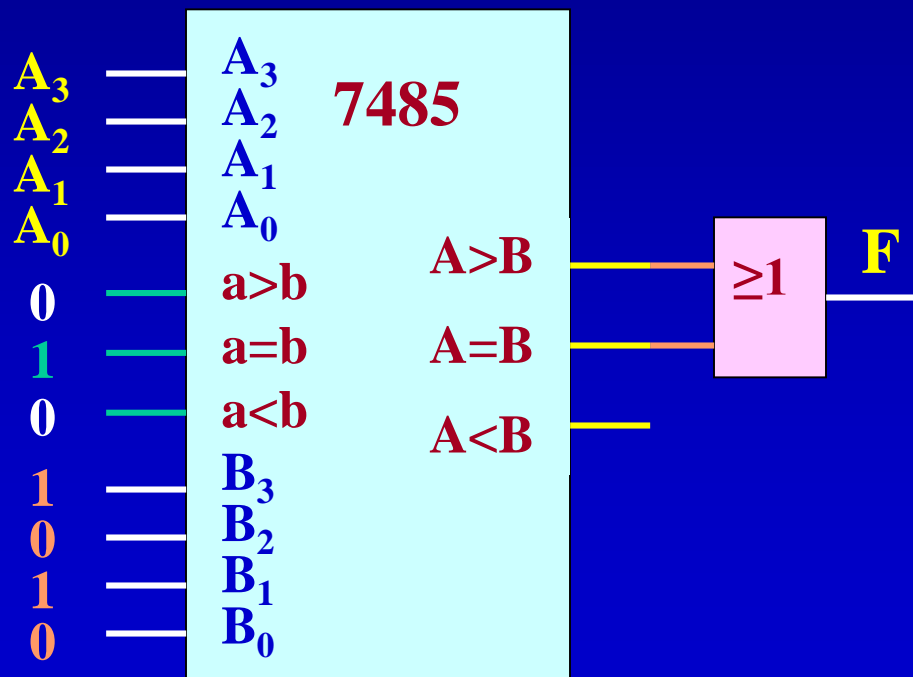
并联扩展



4.3 常用集成组合逻辑电路

例1、用74LS85 构成 4位二进制数的判别电路，
当输入二进制数 $A_3A_2A_1A_0 \geq (1010)_2$ 时，判别电
路输出F为1， 否则输出F为0。

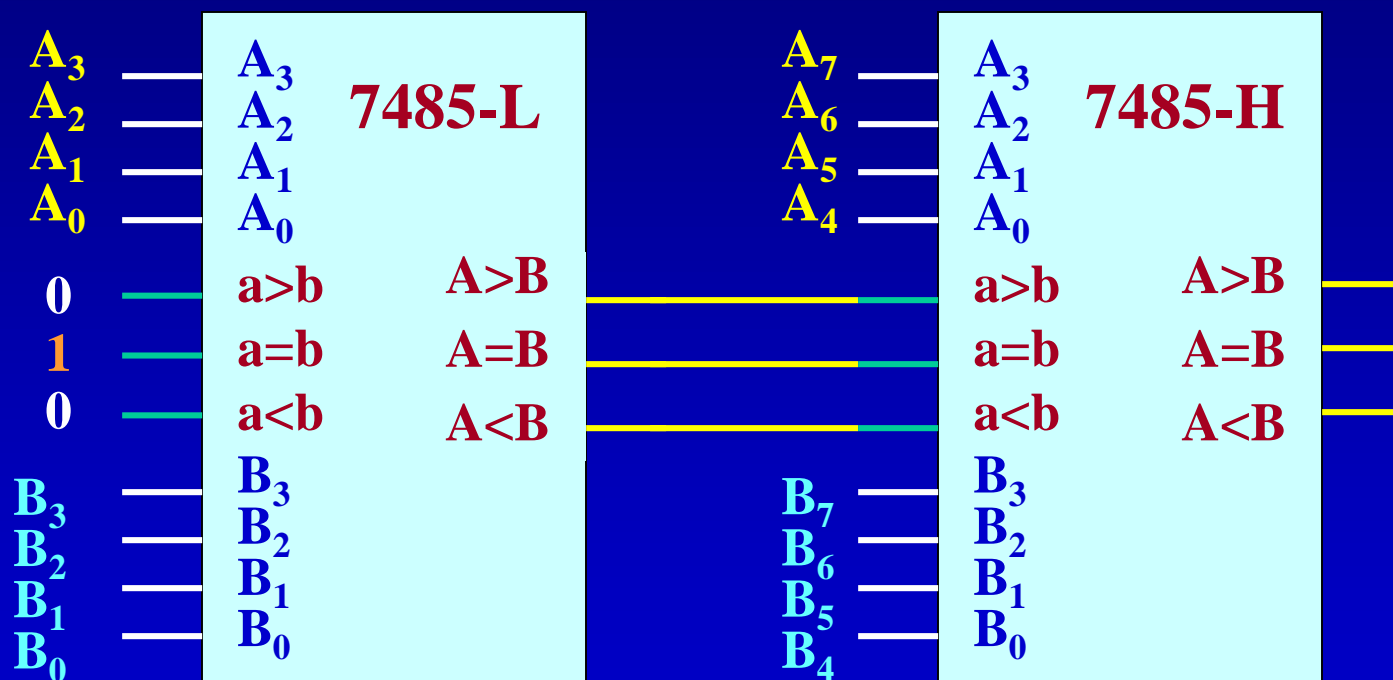
解：



4.3 常用集成组合逻辑电路

例2、用74LS85 构成 8位二进制数比较器

解： 比较 $A_7 A_6 \dots A_0$ 与 $B_7 B_6 \dots B_0$ 的大小



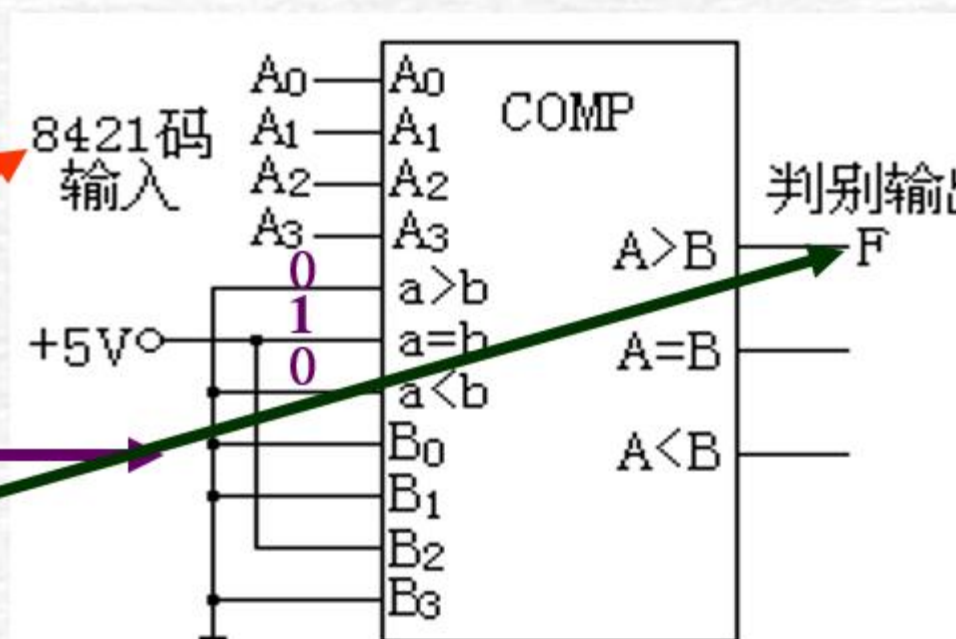
例3、用比较器构成8421BCD 码表示的一位十进制数四舍五入电路。

解：

$A_3 \sim A_0$: 8421BCD码

$B_3 \sim B_0$: 0100 (十进制数4)

$A > B$ 输出端用于判别



四舍五入电路

4.3 常用集成组合逻辑电路

六、编码器 (Encoder)

1、逻辑功能

将输入的每一个有效信号（高或低电平），编成一个对应的二进制代码输出。与译码器逻辑功能相反。

2、主要类型

- ◆ 普通编码器
- ◆ 优先编码器

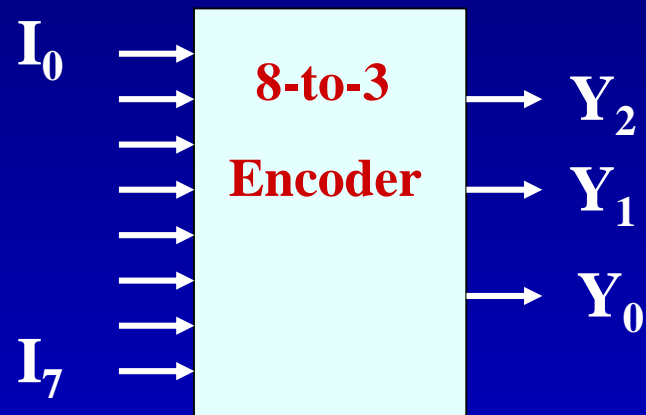
4.3 常用集成组合逻辑电路

3、普通编码器

(1) 逻辑功能

$I_0 \sim I_7$: 8个高电平有效输入;

$Y_0 \sim Y_2$: 3位二进制代码输出;



4.3 常用集成组合逻辑电路

(2) 真值表

Inputs								Outputs		
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	Y ₂	Y ₁	Y ₀
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

✦ 在任何时刻，只允许输入一个有效信号。

4.3 常用集成组合逻辑电路

4、优先编码器

(1) 普通编码器的局限性

电路简单，一旦出现多个输入信号同时有效，编码器将产生错误输出，不实用。

(2) 优先编码器的设计思路

给所有输入信号规定不同的优先级别，当多个输入信号同时有效时，根据事先设定的优先级顺序，只对优先级最高的有效输入信号进行编码。

4.4 组合逻辑电路的设计

一、任务

根据**逻辑功能**的要求以及**器件资源**，设计出实现这一功能的最佳电路。

二、方法

1、采用门电路设计

2、采用数据选择器、译码器等设计

4.4 组合逻辑电路的设计

三、采用门电路设计组合逻辑电路

1、步骤

- ◆ 建立描述逻辑问题的真值表
 - ◆ 分析已知条件与实现功能间的因果关系
 - ◆ 确定输入变量、输出变量
 - ◆ 列真值表
- ◆ 由真值表写出逻辑函数式
- ◆ 化简逻辑函数式
- ◆ 逻辑函数式变换
- ◆ 画逻辑图

4.4 组合逻辑电路的设计

2、举例

例1、国际展览中心举办计算机展，入场券有红、黄两种，规定外宾使用红票，内宾使用黄票，在入口处设自动检票机，符合条件者放行，试设计此检票机，并分别用下列门实现：

- (1) 与非门
- (2) 或非门
- (3) 与或非门

4.4 组合逻辑电路的设计

解：

① 设定输入、输出变量

参观者 A $\begin{cases} 0 & \text{内宾} \\ 1 & \text{外宾} \end{cases}$

持红票 B $\begin{cases} 0 & \text{无红票} \\ 1 & \text{有红票} \end{cases}$

持黄票 C $\begin{cases} 0 & \text{无黄票} \\ 1 & \text{有黄票} \end{cases}$

输出变量 Y $\begin{cases} 0 & \text{禁止入内} \\ 1 & \text{放行} \end{cases}$

② 列真值表

A B C	Y	
0 0 0	0	
0 0 1	1	→ $\bar{A}\bar{B}C$
0 1 0	0	
0 1 1	1	→ $\bar{A}BC$
1 0 0	0	
1 0 1	0	
1 1 0	1	→ $AB\bar{C}$
1 1 1	1	→ ABC

③ 根据真值表，写出逻辑函数式

$$Y = \bar{A}\bar{B}C + \bar{A}BC + AB\bar{C} + ABC = \bar{A}C + AB$$

4.4 组合逻辑电路的设计

④ 根据所用器件，对Y进行函数变换

A、与非门

$$Y = \bar{A}C + AB = \overline{\overline{\bar{A}C + AB}} = \overline{\bar{A}C} \cdot \overline{AB}$$

B、或非门

$$\begin{aligned} Y &= (A+C) \cdot (\bar{A}+B) \\ &= \overline{\overline{(A+C) \cdot (\bar{A}+B)}} \\ &= \overline{A+C} + \overline{\bar{A}+B} \end{aligned}$$

C \ AB	00	01	11	10
0	0	0	1	0
1	1	1	1	0

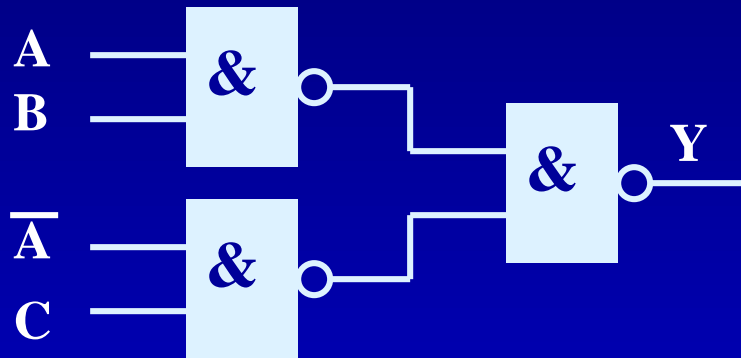
C、与或非门

$$Y = \overline{A+C} + \overline{\bar{A}+B} = \bar{A} \cdot \bar{C} + A \cdot \bar{B}$$

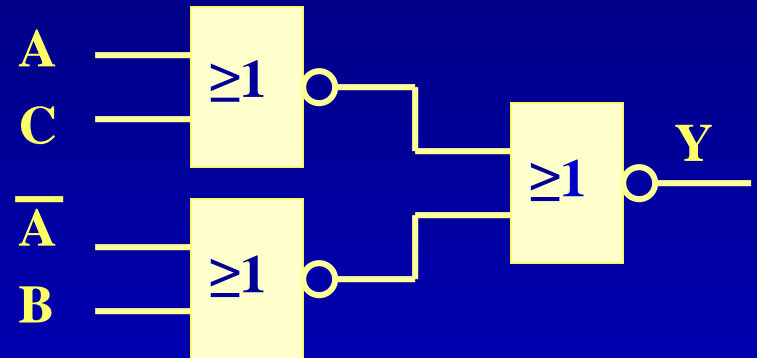
4.4 组合逻辑电路的设计

⑤ 画逻辑图

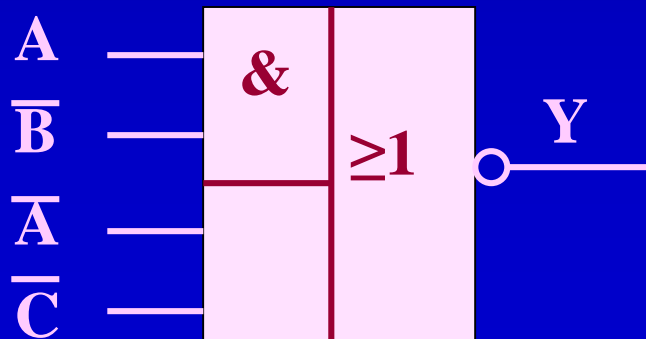
i、用与非门实现



ii、用或非门实现



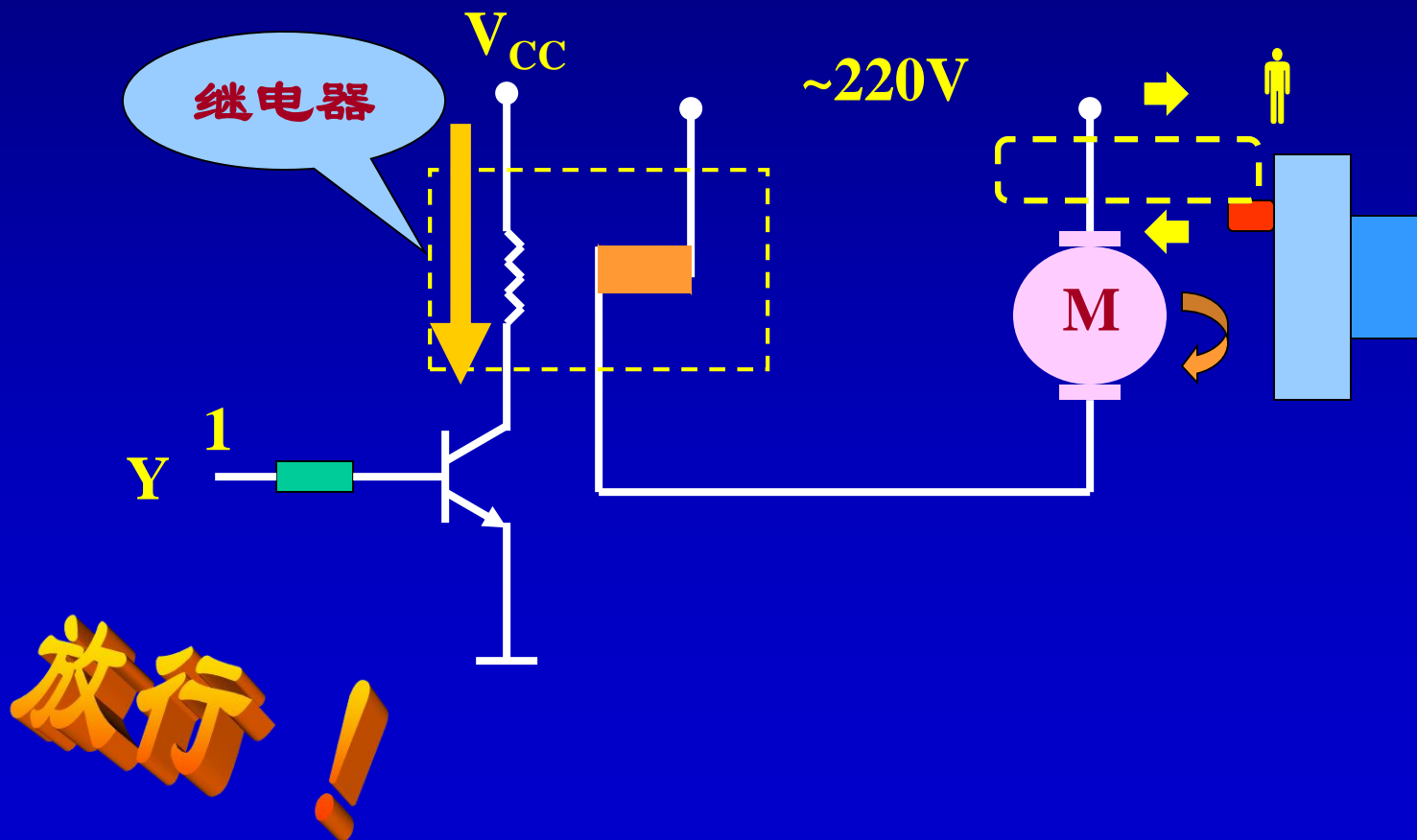
iii、用与或非门实现



讨论：如何实现求反？

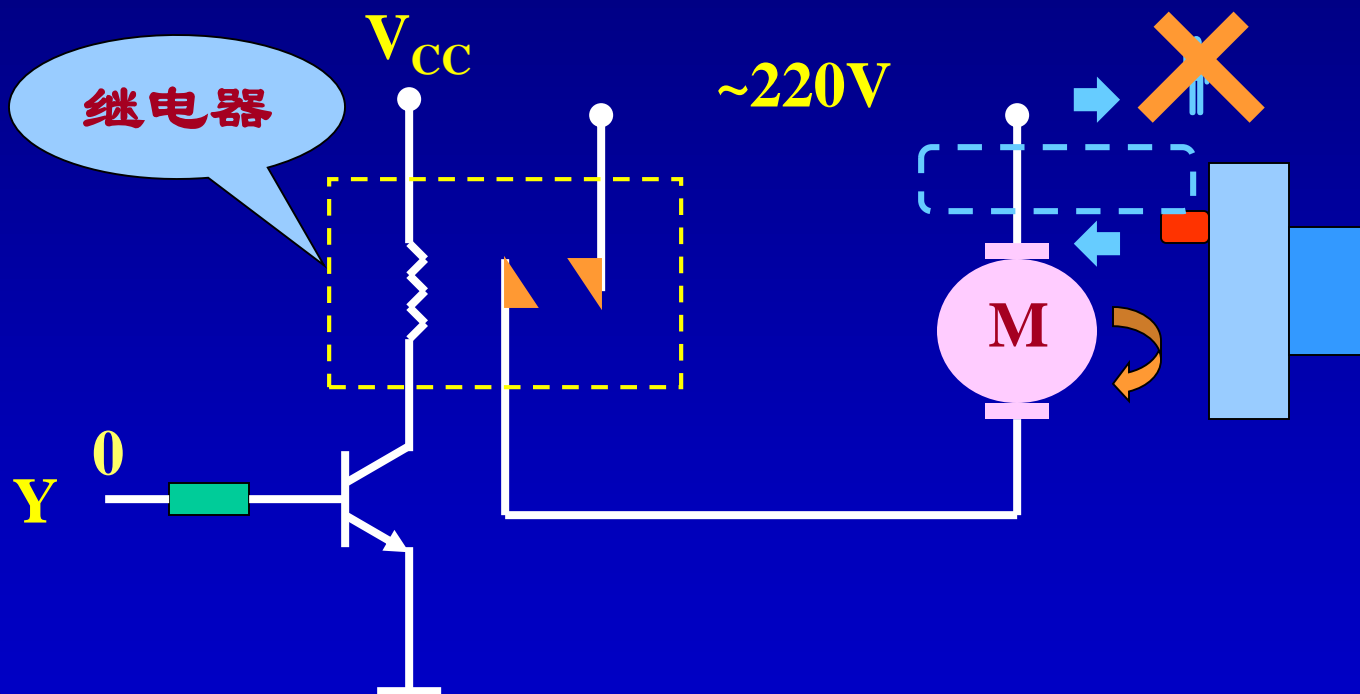
4.4 组合逻辑电路的设计

自动检票机



4.4 组合逻辑电路的设计

自动检票机



禁止入内!

4.4 组合逻辑电路的设计

例2、某化学试验室有化学试剂24种，在配方时，必须遵守下列规定：

- ① 第1号不能与第15号同时用
- ② 第2号不能与第10号同时用
- ③ 第5、9、12号不能同时用
- ④ 用第7号时必须同时配用第18号
- ⑤ 同时用第10、12号时，必须配用第24号

请设计一个逻辑电路，能在违反上述任何一个规定时，发出报警信号。

4.4 组合逻辑电路的设计

解： 设定输入、输出变量

化学试剂 $A_1 \sim A_{24}$ $\begin{cases} 0 & \text{不使用该试剂} \\ 1 & \text{使用该试剂} \end{cases}$

输出变量 $Z_1 \sim Z_5$ $\begin{cases} 0 & \text{不违反规定} \\ 1 & \text{违反规定} \end{cases}$

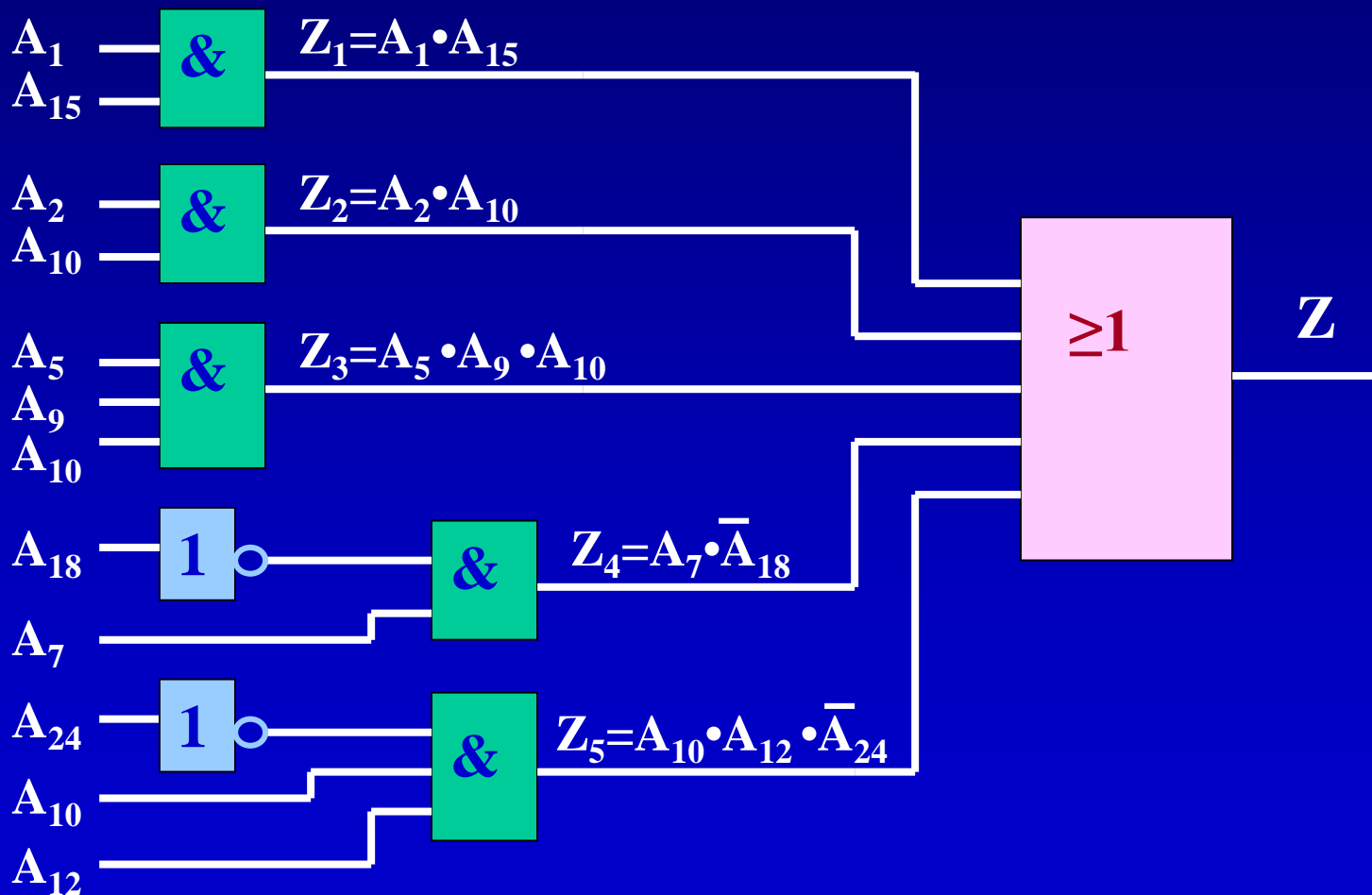
- ① 规定1 —— A_1 和 A_{15} 不能同时使用 $\therefore Z_1 = A_1 \cdot A_{15}$
- ② 规定2 —— A_2 和 A_{10} 不能同时使用 $\therefore Z_2 = A_2 \cdot A_{10}$
- ③ 规定3 —— A_5 、 A_9 和 A_{12} 不能同时使用 $\therefore Z_3 = A_5 \cdot A_9 \cdot A_{12}$
- ④ 规定4 —— 用 A_7 时，必须同时配用 A_{18} $\therefore Z_4 = A_7 \cdot \bar{A}_{18}$
- ⑤ 规定5 —— 用 A_{10} 、 A_{12} ，必须同时配用 A_{24} $\therefore Z_5 = A_{10} \cdot A_{12} \cdot \bar{A}_{24}$



$$Z = Z_1 + Z_2 + Z_3 + Z_4 + Z_5$$

4.4 组合逻辑电路的设计

逻辑图



4.4 组合逻辑电路的设计

例3、某研修班开设微机原理、信号处理、数字通信和网络技术4门课程，若考试通过，可分别获得5学分、4学分、3学分和2学分；否则，得0分。规定至少获得9个学分才可结业。试用与非门设计一个组合逻辑电路，判断研修生能否结业。

解：

① 设定输入变量、输出变量

输入变量 A、B、C、D $\begin{cases} 0 & \text{未取得该学分} \\ 1 & \text{取得该学分} \end{cases}$

输出变量 F $\begin{cases} 0 & \text{不可结业} \\ 1 & \text{可结业} \end{cases}$

4.4 组合逻辑电路的设计

② 列真值表

A: 5分, B: 4分, C: 3分, D: 2分

A B C D	学分	F
0 0 0 0	0	0
0 0 0 1	2	0
0 0 1 0	3	0
0 0 1 1	5	0
0 1 0 0	4	0
0 1 0 1	6	0
0 1 1 0	7	0
0 1 1 1	9	1

A B C D	学分	F
1 0 0 0	5	0
1 0 0 1	7	0
1 0 1 0	8	0
1 0 1 1	10	1
1 1 0 0	9	1
1 1 0 1	11	1
1 1 1 0	12	1
1 1 1 1	14	1

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

③ 写逻辑函数式

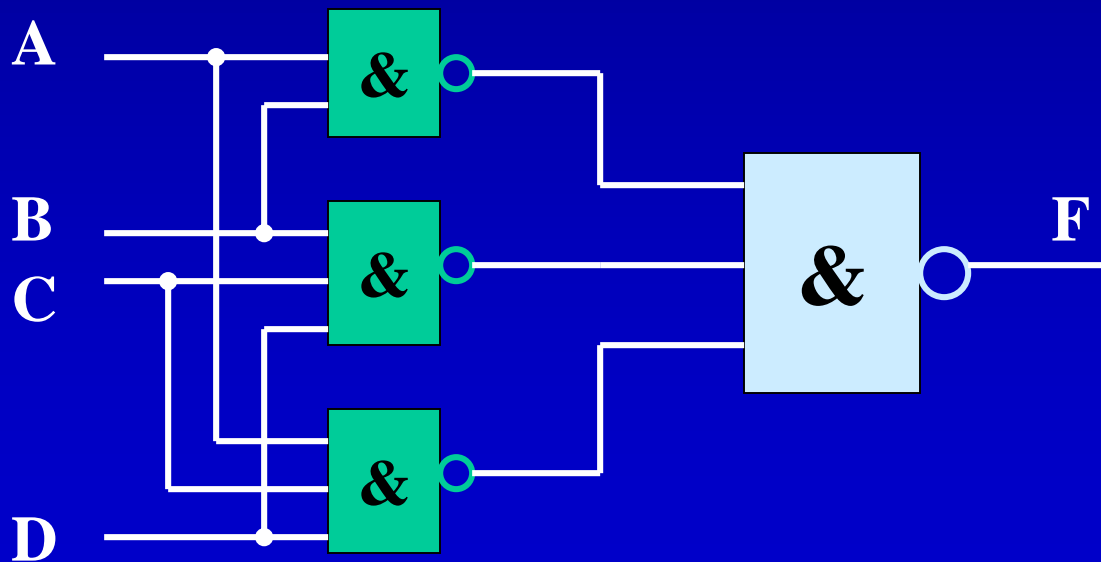
$$F = AB + BCD + ACD$$

4.4 组合逻辑电路的设计

④ 函数变换（变换为与非门）

$$\begin{aligned} F &= AB + BCD + ACD = \overline{\overline{AB + BCD + ACD}} \\ &= \overline{\overline{AB} \cdot \overline{BCD} \cdot \overline{ACD}} \end{aligned}$$

⑤ 画逻辑电路图



4.4 组合逻辑电路的设计

四、采用MSI 设计组合逻辑电路

思路：采用逻辑函数式对比法

1、用数据选择器实现单输出逻辑函数

例4、用8选1数据选择器实现4变量逻辑函数

$$F(A, B, C, D) = \sum m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

解：

(1) 扩展法

思路：先将2片8选1数据选择器扩展为16选1数据选择器，再用生成的16选1数据选择器实现4变量函数。

4.4 组合逻辑电路的设计

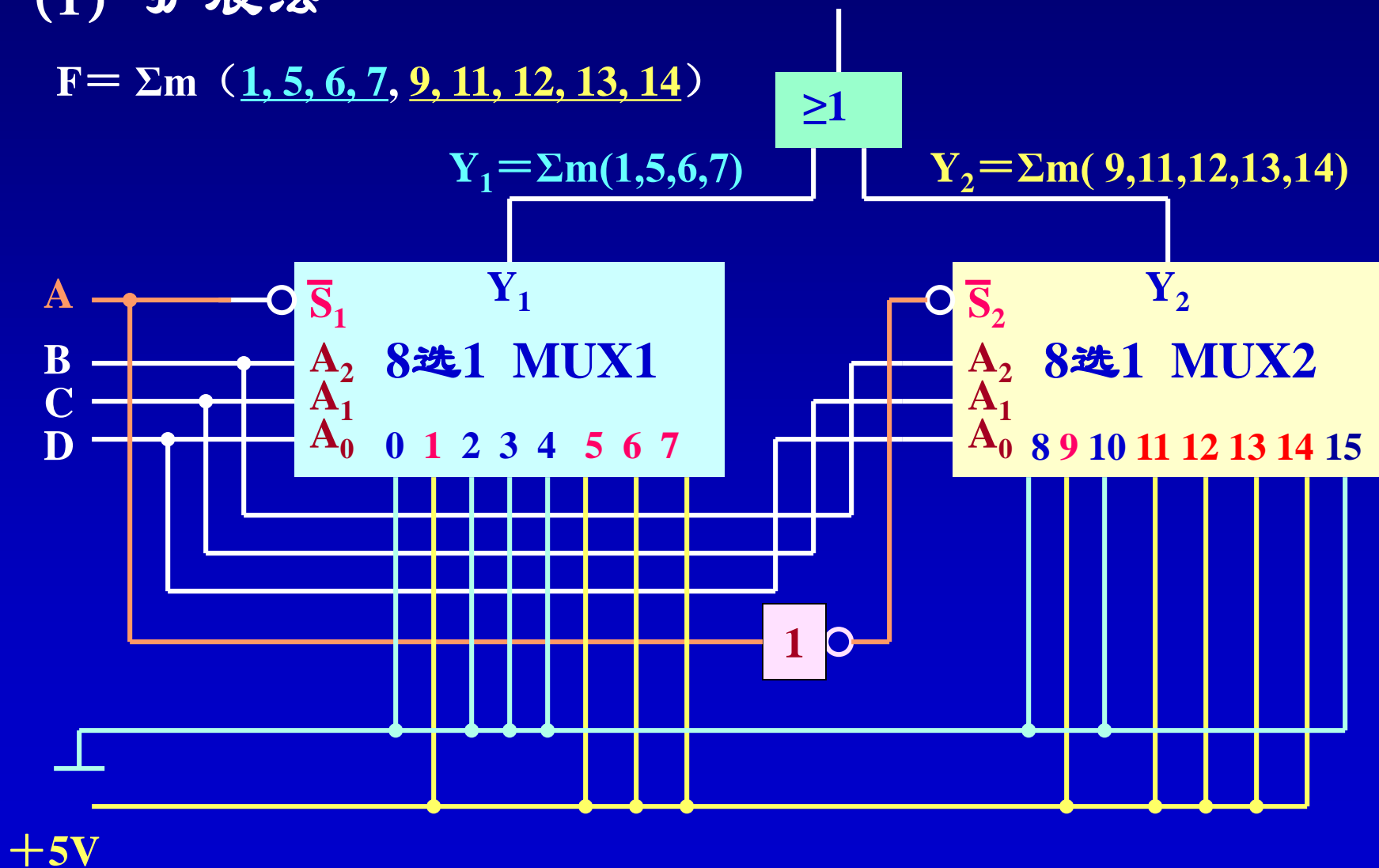
(1) 扩展法

$$F = \Sigma m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

$$F = \Sigma m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

$$Y_1 = \Sigma m(1, 5, 6, 7)$$

$$Y_2 = \Sigma m(9, 11, 12, 13, 14)$$



4.4 组合逻辑电路的设计

(2) 降维法

■ 什么是降维图？

在函数的卡诺图中，函数的所有变量均为卡诺图的变量，卡诺图的变量数称为该图的维数。如果把某些变量也作为卡诺图小方格内的值，则会减少卡诺图的维数，这种卡诺图称为降维图。

AB		00	01	11	10
CD	00	0	0	D	D
	01				
	11	0	1	1	\bar{D}
	10				

F 函数的卡诺图

AB		00	01	11	10
C	0	0	0	D	D
	1	0	1	1	\bar{D}

3变量降维图

4.4 组合逻辑电路的设计

(2) 降维法

① 作函数F的卡诺图

CD \ AB	AB			
	00	01	11	10
00	0	0	1	0
01	1	1	1	1
11	0	1	0	1
10	0	1	1	0

② 降维

C \ AB	AB			
	00	01	11	10
0	D	D	1	D
1	0	1	\bar{D}	D

逐项
对比

$$D_0 = D_2 = D_4 = D_5 = D, D_1 = 0$$
$$D_3 = D_6 = 1, D_7 = \bar{D}$$

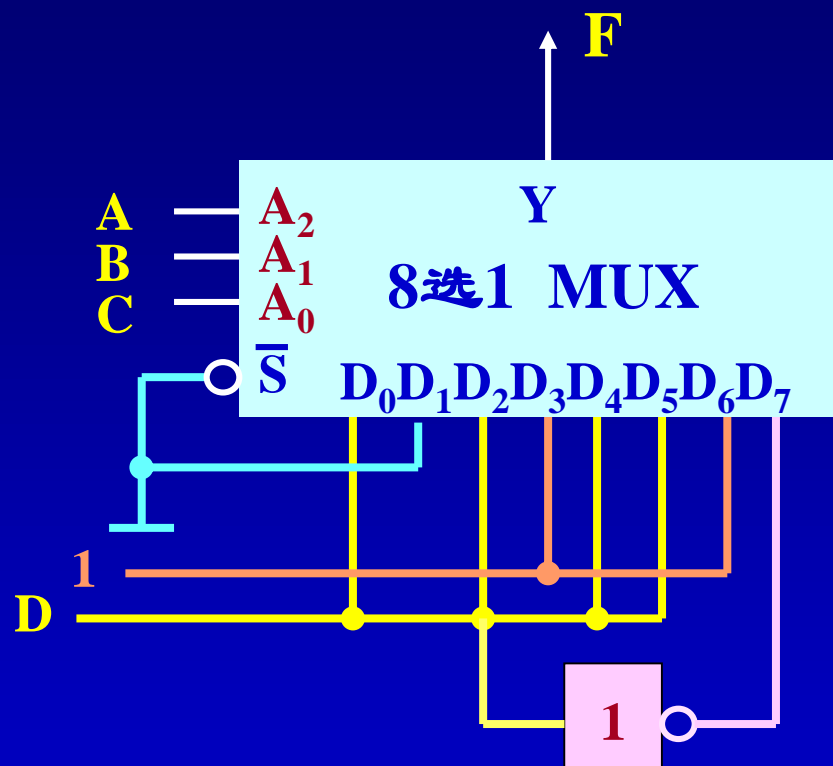
④ 确定数据端

A ₀ \ A ₂ A ₁	A ₂ A ₁			
	00	01	11	10
0	D ₀	D ₂	D ₆	D ₄
1	D ₁	D ₃	D ₇	D ₅

4.4 组合逻辑电路的设计

⑤ 画逻辑图

$$\left\{ \begin{array}{l} D_0 = D_2 = D_4 = D_5 = D \\ D_1 = 0 \\ D_3 = D_6 = 1 \\ D_7 = \bar{D} \end{array} \right.$$



- 变量高位对应接至地址高位
- 选择哪些变量作为地址变量，是任意的。选择方案不同，结果不同。

4.4 组合逻辑电路的设计

2、用译码器实现多输出逻辑函数

例5、设计全减器，用74LS138 实现

解：

设 A_i 为被减数； B_i 为减数； C_{i-1} 为低位向本位的借位；
 S_i 为差值； C_i 为本位向高位的借位；

① 根据二进制减法运算规则，
列真值表

② 写 S_i 、 C_i 的逻辑函数式

$$S_i = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$

$$C_i = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + \bar{A}_i B_i C_{i-1} + A_i B_i C_{i-1}$$

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

4.4 组合逻辑电路的设计

如何用74LS138译码器实现 S_i 和 C_i ?

③ S_i 、 C_i 写成最小项反的形式

$$S_i = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + A_i \bar{B}_i \bar{C}_{i-1} + A_i B_i C_{i-1}$$

$$= m_1 + m_2 + m_4 + m_7 = \overline{\overline{m_1 + m_2 + m_4 + m_7}}$$

$$= \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7} = \overline{Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7}$$

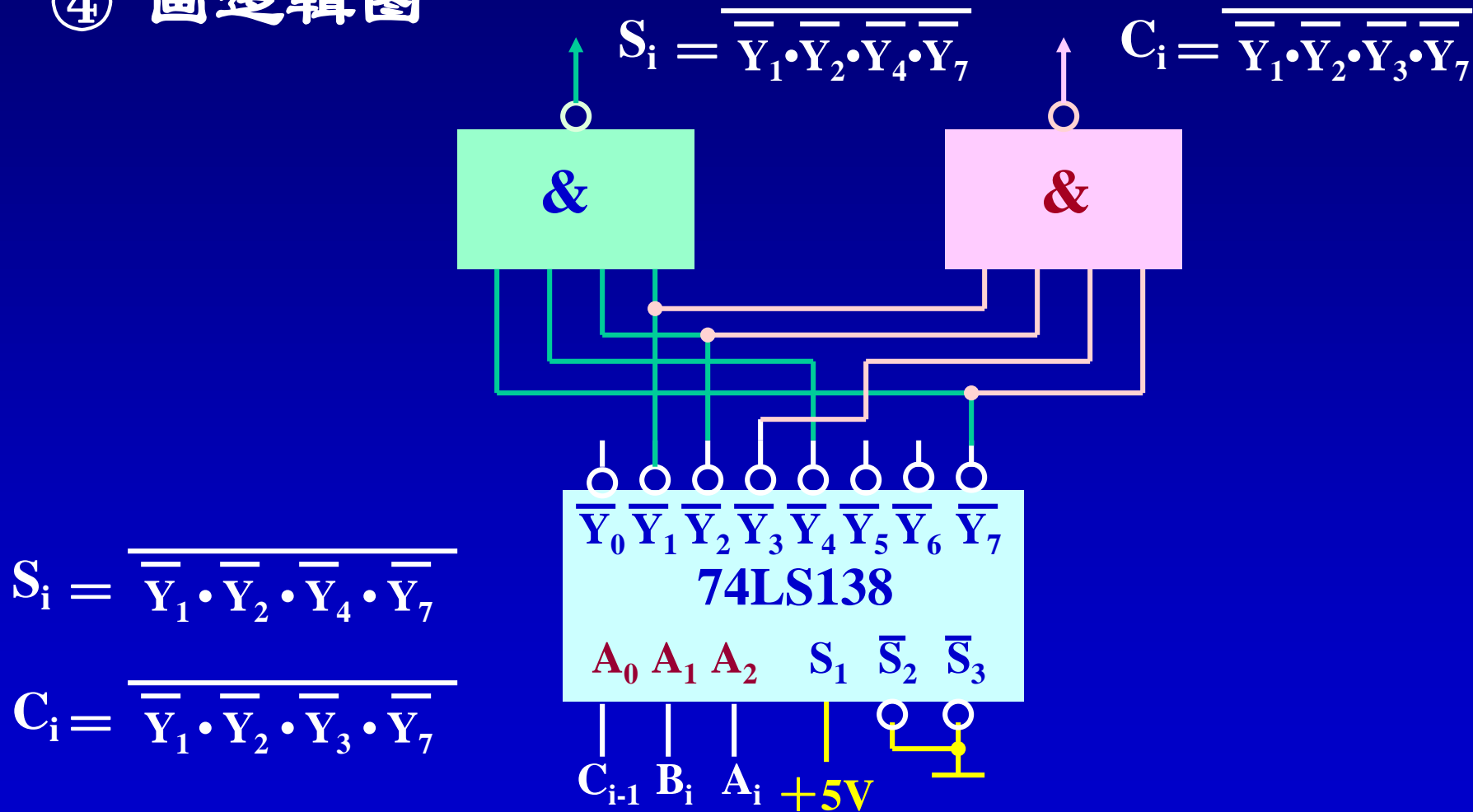
$$C_i = \bar{A}_i \bar{B}_i C_{i-1} + \bar{A}_i B_i \bar{C}_{i-1} + \bar{A}_i B_i C_{i-1} + A_i B_i C_{i-1}$$

$$= m_1 + m_2 + m_3 + m_7 = \overline{\overline{m_1 + m_2 + m_3 + m_7}}$$

$$= \overline{m_1 \cdot m_2 \cdot m_3 \cdot m_7} = \overline{Y_1 \cdot Y_2 \cdot Y_3 \cdot Y_7}$$

4.4 组合逻辑电路的设计

④ 画逻辑图



本章重点



- ◆ 组合逻辑电路的基本概念
- ◆ 组合逻辑电路的分析方法
给出由SSI、MSI构成的组合逻辑电路，写出输出与输入间的逻辑关系，归纳逻辑功能。
- ◆ 组合逻辑电路的设计方法（采用SSI和MSI器件）
- ◆ 译码器、数据选择器等的逻辑功能、使用方法及应用；能够直接写出译码器、数据选择器的输出表达式。
- ◆ 真正理解、掌握全部例题、作业题

本章作业

4.3, 4.4, 4.5, 4.6, 4.8

课后拓展

4.5, 4.10, 4.12, 4.15, 4.16,
4.17, 4.18, 4.19, 4.23, 4.24,
4.25, 4.26, 4.27, 4.28, 4.29