

数码管扫描显示电路

北京工业大学信息学部

EDA实验室

2023年11月

实验目的

- (1) 学习如何将半成品的PLD器件加工（编程）成数字电路系统。
- (2) 学习利用PLD器件借助Quartus II开发系统设计数字电路的现代数字电路设计方法。
- (3) 掌握Quartus II开发系统原理图设计输入、编译、仿真和PLD器件编程的过程。
- (4) 学习数码管动态显示方式。

实验内容

利用提供的PLD器件设计一个十进制计数器（0~9循环计数）。通过外围8个数码管动态显示电路显示十进制计数器的计数结果。

显示方式：

动态扫描显示计数结果，即8个数码管依次显示计数结果（0~9）。

PLD概述

PLD是可编程逻辑器件（Programmable Logic Device）的英文缩写。

可编程逻辑器件是一种数字集成电路的半成品，在其芯片上按一定排列方式集成了大量的逻辑门和触发器等基本逻辑元件。

PLD编程：

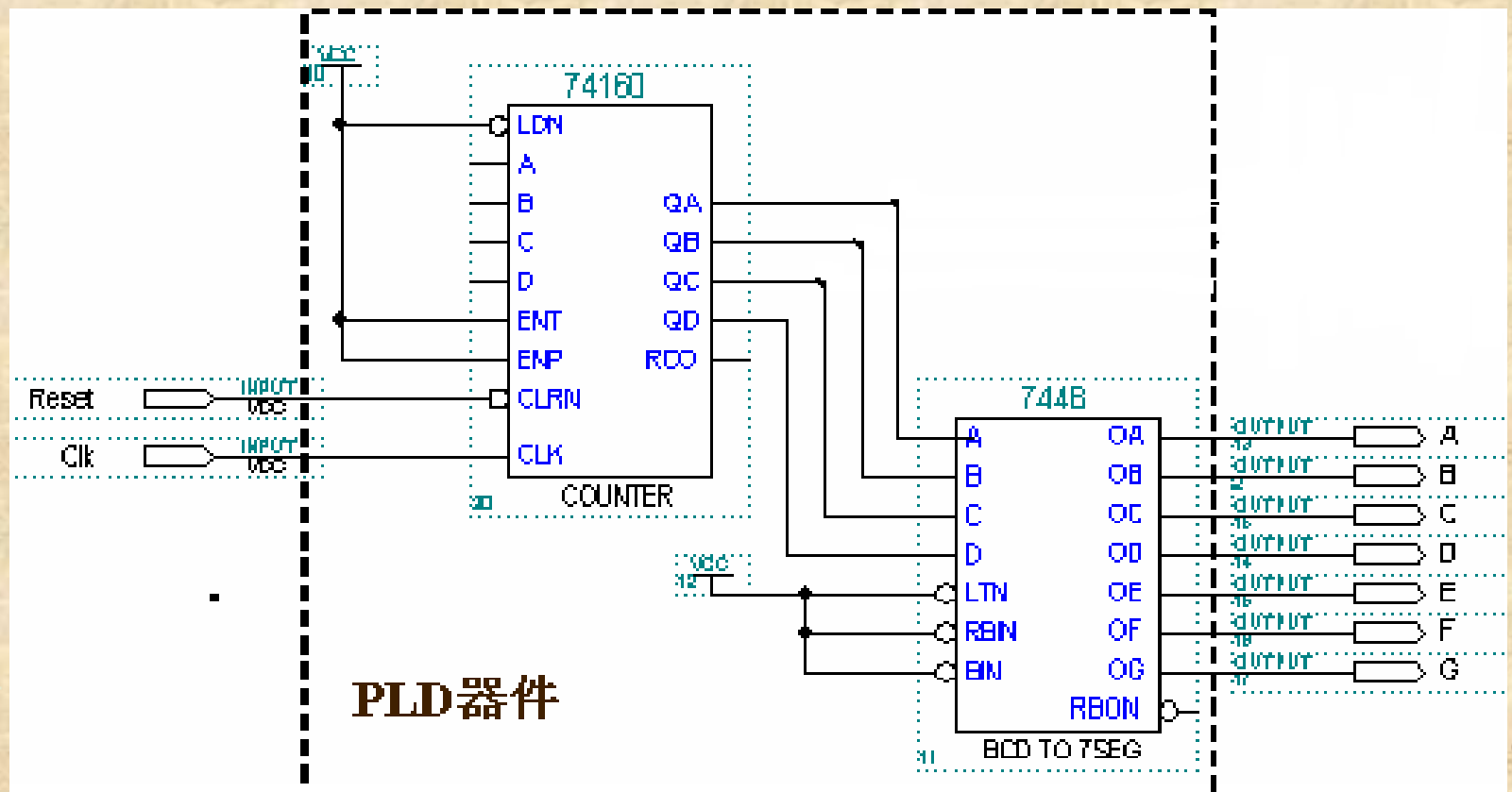
使用者可利用开发工具对PLD进行加工，即按设计要求将这些片内的元件连接起来，使之完成某个逻辑电路或系统的功能，成为一个可在实际电路系统中使用的专用集成电路（ASIC—Application Specific Integrated Circuit）。

PLD开发工具—Quartus II系统

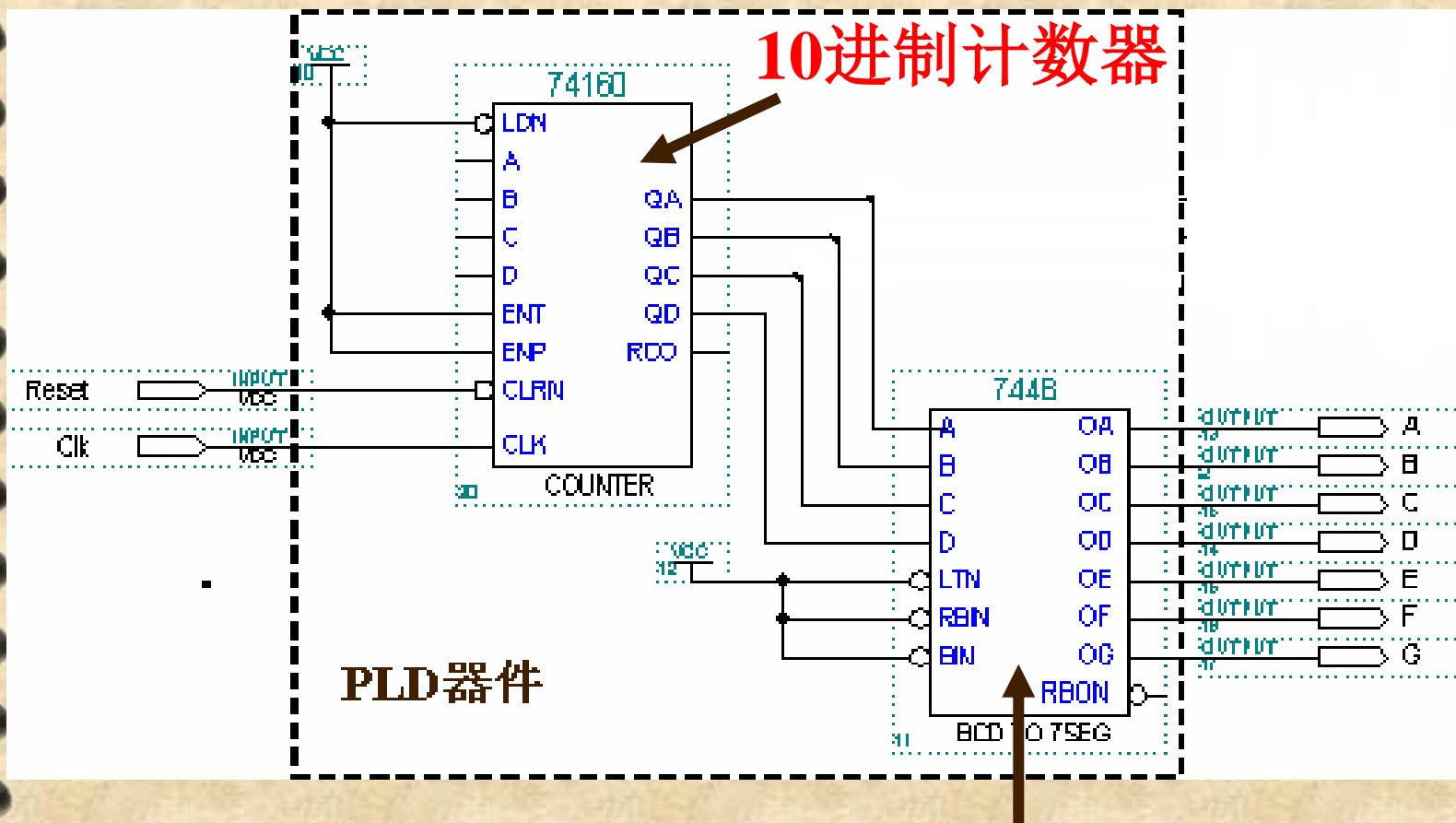
Quartus II开发工具是美国Altera公司自行设计的一种综合性PLD开发软件工具。

它具有原理图输入和文本输入（采用硬件描述语言）两种输入手段，利用该工具所配备的编辑、编译、仿真、时序分析、芯片编程等功能，将设计电路图或电路描述程序变成基本的逻辑单元写入到可编程的芯片中（如CPLD或FPGA芯片），作成ASIC芯片。它是EDA设计中不可缺少的一种工具。

设计原理---数码管显示



设计原理---数码管显示

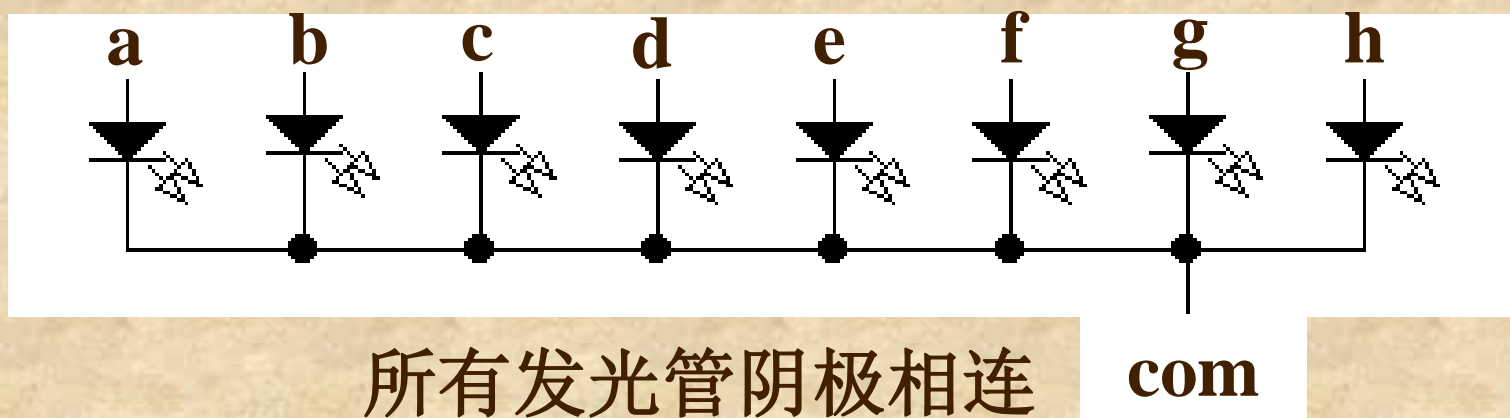
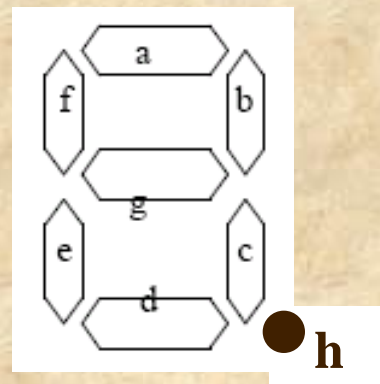


为什么要使用LED显示译码器？

设计原理---数码管显示

共阴极数码管

顺时针，从上至下：
a,b,c,d,e,f,g; h小数点



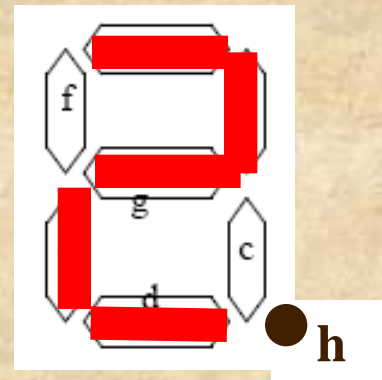
160输出的BCD码无法直接驱动数码管，BCD码需要转换成7段字型数码管所要求的代码。

设计原理---数码管显示

共阴极数码管

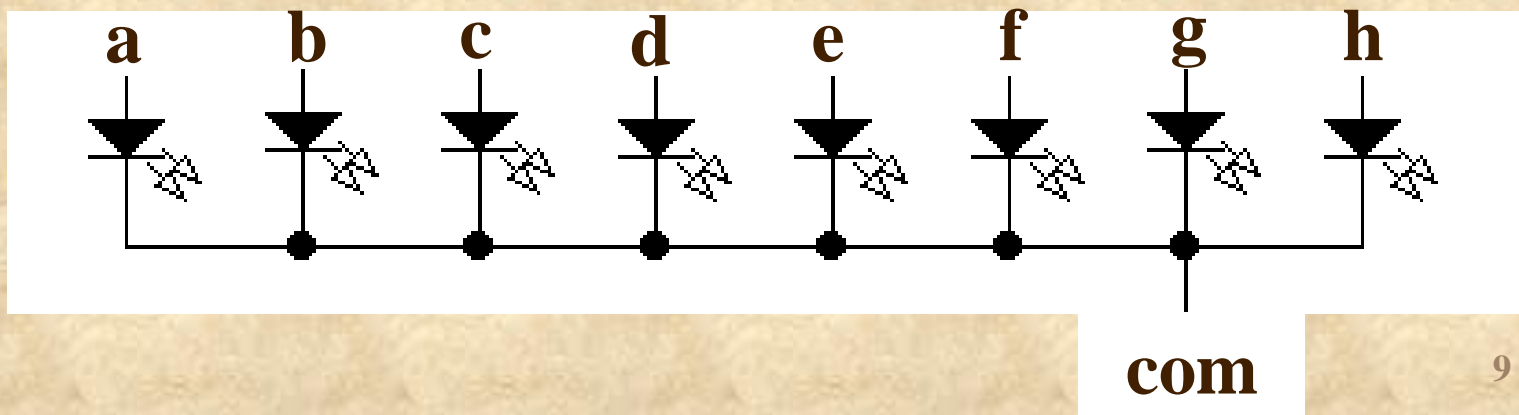
74160输出:

QD	QC	QB	QA
0	0	1	0



7448译码器输出:

“1” “1” “0” “1” “1” “0” “1”

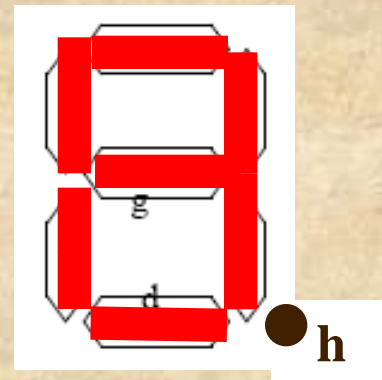


设计原理---数码管显示

共阴极数码管

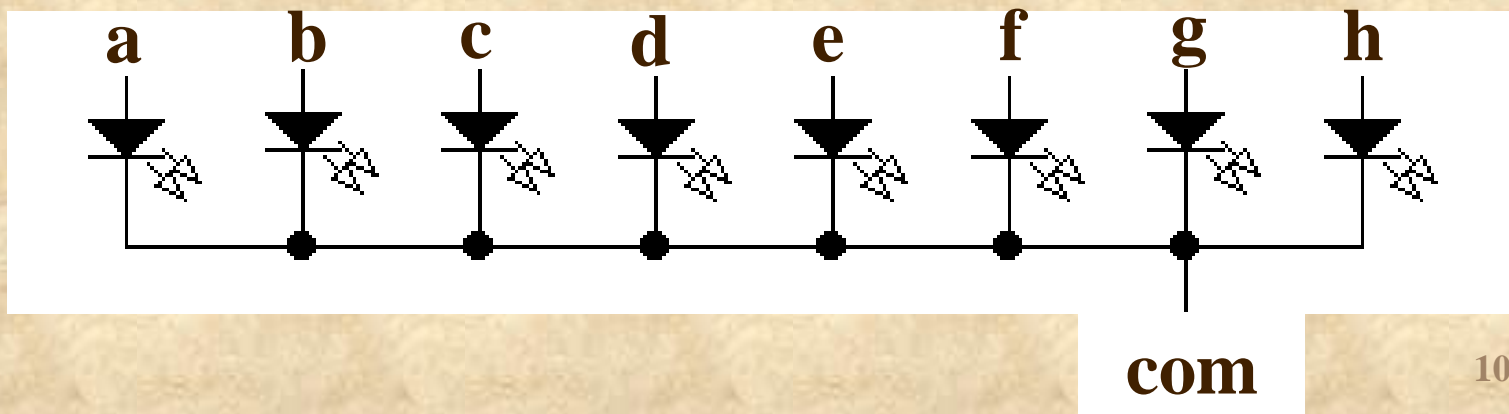
74160输出:

QD	QC	QB	QA
1	0	0	0



7448译码器输出:

“1” “1” “1” “1” “1” “1” “1”



设计原理---数码管扫描 带译码选通的数码管显示电路

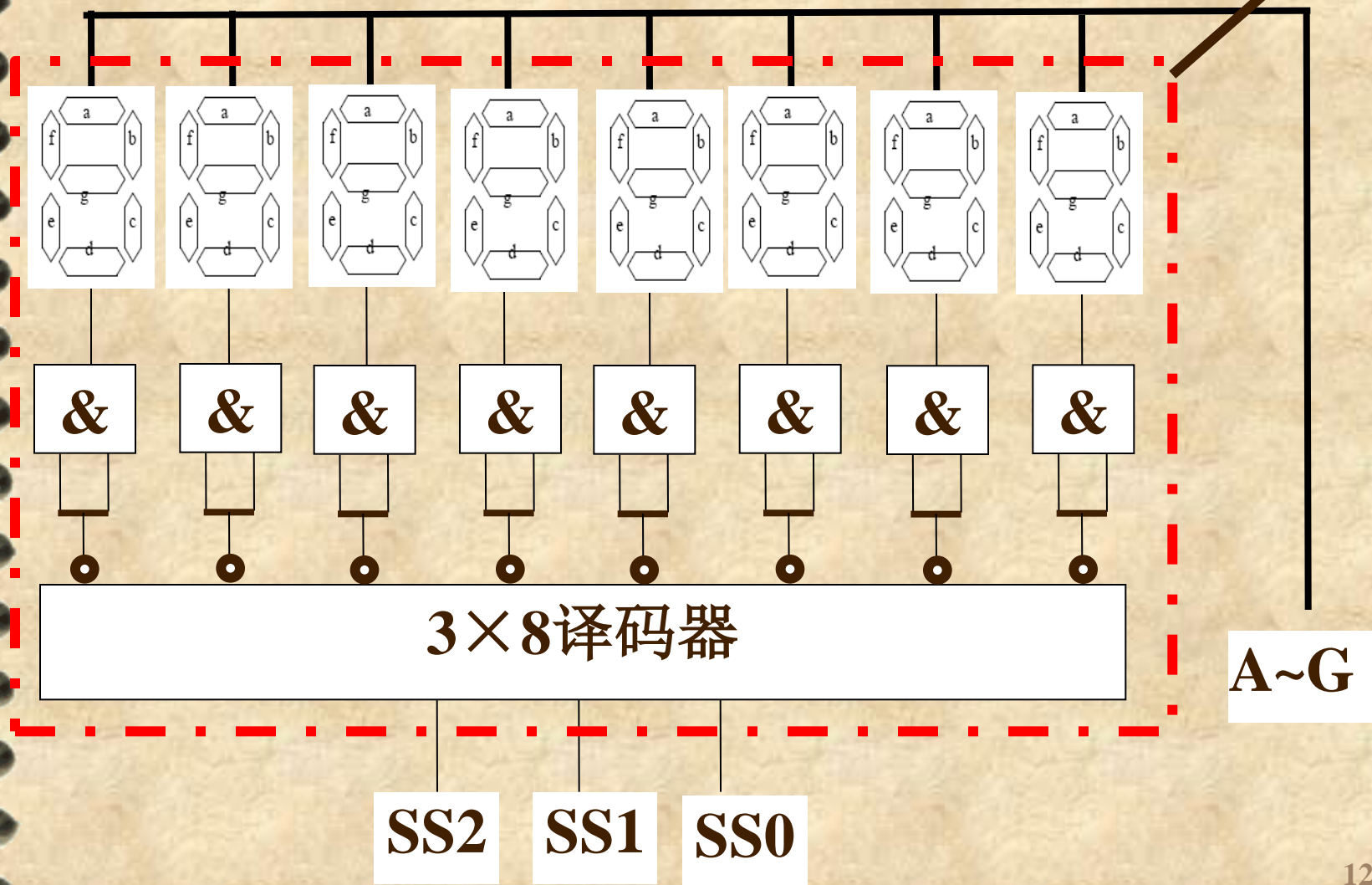
3×8译码器的功能表

E1	$\overline{E2}$	$\overline{E3}$	SS2	SS1	SS0	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
0	0	0				1	1	1	1	1	1	1	1
0	0	1				1	1	1	1	1	1	1	1
0	1	0				1	1	1	1	1	1	1	1
0	1	1				1	1	1	1	1	1	1	1
1	0	1				1	1	1	1	1	1	1	1
1	1	0				1	1	1	1	1	1	1	1
1	1	1				1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

输出低电平有效

设计原理---数码管扫描 带译码选通的数码管显示电路

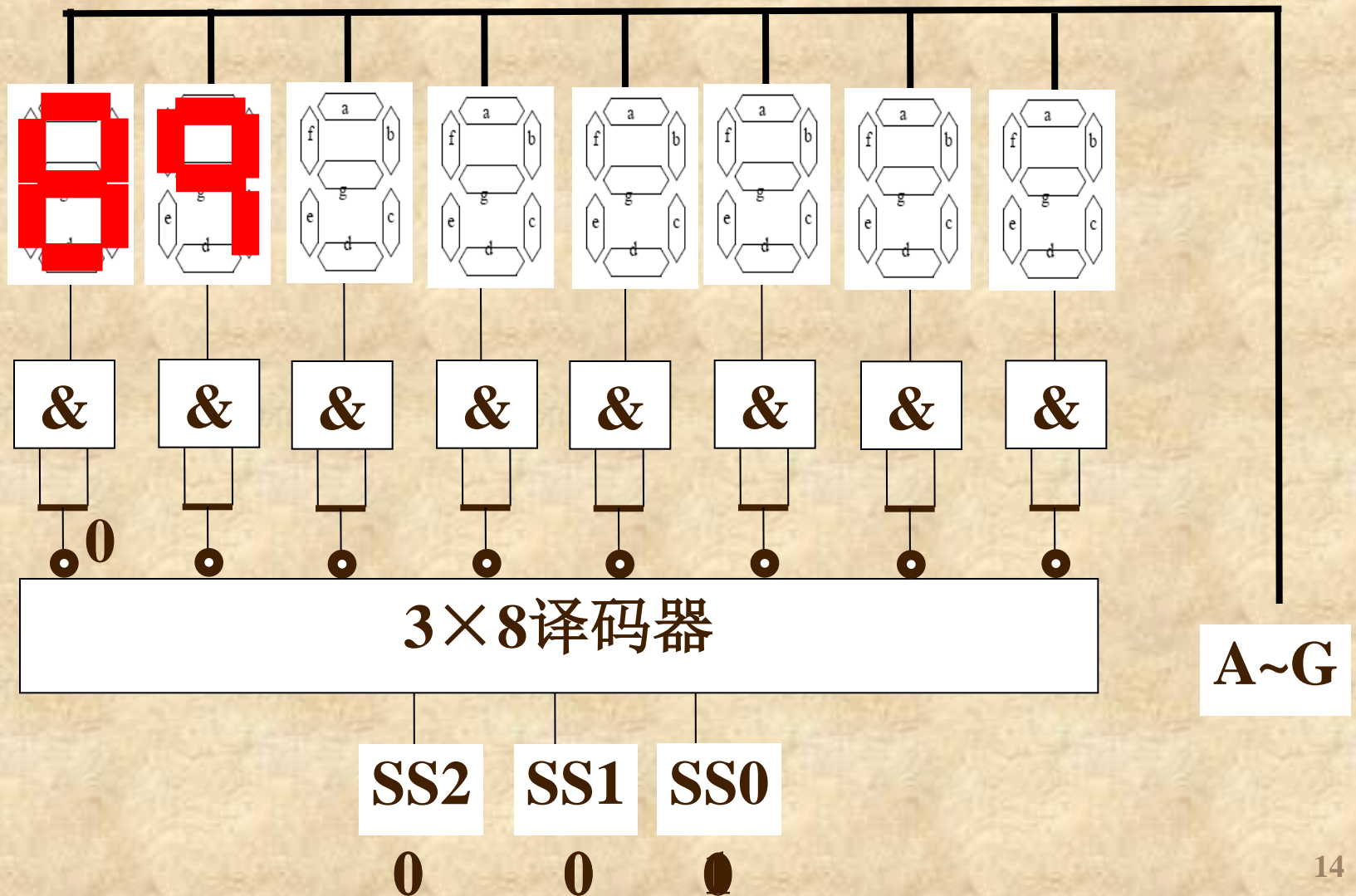
实验箱



带译码选通的数码管显示电路



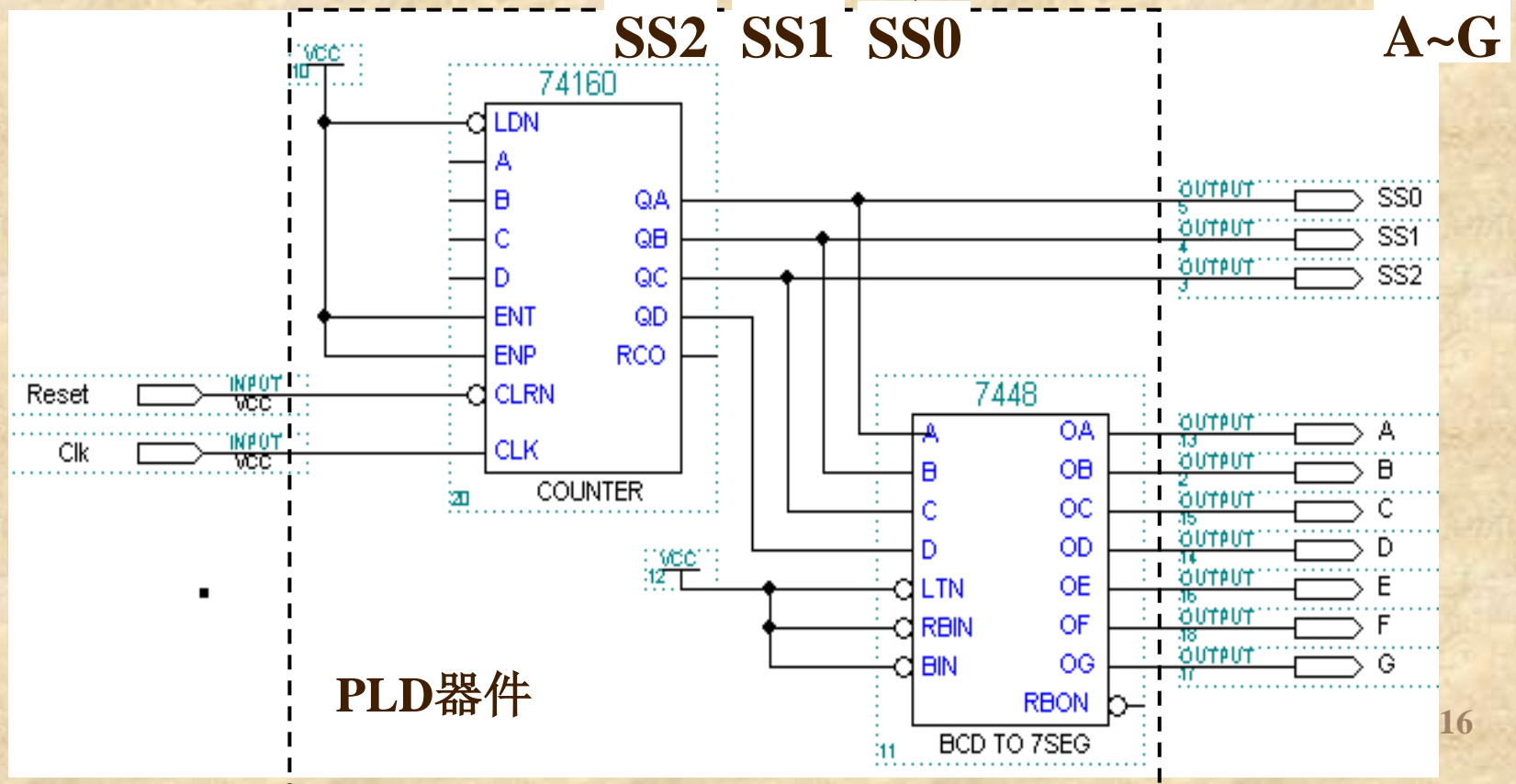
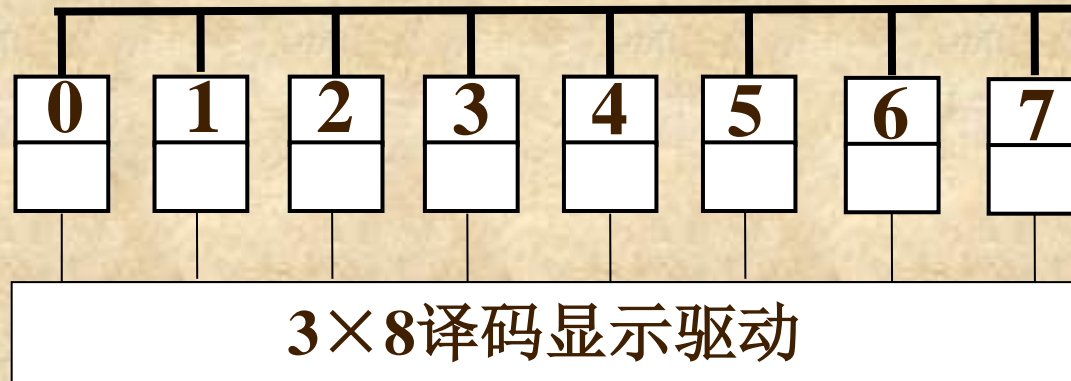
带译码选通的数码管显示电路



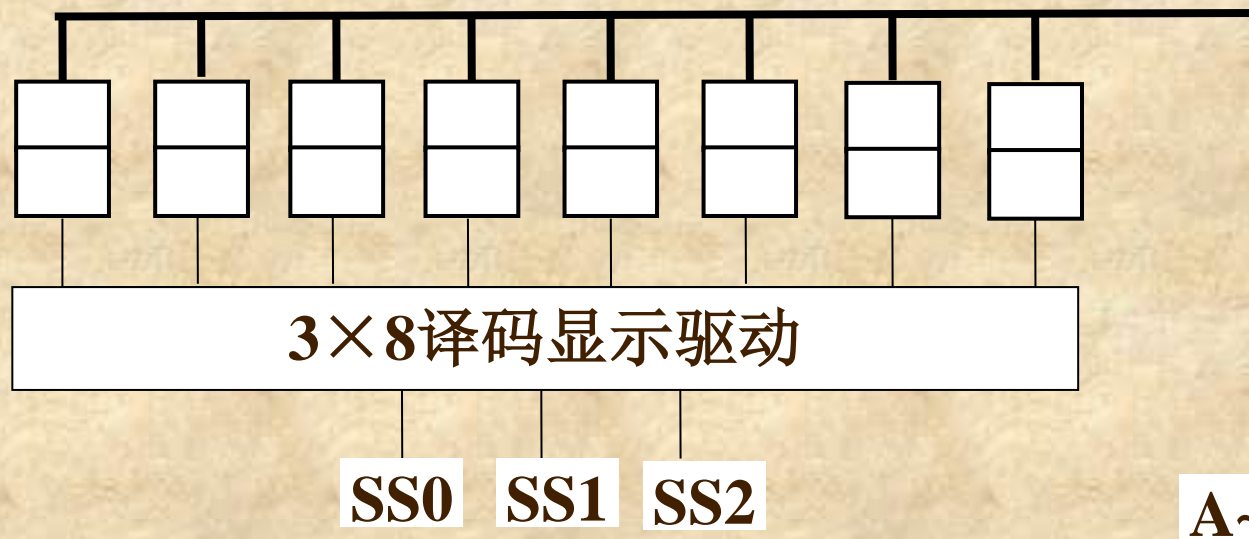
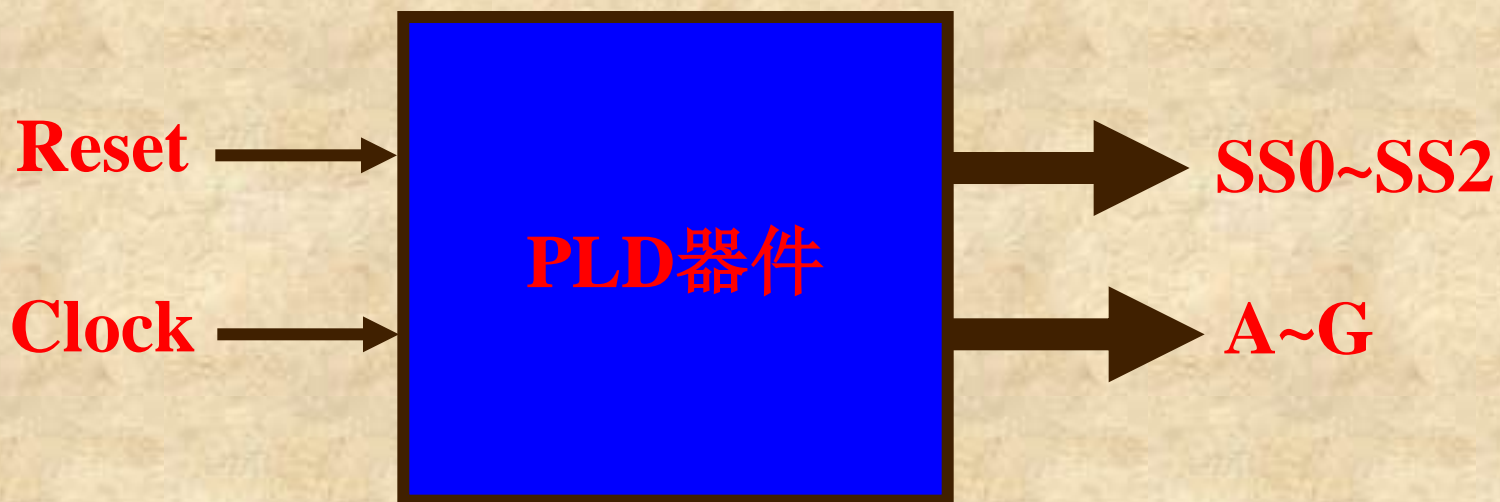
动态扫描显示

利用人眼的视觉暂留效应，把八个数码管按一定顺序（从左至右或从右至左）进行点亮，当点亮的频率（即扫描频率）不大时，我们看到的是数码管一个个点亮；当点亮频率足够大时，我们看到的不再是一个一个点亮，而是全部同时显示（点亮），与静态同时显示的效果完全一样。

因此我们只要给数码管这样一个扫描频率，那么就可以实现8个（或更多）数码管同时点亮的显示效果。



设计原理



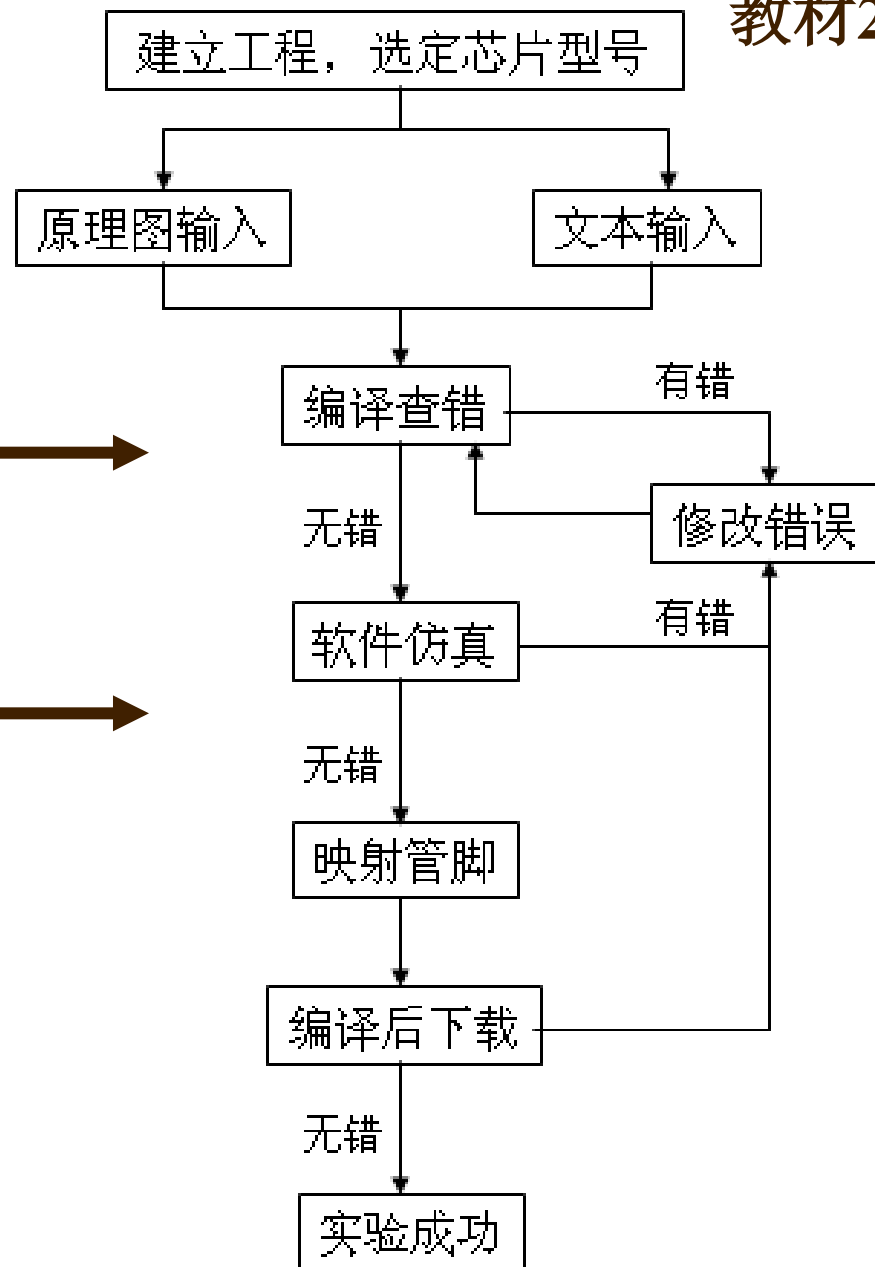
设计过程

1、设计输入

2、编译查错

3、功能仿真

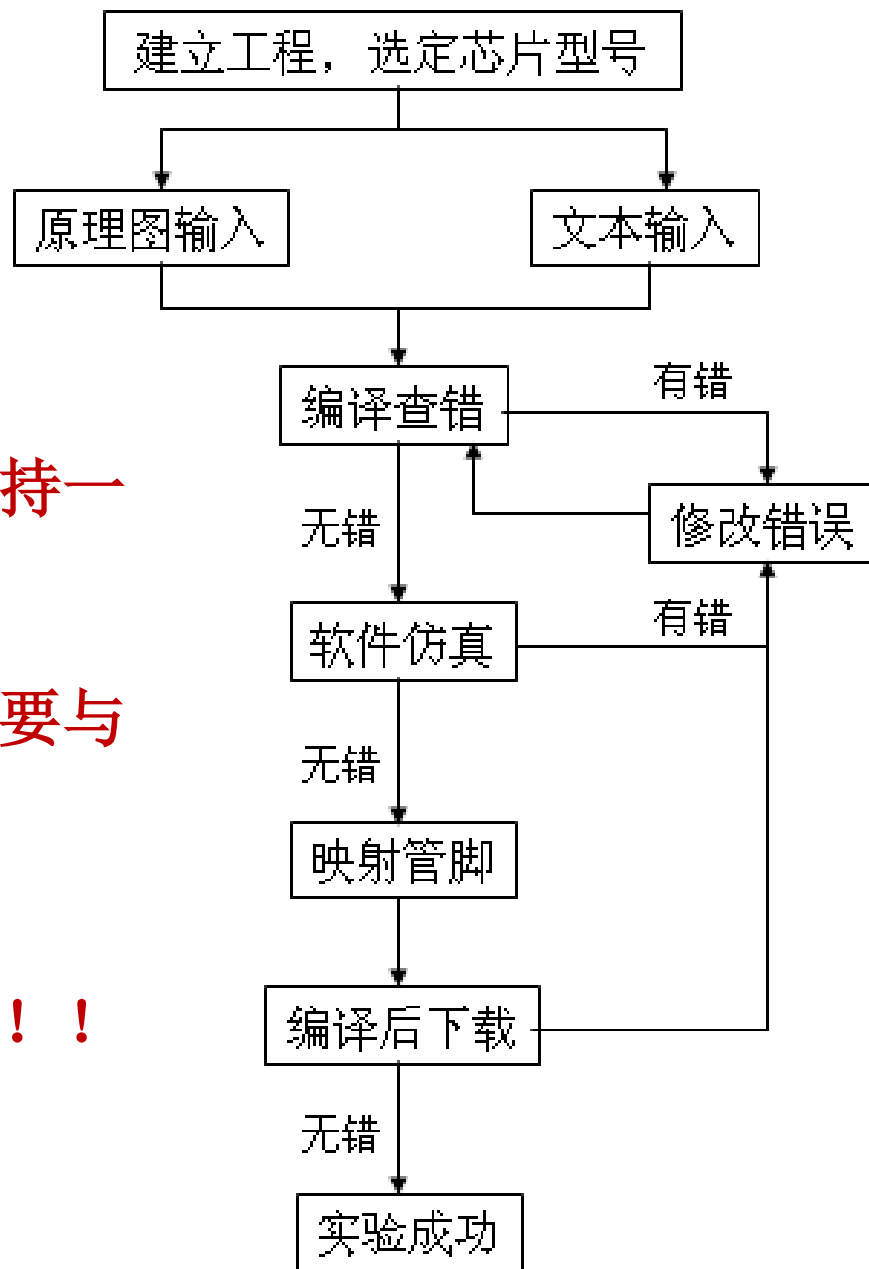
4、程序下载



设计过程

1、设计输入

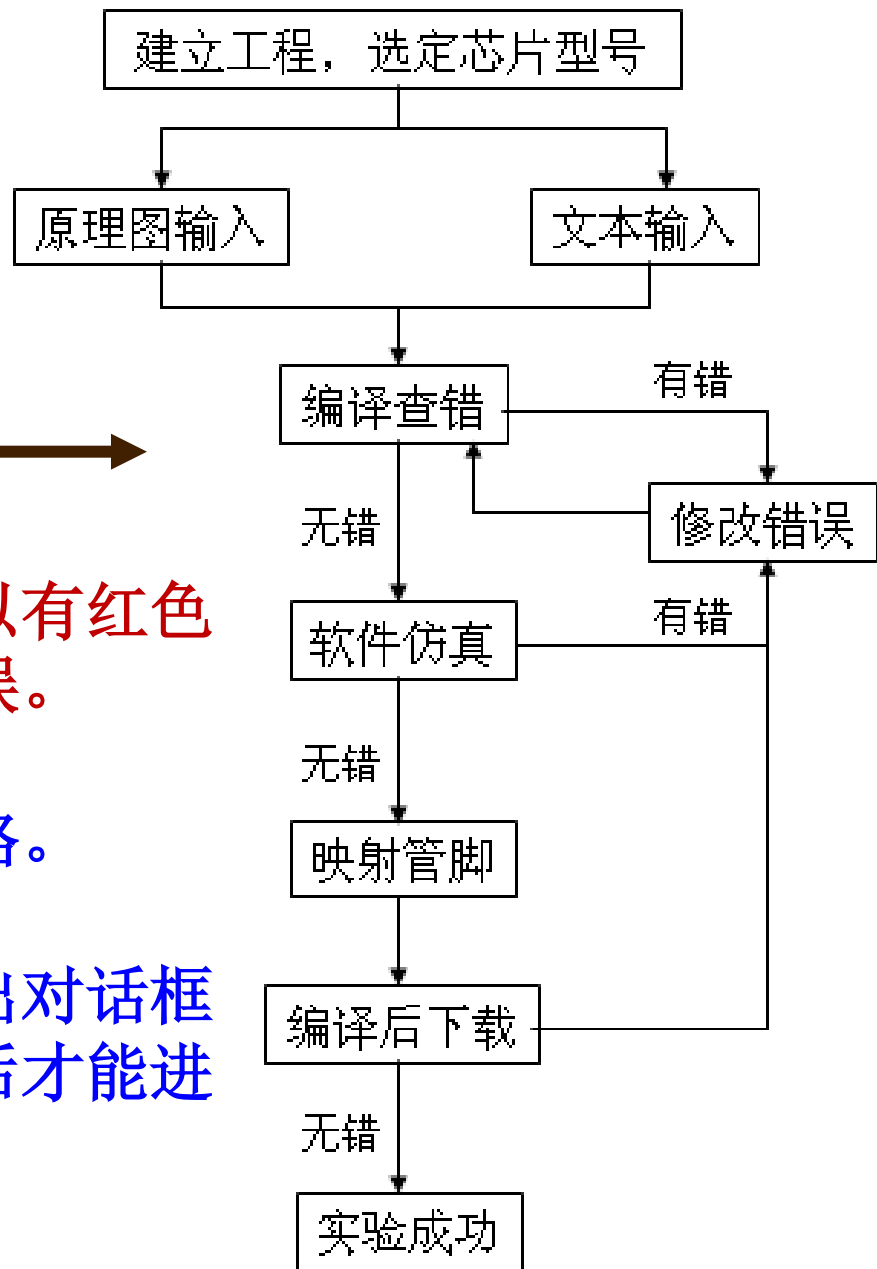
- 文件和文件名称保持一致，不可有汉字。
- 仿真波形文件名字要与原理图文件一致。（保存默认即可）
- 芯片型号不要选错！！



设计过程

2、编译查错

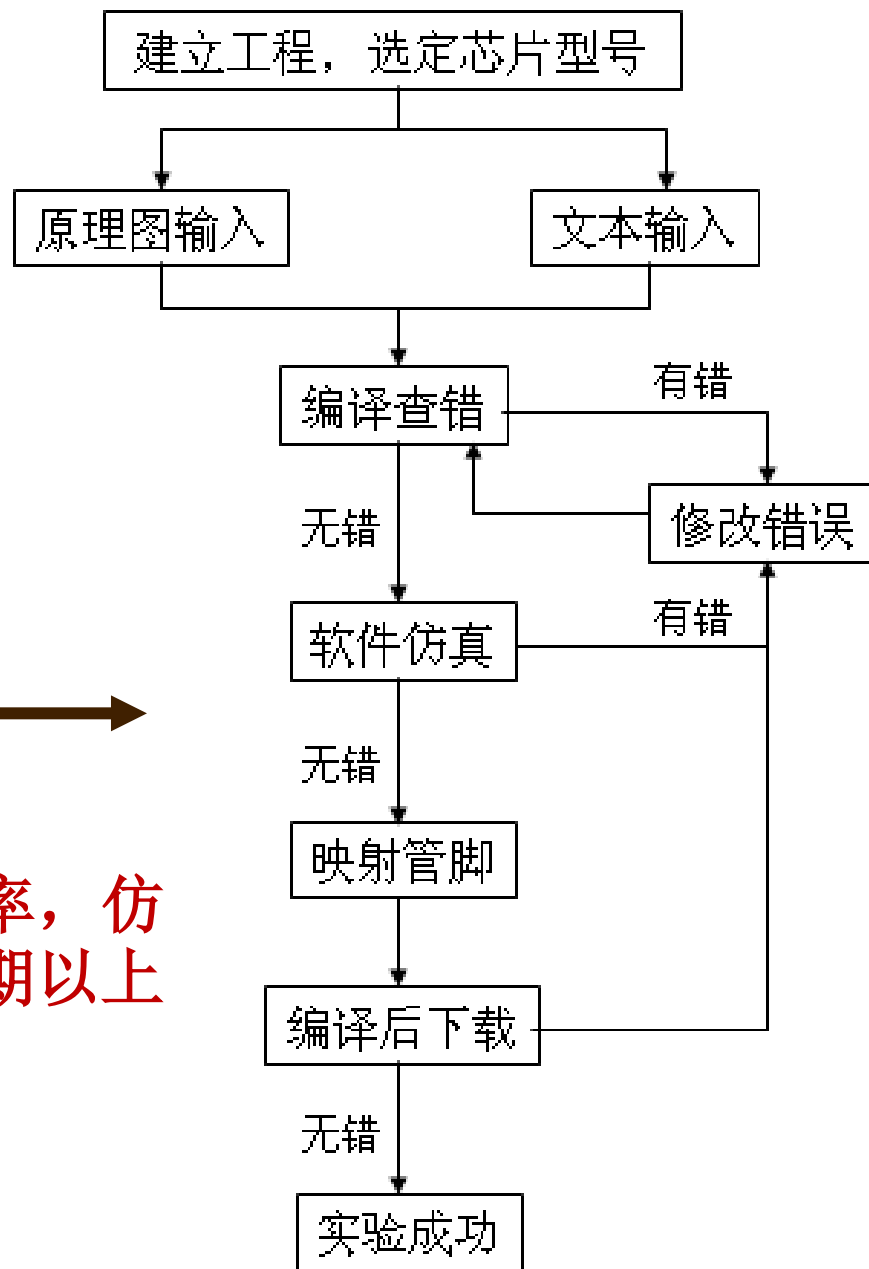
- 编译报告中不可以有红色提醒，证明有错误。
- 蓝色提醒可以忽略。
- 编译完成后会弹出对话框提示，编译通过后才能进行仿真。



设计过程

3、功能仿真

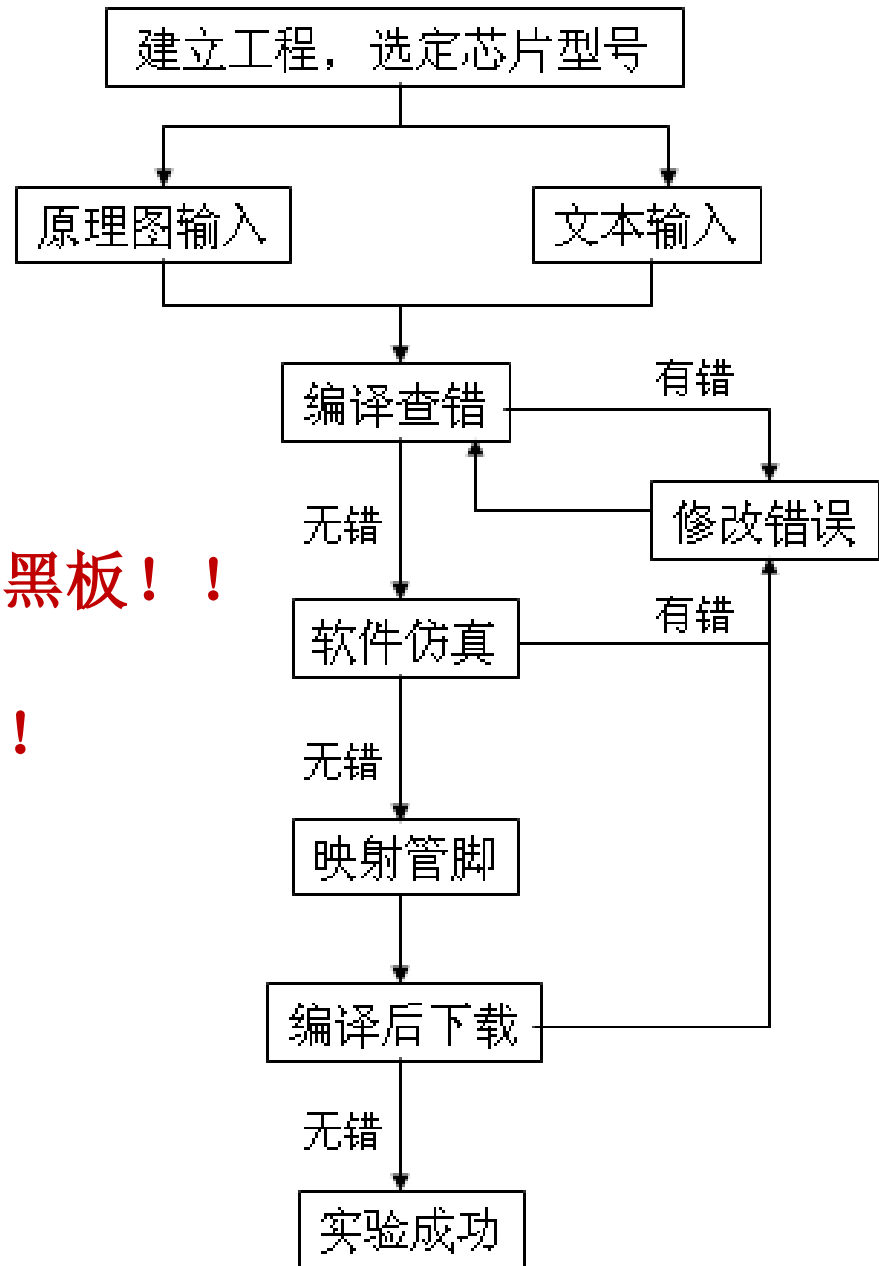
- 不要更改时钟频率，仿真时钟在10个周期以上再截图。



设计过程

- 映射管脚选取，看黑板！！
- 一定要二次编译！！

4、程序下载



电源开关

PLD

I/O管脚

clk

SS0,SS1,SS2

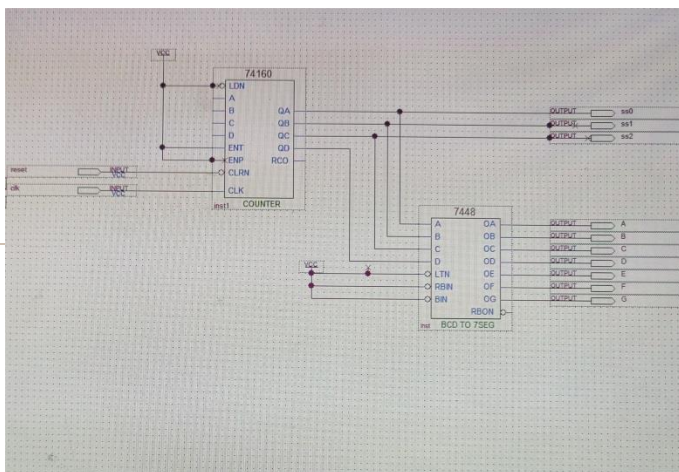
reset

数码管

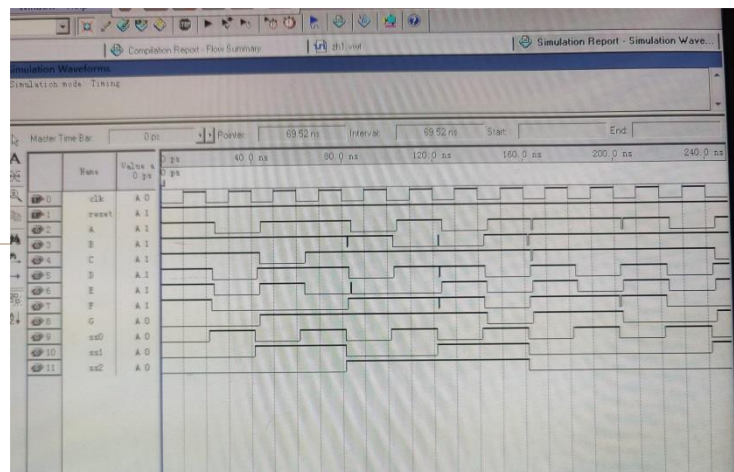
复位按键

频率组对应频率表

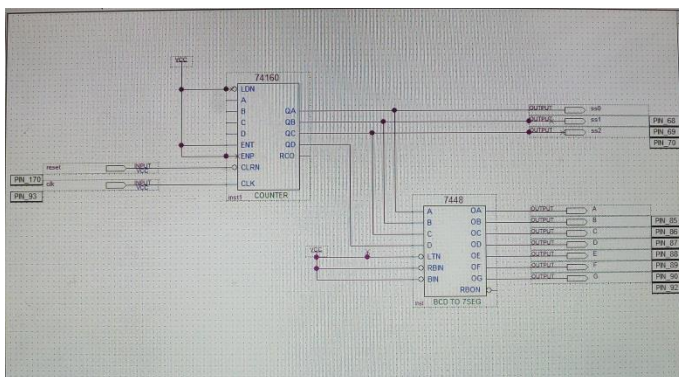
低频组	21	1HZ
	20	2HZ
	19	4HZ
	18	8HZ
	15	64HZ
	13	256HZ
中频组	11	1024HZ
	9	4096HZ
	7	16384HZ
	6	32768HZ
	5	65536HZ
高频组	H5	750KHZ
	H4	1.5MHZ
	H3	3MHZ
	H2	6MHZ
	H1	12MHZ
	H0	24MHZ



第一次编译后原理图

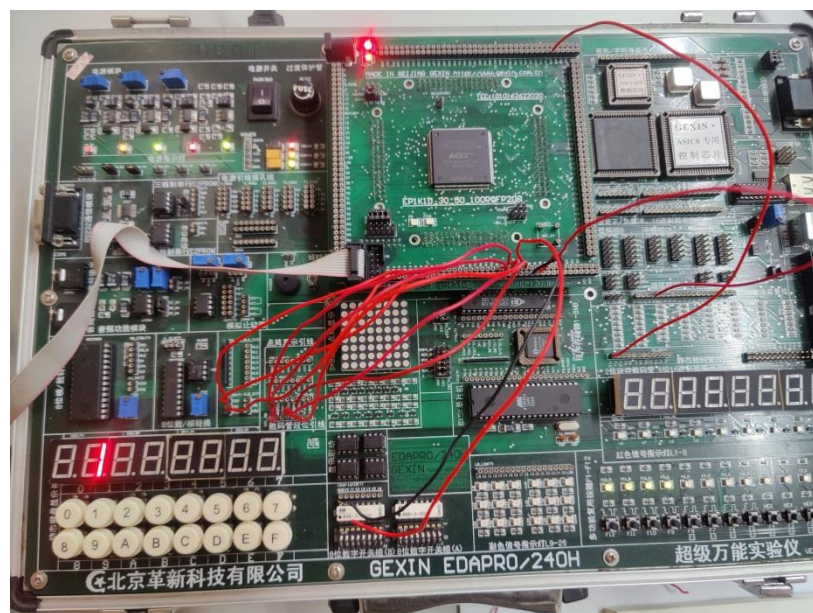


仿真波形图



第二次编译后原理图

三张图截图保存打印
附在实验报告后！



实验箱连线

EP1K30QC208-3 可用 I/O 口：

68, 69, 70, 71, 73, 74, 83, 85, 86, 87, 88, 89, 90, 92, 93,
170, 172, 173, 174, 175, 176, 177, 179, 187, 189, 190,
191, 192, 193, 195, 196, 197, 198

实验四 组合逻辑电路应用

提前预习实验内容

- 1、设计一个基于门电路的路口信号灯控制电路；
(74LS00、74LS20)
 - 2、设计一个基于74LS138译码器和与非门的一位二进制全减器；
 - 3、用8选1数据选择器74LS151实现函数
$$Y = A\bar{B} + \bar{A}C + B\bar{C}$$
 - 4、用给定的74LS00、74LS86、74LS55三种芯片构成一位二进制全加器；
- 要求完成电路搭接，并实现应有功能。