周群

研究意向: 模拟 IC 设计

♀ 山东济南

18382833173

2422755203@qq.com





教育背景

2019.09~2023.06

成都大学 (软科 232)

土木工程

本科学位

2023.09~2026.06

山东师范大学 (软科 105)

电子科学与技术

硕士学位

◆ 本科:电路基础、模电、数电、信号与系统、半导体物理等。研究生:主学拉扎维和桑森的书籍

◆ 考研一志愿南方科技大学(软科34),初试第三(专业课:模电、数电、信号与系统)。



模拟 IC 研究经历

2023.10~2024.3

驱动芯片-1um 600V

参与流片

- ◆ 参与七通道驱动芯片设计:包括欠压保护电路,电平位移电路,高边驱动脉冲信号产生电路等。
- ◆ 两通道驱动芯片:每个模块的电路设计和版图设计。电路能将 5V 的输入信号驱动 600V 高边输出和 15V 低边输出。最终半桥式驱动功率器件。对电压基准和电平位移等部分进行优化,达到了低延时的电路特性。

2024.04~2024.12

电平位移电路-130nm/55nm

部分完成流片

- ◆ 130nm: 1、提出了一种浮动衬底技术,根据电路输出逻辑,反馈提供延时的大小可控的浮动电压,给电路输入直接驱动的正反逻辑器件提供衬底偏置。周期性地降低器件的阈值电压,同时降低电平位移时上下沿的延迟时间,小于2nS,最小输入电压降至0.17V。2、提出了一种电平位移基础结构,带有动态电流限制器件,同时降低了开关状态的静态功耗。最终EDP优于同类型平均水平一个数量级。
- ◆ 55nm:设计了三支路逻辑控制的电平位移,具有非常低的静态功耗,比同制程电路有更快的转换速度。

2024.04~2024.12

CMOS 基准电压源电路-180nm

完成流片

- ◆ 提出了上厚下薄的伪共源共栅电流镜,提供的偏置电流精度非常高,输出电流偏差占比小于 0.02%
- ◆ 提出了两级自偏置的 SDMT 核心,提供两个参考电压。电压自偏置降低 LS。
- ◆ 提出了串联差分式输出结构,将两个参考电压进行差分,抵消 PVT 带来的偏差,并给予 PVT 补偿。通过差分和补偿,LS 降低一半,PSRR 全频域至少下降 6dB,工艺角偏差小于 10mV。温度偏差下降至 1mV 以内。
- ◆ 提出关键极点偏移技术。PSRR 极值下降了 20%。通过极点叠加加速 PSRR 衰减,高频 PSRR 下降了 7dB。
- ◆ 提出了双输入启动电路,与单输入启动电路相比,静态功耗下降了三个数量级。

(G)

转化成果

- ◆ **130nm**:该设计未流片,但创新点很大,已经撰写完论文(前后仿结果),处于 TCAS-ii 在投状态。
 "A Floating Bias Technique Enabled Voltage Level Shifter Operating in Subthreshold Voltage Input with Ultra-Low Symmetric Delay",一作。
- ◆ **180nm**:该设计完成流片,正在测试。创新程度大,部分指标优于顶刊论文。初稿未完成,目标 TCAS-i。 "A two-stage self-bias SDMTs CMOS voltage reference achieving active optimization with PVT variation by tandem differential structure",**一作。**
- ◆ 55nm:该设计流片,处于尾声阶段。还未开始撰写论文(**一作**),下半年开始。



自我评价与期望

有目标有规划,自驱力强,抗压能力强,能有效解决研究过程中碰到的问题。英语口语能力不错,能和外国人无障碍交流。学习能力强,硕士阶段很多研究方向都是由自己挖掘。希望能在导师的指引和教导下,在博士期间,至少发表一篇顶刊。