

Titan-TPU V2 硬件接口规范

1. 顶层接口定义

1.1 时钟与复位

- `clk` : 系统主时钟 (System Clock)，建议频率 200MHz。
- `rst_n` : 异步低电平复位。

1.2 控制接口 (AXI4-Lite Slave)

用于 CPU 配置寄存器和发送指令。

- **地址位宽:** 32-bit
- **数据位宽:** 32-bit
- **主要信号:** `s_axil_awaddr`, `s_axil_wdata`, `s_axil_rdata`, `s_axil_bresp` 等。

1.3 数据接口 (AXI4-Full Master)

用于 TPU 直接访问主内存 (DDR) 进行大数据搬运 (DMA)。

- **地址位宽:** 64-bit (支持大容量内存)
- **数据位宽:** 128-bit (高带宽突发传输)
- **Burst Length:** 支持 1-256 beat 突发传输。

2. 存储子系统 (Memory Subsystem)

2.1 Unified Buffer (UB)

- **容量:** 256KB (可配置)
- **组织形式:** 16 banks x 2048 depth x 64-bit width
- **访问延迟:** 1 cycle (SRAM)

2.2 ECC 保护机制 (魔改特性)

- **算法:** SECDED (Single Error Correction, Double Error Detection) Hamming Code。
- **校验位:** 每 64-bit 数据增加 8-bit 校验位。
- **错误处理:** 单比特错误自动修复并置位 `WARN_FLAG`；双比特错误中断 CPU 并置位 `FATAL_FLAG`。