

# Titan-TPU V2 指令集架构 (ISA) 参考手册

## 1. 概述

Titan-TPU V2 采用 96-bit 超长指令字 (VLIW) 架构。每条指令由 host 处理器通过 AXI-Lite 接口发送至 TPU 的指令队列 (Instruction Queue)。

**指令格式概览:**

- **Opcode (操作码):** 4 bits
- **Flags (标志位):** 4 bits
- **Operands (操作数):** 88 bits (根据指令类型动态分配)

## 2. 指令列表

### 2.1 SYS\_RST (系统复位)

- **Opcode:** 0001
- **描述:** 复位 TPU 内部状态机和寄存器。
- **操作数:** 无 (Reserved)

### 2.2 LOAD\_WEIGHT (权重加载)

- **Opcode:** 0010
- **描述:** 将权重数据从 Unified Buffer 加载到脉动阵列的 Shadow Registers。
- **操作数:**
  - **ADDR\_SRC** (32 bits): Unified Buffer 中的起始地址。
  - **LEN** (16 bits): 加载的数据长度。

### 2.3 MAT\_MUL\_START (矩阵乘法启动)

- **Opcode:** 0011
- **描述:** 启动脉动阵列的计算流程。
- **操作数:**
  - **ROWS** (8 bits): 矩阵行数。
  - **COLS** (8 bits): 矩阵列数。

### 2.4 ACT\_STORE (激活值存储)

- **Opcode:** 0100
- **描述:** 将脉动阵列的输出结果写回 Unified Buffer。

## 3. 控制状态寄存器 (CSR) 映射

地址偏移	寄存器名称	读/写	描述
0x00	TPU_STATUS	RO	Bit 0: Busy, Bit 1: Done, Bit 2: Error
0x04	TPU_CONTROL	RW	Bit 0: Soft Reset, Bit 1: Interrupt Enable
0x08	ISA_QUEUE	WO	指令写入端口 (96-bit 拆分为 3x32bit 写入)