

数字设计 FPGA 应用，第四章时序逻辑设计和实现，课程设计性质的作业题

本题满分 20 分，（1）10 分 （2）10 分 （3）额外分。

例如 1 部分 8 分，2 部分 9 分，3 部分得 5 分，总分为 20 分。

例如 1 部分 5 分，2 部分 5 分，3 部分得 2 分，总分为 12 分。

（1）构建工程，实现计数器 74HC163,编写仿真代码进行测试，将该工程并生成 IP 核。（必须）(10 分)

分数分配：构建工程流程（2 分）设计过程（2 分），代码有注释（2 分），仿真代码（2 分）和仿真结果（2 分）

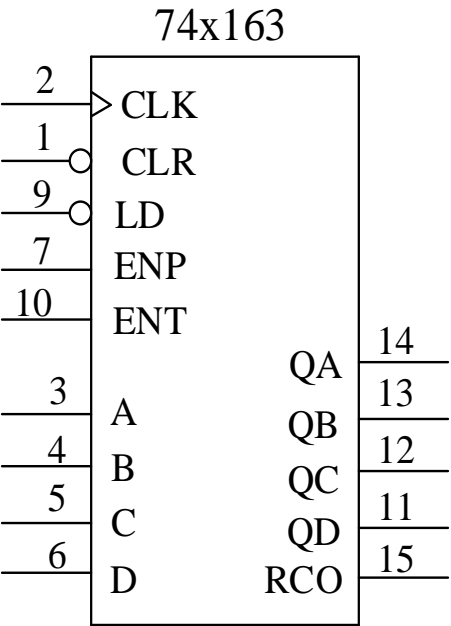
（2）再建一个工程，调用该 IP 核实现 0，1，2，3，6，7 输出序列的模 6 计数器，并在状态为 7 时输出 1。对该工程进行仿真测试（必须）(10 分)

分数分配：设计过程（4 分），代码有注释（2 分），仿真代码（2 分）和仿真结果（2 分）

（3）如有实验板，编写约束文件，生成比特流文件，下载测试。（可选）（在不满分情况最多下+5 分，满分为止）

分数分配：约束代码和解析(2 分)，比特流文件生成和下载测试，测试结果拍照贴图(3 分)。

如果有硬件给出实验过程和结果。



CLK	CLR_L	LD_L	ENP	ENT	工作状态
	0	x	x	x	同步清零
	1	0	x	x	同步置数
x	1	1	0	x	保持
x	1	1	x	0	保持，RCO=0
	1	1	1	1	计数

图：163 及其功能表