

广东工业大学

2017 年攻读硕士学位研究生入学考试试题

考试科目（代码）名称：**(832) 计算机组成原理**

满分 150

（考生注意：答卷封面需填写自己的准考证编号，答完后连同本试题一并交回！）

一、选择题（30 分，共 15 题，每题 2 分）

- 完整的计算机系统应包括_____。
A、运算器、控制器和存储器
B、外部设备和主机
C、配套的硬件设备和软件系统
D、主机和实用程序
- 若 $[x]_{\text{补}} = 0.1101010$ ，则 $[x]_{\text{原}} =$ _____。
A、1.0010101
B、1.0010110
C、0.0010110
D、0.1101010
- 四片 74181ALU 和 1 片 74182CLA 器件相配合，具有如下进位传递功能_____。
A、行波进位
B、组内先行进位，组间先行进位
C、组内先行进位，组间行波进位
D、组内行波进位，组间先行进位
- 下列各类存储器中，不采用随机存取方式的是
A、EPROM
B、CDROM
C、DRAM
D、SRAM
- 某计算机字长 32 位，其存储容量为 4MB，若按半字编址，它的寻址范围是_____。
A、4MB
B、2MB
C、2M
D、1MB
- 无条件转移指令执行时要修改_____内容。
A、主存地址寄存器
B、程序计数器
C、指令寄存器
D、状态条件寄存器
- 对某个寄存器中操作数的寻址方式称为_____寻址。
A、直接
B、间接
C、寄存器
D、寄存器间接
- 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，不属于偏移寻址方式的是
A、间接寻址
B、基址寻址
C、相对寻址
D、变址寻址
- CPU 从主存取出一条指令并执行该指令的时间叫做_____。
A、机器周期
B、指令周期
C、时钟周期
D、总线周期
- 微程序控制器中，机器指令与微指令关系是_____。
A、每条机器指令由一条微指令来执行
B、每条机器指令由一段微指令编成的微程序来解释执行
C、一段机器指令组成的程序可由一条微指令来执行
D、一条微指令由若干条机器指令组成

- 11 在集中式总线仲裁方式中, _____方式响应时间最快。
A、菊花链 B、独立请求
C、计数器定时查询 D、计数器定时查询和链式查询
- 12 系统总线中地址总线的作用是_____。
A、用于选择存储单元
B、用于选择进行信息传输的设备
C、用于指定主存单元和 I/O 设备接口电路的地址
D、用于传送主存物理地址和逻辑地址
- 13 在常用磁盘的各磁道中_____。
A、最外圈磁道的位密度最大 B、最内圈磁道的位密度最大
C、中间磁道的位密度最大 D、所有磁道的位密度一样大
- 14 CPU 响应中断时, 进入“中断周期”, 采用硬件方法保护并更新程序计数器 PC 内容, 而不是由软件完成, 主要是为了_____。
A、能进入中断处理程序, 并能正确返回源程序
B、节省主存空间
C、提高处理机速度
D、易于编制中断处理程序
- 15 会产生 DMA 请求的总线部件是_____。
A、任何外设
B、高速外设
C、需要与主机批量交换数据的外设
D、具有 DMA 接口的外设

二、判断题 (15 分, 共 15 题, 每题 1 分)

- 1 () 偶校验可检出偶数个错。
- 2 () 静态 RAM 中“静态”含意是指: 断电后仍能长期保存信息。
- 3 () 减少指令中地址数目的办法是: 采用以寄存器为基础的寻址方式。
- 4 () 兼容性是一个完善的指令系统应满足的要求之一。
- 5 () CPU 只是计算机的控制器。
- 6 () 地址寄存器(AR)不属于 CPU 中的主要寄存器。
- 7 () 总线的特性中包含有总线的电气特性。
- 8 () 以可见光的形式传递和处理信息的设备叫显示设备, 是目前计算机系统中应用最广泛的人机界面设备。
- 9 () 磁盘存储器的主要指标不包括存储密度。
- 10 () CPU 执行低优先级中断服务程序时, 也可以不去响应高优先级的中断请求。
- 11 () 取指周期的操作与指令的操作码无关。
- 12 () 在微程序控制器中, 微指令寄存器用于存放微程序。
- 13 () 通常, 磁盘存储器每条磁道的存储容量是相同的。
- 14 () 字符显示器的字库中存放着字形的列点阵信息。
- 15 () 在 I/O 接口电路中, 主机和接口一侧的数据传送总是并行的。

三、简答题 (30 分, 共 6 题, 每题 5 分)

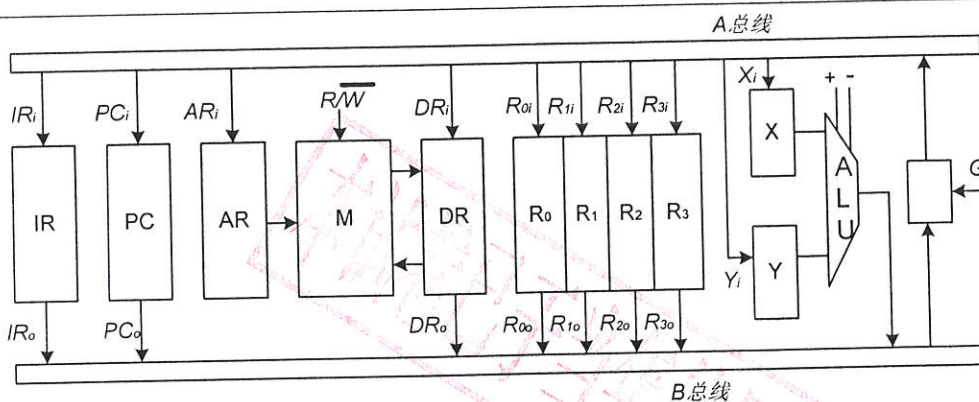
- 1 什么是数据字? 什么是指令字?
- 2 有 5 种存储器, 主存、高速缓存、寄存器组、光盘存储器和硬盘存储器, 要求:
(1)按存储容量和存储周期排出顺序;
(2)将有关存储器排列组成一个存储体系, 指明各存储器之间交换信息时的传送方式。
- 3 三级存储系统分别由哪些部分组成? 试比较 cache-主存与主存-辅存这两个存储层次的相同点和不同点。
- 4 CPU 中有哪些主要寄存器? 其主要功能是什么?
- 5 总线的依次数据传送过程大到分哪几个阶段?
- 6 简述 DMA 和中断的区别。

四、分析计算题 (30 分, 共 3 题, 每题 10 分)

- 1 已知 $X=0.11011$, $Y=-0.10101$, 用补码计算 $X+Y$, 同时指出运算结果是否溢出。
- 2 有一个具有 32 位地址和 32 位字长的存储器, 问:
(1)该存储器能存储多少个字节的信息?
(2)如果存储器由 $512M \times 8$ 位 DRAM 芯片组成, 需要多少芯片?
(3)需要多少位地址作芯片选择?
- 3 某磁盘有 4 块盘片, 6 个面记录数据, 每面有 65536 磁道, 每道 1024 个扇区。每个扇区 512 个字节, 计算该磁盘的总存储容量。

五、设计题 (45 分, 共 3 题, 每题 15 分)

- 1 有一个 $1024K \times 32$ 位的存储器, 由 $128K \times 8$ 位的 DRAM 芯片构成。
问:
(1)总共需要多少 DRAM 芯片?
(2)设计此存储体组成框图。
- 2 下图为双总线结构的机器, IR 为指令寄存器, PC 为程序计数器(具有自增功能), M 为主存(受 R/W 信号控制), AR 为主存地址寄存器, DR 为数据缓冲寄存器, ALU 由 +、- 控制信号决定可完成何种操作, 控制信号 G 控制的是一个门电路。另外, 线上标注有控制信号, 例如 Y_i 表示 Y 寄存器的输入控制信号, R_{10} 为寄存器 R_1 的输出控制信号。未标字符的线为直通线, 不受控制。
“SUB R_1, R_3 ”指令完成 $(R_3)-(R_1) \rightarrow R_3$ 的功能操作。
用方框图画出其指令周期流程图, 并列出相应的微操作控制信号序列



3 下图所示的二维中断系统

- (1)在中断情况下,CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。
- (2)若 CPU 现执行设备 B 的中断服务程序, IM2、IM1、IM0 的状态是什么? 若 CPU 现执行设备 D 的中断服务程序, IM2、IM1、IM0 的状态是什么?
- (3)每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采用什么方法可以达到目的?

