



# 可编程逻辑器件设计基础

## 课程综述

年级班级: 日期: 2021/10/15

# EDA 与传统电子设计方法比较研究

## 1、引言

传统的设计方法多采用自底向上的设计方法，自顶向下的设计方法是一种低效、低可靠性、费时费力且成本高昂的设计手段。随着微电子技术发展，借助于 DEA 设计工具，可以自动地实现从高层次到低层次的转换，使自顶向下的设计过程得以实现。

## 2 传统设计方法设计十二进制加法计数器

### 2.1 设计框图

在本设计中，十二进制同步加法计数器用四个 CP 下降沿触发的 JK 触发器实现，其中有相应的跳变，即跳过了 1011 1100 1110 111 四个状态，这在状态转换图 1 中可以清晰地显示出来。

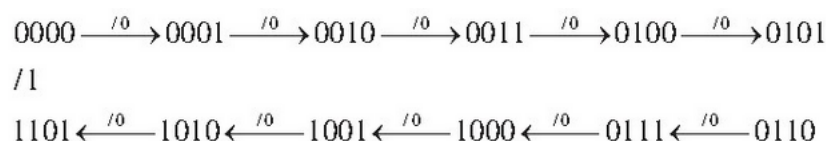


图 1 状态转换图

选择四个时钟脉冲下降沿触发的 JK 触发器，因要使用同步电路，所以时钟方程应该为  $CP_0 = CP_1 = CP_2 = CP_3 = CP$ 。

### 2.2 求状态方程

由所示状态图可直接根据电路次态的卡诺图得到相应的状态方程。

### 2.3 求驱动方程

用状态方程与特性方程做比较，可得对应驱动方程。

### 2.4 画逻辑电路图

根据所选用的触发器，便可以画出由四个 JK 触发器构成的简易逻辑电路图，如图 2。

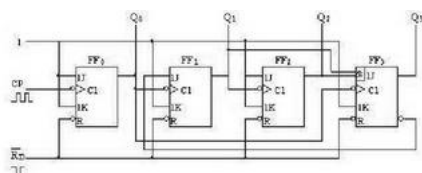


图 2 JK 触发器连接图

## 3 EDA 电路设计十二进加法制计数器

十二进制加法计数器的工作原理是指当时钟信号 clk 的上升沿到来时，且复位信号 clr 低电平有效时，就把计数器的状态清 0。在 clr 复位信号无效（即此时高电平有效）的前提下，当 clk 的上升沿到来时，如果计数器原态是 11，计数器回到 0 态，否则计数器的状态将加 1。通过 VHDL 语言编写源程序，并对程序在 Quartus II6.0 进行仿真得到图 3 所示结果



图 3 仿真结果图

从上面所举的例子可以得到以下的结论:若以传统的方法来设计,需要用一块万能板将芯片固定,在布线的时候用线将各个引脚连起来。如果出现错误,还得将原来的设计拆掉再次焊接测试,再检查,如此反反复复的进行,这样就增长了设计的时间周期。这样既花费了大量的时间,也耗费了大量的劳动力

若以 QuartusIII 软件设计,完成设计描述后用 VHDL 来编写代码十二进制计数器的代码,通过编译器进行排错编译。若出现错误,只须在计算机上检查代码是否有误,或逻辑关系是否正确。可以很容易地对它进行修改,来适应不同规模的应用。并且这些设计只是在电脑上进行,如果调试时出现错误,只需要在电脑上进行改动。这样就可以避免在板上进行测试不对又拆而造成器件损坏的浪费。采用 EDA 软件的优点是其与工艺的无关性。这使得工程师在功能设计、逻辑验证阶段,可以不必过多考虑门级逻辑实现的具体细节,只需要利用系统设计时对芯片的要求,施加不同的约束条件,即可设计出实际电路。

#### 4 结束语

通过设计十二进制加法计数器可以看出 EDA 与传统电子设计相比较具有以下优点:先进的设计理念和设计流程;设计输入方式改进;电路系统硬件构成更加灵活;设计可重复利用;EDA 技术使拥有自主知识产权成为可能:缩短了设计周期。

## 基于 FPGA/CPLD 的数字系统设计

舵机系统是典型的位置伺服控制系统,舵机系统作为飞行器飞行控制系统的执行机构,其性能的好坏直接影响飞行器的飞行动态性能。随着对飞行器性能要求的不断提升,对于舵机系统的要求向着体积更小、承载能力更大、控制性能更好的方向发展[1,2]。传统的舵机系统主要采用模拟控制系统或者采用以单片机、DSP 等微处理器构成的数字控制系统[3] 模拟控制系统容易受到干扰,参数调试不方便,而采用单片机、DSP 等微处理器的控制系统在对多路舵机进行控制时,存在控制通道有限、实时性较差

针对目前采用一个控制器控制四路舵机的需求,对该种舵机控制系统的设计与实现进行研究,采用 FPGA 作为主控芯片,研制一种数字化、小体积、实时性好的数字化舵控系统

#### 1 舵控系统硬件设计

舵机系统主要由舵机控制器、电机、减速器和电位器组成。舵控系统主要由 FPGA 主控电路、电源转换电路、光耦隔离电路、通信接口电路、霍尔处理电路、功率驱动电路、故障检测与保护电路、电流电压和舵机位置测量与处理电路等部分组成。外部提供的直流电源给功率驱动器和电源转换电路供电,电源转换电路将外部输入的电压转换成舵控系统上模拟电路所需的 $\pm 15V$ , 数字电路所需的 $+5V$ ,  $+3.3V$ ,  $+1.2V$  及功率驱动电路所需的 $+5V$  和 $+15V$

舵控系统采用电位器作为舵机输出轴角度位置传感器,采用 $\pm 15V$  供电,经过低通滤波后,经 AD7327 转换器采样后送入 FPGA。功率电路与控制电路之间采用光耦隔离,驱动芯片采用 IR2136,具有欠压和过流保护功能。舵控系统和飞控计算机之间采用 RS-422 串口通信。

#### 2 舵控系统软件设计

舵控系统软件主要完成系统的初始化、与飞控计算机通信、伺服控制算法、驱动控制和故障检测等工作。舵控系统软件采用模块化设计思想,主要包括初始化模块、通信模块、舵机输出角度处理模块、伺服控制算法模块、电机驱动控制模块和故障检测模块等,其中初始化模块负责系统初始化、FPGA 时钟初始化、RS422 通讯模块初始化、控制参数初始化等工作;通信模块则负责与飞控计算机通信,读取指令数据和在规定的时间内给上位机反馈当前舵机角度位置数据;舵机输出角度处理模块负责对舵机的角度进行采样和滤波处理;伺服控制算法模块负责根据接收到的指令与舵机反馈角度信号进行算法运算,计算出控制量;电机驱动控制模块根据伺服控制算法模块产生的控制量结合霍尔信号产生相应的 PWM 控制驱动电路;故障检测模块负责对舵机进行状态进行检测。

由于舵机系统需要较高的实时控制要求和动静态指标,舵机闭环控制采用“位置环+速度环+电流环”三环全数字控制形式,具体控制回路原理如图 1 所示。总体控制流程为:FPGA 接收到飞控计算机发送的各个舵机的位置指令和舵机输出轴的当前位置,进行舵机位置环 PI 调节,得到速度指令;FPGA 根据霍尔换向

信号, 计算得到电机转速, 速度指令与计算得到的电机转速经速度环 PI 计算后得到电流指令;FPGA 通过电流传感器测量电机的电流, 根据电流指令与检测到的电流通过电流环 P 控制产生相应的电压控制信号, 进而输出 PWM 信号到驱动电路。

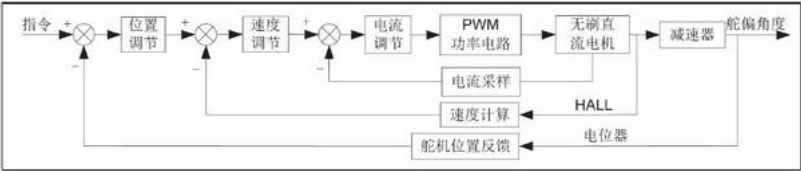


图 1 舵机控制系统回路原理

4 结论

本文利用 Xilinx 公司最具性价比的 Spartan-6 系列芯片, 设计了一套一控四路舵机的伺服控制系统。实验结果表明, 该数字化舵控系统具有尺寸小、精度高、可靠性高、抗干扰能力强等优点, 满足了舵机的小型化和智能化要求

FPGA 器件设计技术发展综述

现场可编程门阵列(Field Programmable Gate Array, FPGA)作为一种可编程逻辑器件, 在短短二十多年里从电子设计的外围器件逐渐演变为数字系统的核心, 在计算机硬件、通信、航空航天和汽车电子等诸多领域有着广泛的应用。伴随着半导体工艺技术的进步, FPGA 器件的设计技术取得了飞跃性突破。该文在回顾 FPGA 发展历史的同时, 对目前主流 FPGA 器件的前沿技术进行总结, 并对新一代 FPGA 的发展前景进行展望。

前沿设计与未来发展趋势半导体产品的集成度和成本迄今一直按照摩尔定律(Moore’s Law)所预见的规律变化, 作为半导体器件的重要一部分——可编程逻辑器件也不例外, 每一次工艺升级带来的优势, 都会在 FPGA 产品的功耗、频率、密度及成本方面得到体现。本节简要阐述了目前深亚微米工艺下集成电路设计领域内传统设计方法面临的困境和挑战, 并试从研究和开发 FPGA 的角度分析 FPGA 前沿设计技术的演变, 及未来可能对 FPGA 设计产生重大影响的新技术进行了讨论, 同时对未来发展趋势进行了大胆预测。

1、 基于传统设计技术的 FPGA 发展趋势

在深亚微米半导体工艺下, 传统的设计技术面临困难和挑战, 但 FPGA 在过去几年内仍保持高速的发展——基于传统设计技术的 FPGA 的主流发展方向呈现出高密度、高性能、低功耗的特点, 片上资源的集成度得到进一步提高, 向 SOPC[70,,71](可编程片上系统)方向发展, FPGA 器件也从最早的通用型半导体器件向平台化的系统级器件发展。

1.1、 FPGA 器件向高密度、高性能方向发展

自 FPGA 问世以来, 半导体制造工艺的发展和市场的多样化需求不断推动 FPGA 设计技术的创新, 目前最先进的半导体技术往往都会在第一时间内应用于 FPGA 产品中: Altera 公司于 2008 年 12 月发布业界第一款 40 nm FPGA 芯片 Stratix IV GX[72], Xilinx 公司于 2009 年 2 月 6 日发布了 40 nm 的 Virtex-6 系列和 45 nm 的 Spartan-6 系列[19]。FPGA 由最初的 64 个逻辑单元和 58 个可编程 I/O 的规模, 发展到现有 758784 个逻辑单元, 1200 个可编程 I/O 的规模。同时, FPGA 中 LUT 表的规模也呈现出不断增大的趋势。Xilinx 公司早期推出的 XC3000 系列, 采用一个 5 输入的 LUT 结构, 用户可实现一个 5 输入的组合逻辑功能, 也可通过共用输入端的方式来实现两个 4 输入逻辑组合功能。这个看起来稍显复杂的结构, 以当时 EDA 工具的水平, 很难对复杂的数字电路实现高效率的综合和布局。在后来很长一段时间内, 各大 FPGA 公司推出的产品都采用了 4 输入 LUT 的结构(如 Xilinx 公司的 XC4000

系列、Virtex 至 Virtex IV 系列, Altera 公司的 Flex、Apex、Cyclone I 和 Stratix I 系列等), 这个选择可看作是性能和面积的折衷。基于 SRAM 存储单元的 FPGA 产品, 逐渐采用了逻辑模块阵列和局部互连总线的架构, 整体规模也由最初的细颗粒度(fine-grained)向粗颗粒度(coarse-grained)转变。

研究者们对嵌入式软核处理器进行了一系列的优化: 通过 HW/SW Partitioning 技术提高软核处理器的性能[79]; 利用 FPGA 器件提供的低功耗技术降低软核处理器的动态功耗[80]; 还有一些研究者提出了自行定制设计的嵌入式软核处理器。

在 FPGA 中嵌入可编程的低功耗、高速收发器成为目前主流 FPGA 的发展趋势, 具有嵌入式高速收发器的 FPGA 为数据传输提供了可行的单芯片解决方案, 克服了多芯片解决方案中出现的互操作、布线和功率问题, 用户能够快速地解决协议和速率的变化问题, 以及为了提高性能和为产品增加新功能时所做的设计修改所需的重新编程问题。高速收发器在 FPGA 中作为独立的专用电路模块存在, 由多个混合信号模块组成, 包括锁相环(PLL)、CDR、预加重、均衡器、速率匹配器、字对准器、8B/10B 编码器/解码器、模式检测器和状态机等模块。将高速收发器嵌入 FPGA 中, 相当于把接口问题从板级电路设计者转移给了 FPGA 设计者, 对 FPGA 芯片的版图布局、信号完整性、电路设计和功耗等方面都带来了巨大的挑战。高速收发器具有严格的抖动产生和容差规范, 必须与 FPGA 中其它数字电路部分隔离开来以避免其噪声耦合到敏感的 PLL 和 CDR 等电路, 通常需要设计者对版图上的高速信号传输路径进行手工布线, 以保证高速信号的完整性。

随着 FPGA 器件的规模和复杂程度的不断增加, 其设计和调试工作日益复杂。在传统的设计中, 一般采用接入外部逻辑分析仪的方式进行调试。使用外部的逻辑分析仪进行调试具有极大的局限性: 在复杂系统设计中, 一般可用测试的 I/O 很少或很难引出; 外接的逻辑分析仪由于探针引入的负载, 很可能对高速系统设计的信号带来影响。为了解决上述问题, 设计者们提出利用 FPGA 的资源实现嵌入式逻辑分析仪对系统进行调试。

嵌入式逻辑分析仪通常在 FPGA 中以软核的形式实现, 其构成如图 10 所示。其中 ELA(Embedded logic analyzer)模块的采样时钟和触发逻辑均可根据实际需要进行编程设定。在嵌入式逻辑分析仪工作时, 待测信号在时钟的上升沿被 ELA 实时捕获, 经 FPGA 嵌入式存储器缓冲后, 通过 JTAG 端口传送至 EDA 软件中显示。

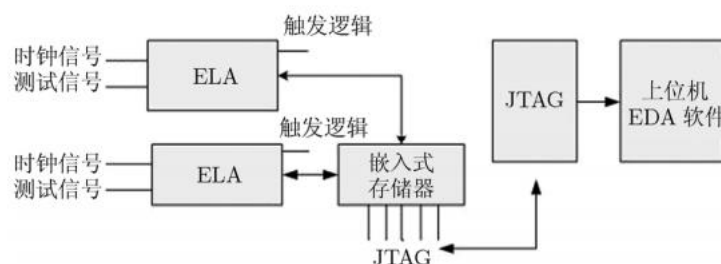


图 10 嵌入式逻辑分析仪原理图

相对于传统逻辑分析仪, 嵌入式逻辑分析仪具有极大的优势: 无需进行任何的外部探测或修改便可获取设计中任意的内部节点或 I/O 引脚的状态, 在整个设计过程中以零成本和系统级的速度实时捕获和显示 FPGA 中的信号, 对系统进行观测和调试。

## 2、未来 FPGA 设计技术的关注热点

### 2.1、基于异步电路的 FPGA

前文涉及的所有 FPGA 设计技术和商用器件, 都是基于同步时序电路原理。同步时序电路概念简单, 设计方便, 具有主流的 EDA 工具支持, 至今一直占据着数字集成电路设计领域的主导地位。在半导体技术进入深亚微米后, 随着 FPGA 密度增大、电路复杂度的提高, 互连线延时带来的影响越来越明显, 同步

设计中时钟的偏移问题变得难以处理，时序收敛成为首要问题。此外，全局时钟分布带来的功耗问题也限制 FPGA 的速度进一步提高。为解决上述问题，研究者们提出采用异步电路技术来提高 FPGA 的性能。

异步电路的概念

最早在上世纪 50 年代就被提出，具有非常显著的优势：(1)异步电路的模块化特性突出，在设计复杂电路时具有内在的灵活性；(2)对信号的延迟不敏感，可避免同步电路带来的时钟偏移问题；(3)异步电路的性能由电路的平均延迟决定，有潜在的高性能特性；(4)异步电路主要由数据驱动，具有低功耗的特性；(5)异步电路的辐射频谱含能量少且分散性好，有电磁兼容性好的优点。由于结构复杂，缺乏自动化设计工具等问题，异步电路设计技术一直没有像同步时序电路那样得到迅速发展，但随着传统 FPGA 设计方法面临困难，人们又开始探索异步电路技术在 FPGA 中的应用。然而设计基于异步电路的 FPGA 芯片，需解决其设计方法和设计流程，EDA 工具，可测性理论，性能评估及仿真验证等一系列关键技术。Hauck 基于同步 FPGA 结构的基础，最早提出了异步 FPGA 设计[90]的概念，但直到 2008 年，FPGA 领域的初创公司 Achronix 才推出了号称业内第一款基于异步电路设计技术的商用 FPGA 产品[91]。实际上 Achronix 公司的 FPGA 基本体系结构与传统 FPGA 类似：都是基于 SRAM 存储结构，采用孤岛型互连结构、采用 LUT 作为最基本的逻辑单元，所以并不能说这款 FPGA 器件是完全基于异步电路设计技术的 FPGA。这款器件与传统 FPGA 不同的是，其数据通道放弃了传统的并行结构，而增加额外的 电路模块，采用基于握手协议的串行收发器结构，在通道上实现握手协议和流水线结构来高效的控制数据流，提高了数据的传输速率，降低了信号传输的绝对延时。

### 3 基于新型半导体结构的 FPGA

**3.1 碳纳米管交叉开关结构** 为解决 FPGA 功耗增大的问题，一些研究人员探讨将碳纳米管(carbonnanotube, CNT)的微机械结构用于 FPGA 中的交叉开关矩阵：在文献[100]中，提出了由 3 个 CNT 构成的纳米继电器(nanorelay)结构，如图 13 所示。通过对 CNT1 和 CNT2 施加电压，使两个 CNT 互相吸附，当除去外接电压后，由于范德华力的存在，互相吸附的 CNT 仍然保持接触；此时，若对 CNT1 和 CNT3 施加电压时，中间的 CNT1 会与 CNT2 脱离，与 CNT3 接触。

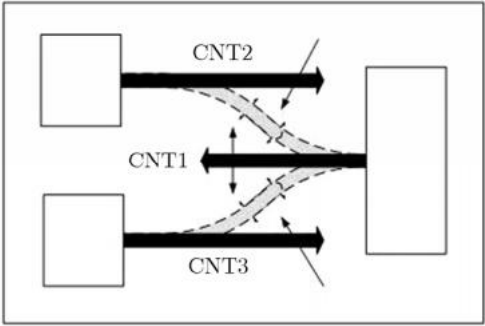


图 13 水平方向碳纳米继电器结构示意图

上述碳纳米继电器的工作原理可用于 FPGA 的交叉开关和多路开关设计，仿真结果表明，这种基于微机械结构的 FPGA，其平均功耗与传统设计相比大约低 30%左右。但是这种结构导致水平方向上的 CNT 加工难度变大，同时由于依靠碳纳米管的接触导电进行数据信号的传递，其电阻较大，势必影响高速信号的传输。由此，基于半导体 CVD 工艺，垂直方向的碳纳米继电器结构被提出[101]，如图 14 所示。由一个 CNT 和两个接触点构成，通过施加电压使 CNT 与不同的接触点吸附实现可编程的目的。同样由于范德华力的存在，这种结构在除去外接电压后，碳纳米管与接触点依然保持吸附。

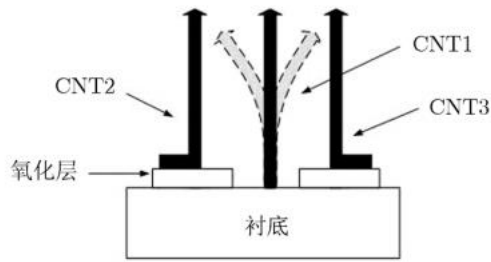


图 14 垂直方向碳纳米继电器结构

这种结构便于加工，但其通路电阻仍然较大，约为  $6.5\text{ k}\Omega$ 。针对这一问题，文献[92,101]提出了一种使用垂直碳纳米继电器结构作为 FPGA 交叉开关的方法。这种交叉开关结构与水平方向的碳纳米继电器的用途不同，垂直的碳纳米继电器被用来控制开关管的栅极，通过外界施加电压控制 CNT 吸附的方向，来控制开关管栅极的电平为“1”或“0”，实现对信号通路的控制。由于不直接影响信号通路的电阻，能够实现高速信号的传输，同时保持了基于碳纳米管开关结构的 FPGA 较低静态功耗的特点。

#### 4 结束语

本文对主流 FPGA 器件的设计技术进行了综述，对其特点进行了比较与分析，对相关前沿性问题进行探讨。在过去 20 多年中，应用领域的变化和半导体制造工艺的进步，对 FPGA 设计者不断提出各种挑战。为满足用户和市场日益变化的需求，FPGA 不断在密度、功能、性能和功耗等方面演变；面对深亚微米工艺带来的各种不良影响，如漏电流、良率、设计复杂度等，又迫切需要最切实际的解决方案。随着挑战的发展，可以预言，未来 FPGA 的设计技术必将继续呈现出巨大的创新与进步。

#### 参考文献

- 【1】 潘松，黄继业.EDA 技术实用教程.北京：科学出版社.2002.
- 【2】 卢杰，赖毅.VHDL 与数字电路设计.北京：科学出版社.2001.\n(C)1994-2021
- 【3】 EDA 与传统电子设计方法比较研究. 张 妍 石 蕊 赵宇杰 梁 晔（兰州城市学院培黎工程技术学院，甘肃 兰州 730070）
- 【4】 一种小型数字电动舵机系统设计与实现[J]. 伍城,赵怀林,朱纪洪. 自动化与仪表. 2015(10)
- 【5】 基于 DSP 的电动舵机控制系统设计. 刘建斌. 导航与控制 . 2008
- 【6】 FPGA 器件设计技术发展综述 杨海钢① 孙嘉斌② 王 慰③ ①(中国科学院电子学研究所 北京 100190) ②(中国科学院研究生院 北京 100039) ③(美国纽约州立大学)

## 文献综述评分表

考察点	评 分					
	18-20 分	15-17 分	13-15 分	10-12 分	0 分	得分
提交进度、 格式规范 等 (权重 0.2)	按时提交；格式 规范；标点符号、 单位运用正确。	按时完成、格式 规范；标点符号、 单位运用基本正 确，个别处有误。	延时完成；格式 欠规范；标点符 号、单位运用问 题较多。	后期补交；格式 不规范；标点符 号单位运用问题 极不规范。	未 提 交	
文献引用 (权重 0.2)	规范引用文献， 包括多篇外文文 献；文献水平高， 多为近 三 年 发 表；引用篇数充 足	规范引用文献， 包括外文文献； 文献水平较高， 多为近年发表； 引用篇数较充足	基本规范引用文 献；文献水平一 般或较陈旧；引 用篇数一般	引 用 文 献 不 规 范；文献水平低； 引用篇数少		
综述水平 (权重 0.6)	对综述内容有很 好把握；综述较 为全面，条理清 楚，有自己观点； 文字流畅，段落 清晰。	很好把握文献内 容及方向；综述 较为全面，条理 清楚，自己观点 不够明确；文字 流畅，段落清晰。	对综述内容有很 好把握，但综述 不够全面，条理 尚清楚，自己观 点不够明确；文 字流畅，段落清 晰。	对综述内容把握 不好或不清楚综 述方向，条理不 够清楚，无自己 观点；文字尚流 畅。		
总成绩						