

EDA与传统电子设计方法比较研究

张妍 石蕊 赵宇杰 梁晔(兰州城市学院培黎工程技术学院,甘肃 兰州 730070)

摘要: 本文对EDA技术和传统电子设计的设计方法和流程进行比较研究,依据以上两种设计方法,设计了十二进制加法计数器电路,通过实例得出EDA技术在电路设计过程中具有设计周期短、电路系统硬件构成灵活和修改简单方便等优势。

关键词: EDA; 电子设计

1 引言

传统的设计方法多采用自底向上的设计方法,自顶向下的设计方法是一种低效、低可靠性、费时费力且成本高昂的设计手段。随着微电子技术发展,借助于EDA设计工具,可以自动地实现从高层次到低层次的转换,使自顶向下的设计过程得以实现。

2 传统设计方法设计十二进制加法计数器

2.1 设计框图

在本设计中,十二进制同步加法计数器用四个CP下降沿触发的JK触发器实现,其中有相应的跳变,即跳过了1011 1100 1110 1111四个状态,这在状态转换图1中可以清晰地显示出来。

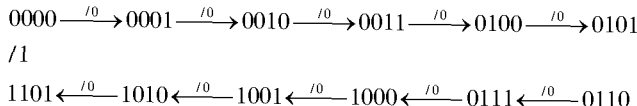


图1 状态转换图

选择四个时钟脉冲下降沿触发的JK触发器,因要使用同步电路,所以时钟方程应该为 $CP_0 = CP_1 = CP_2 = CP_3 = CP$ 。

2.2 求状态方程

由所示状态图可直接根据电路次态 Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} 的卡诺图得到相应的状态方程。

2.3 求驱动方程

用状态方程与特性方程做比较,可得对应驱动方程。

2.4 画逻辑电路图

根据所选用的触发器,便可以画出由四个JK触发器构成的简易逻辑电路图,如图2。

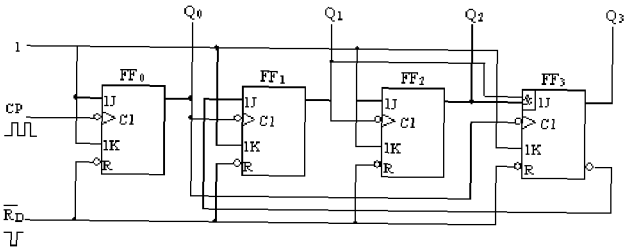


图2 JK触发器连接图

3 EDA电路设计十二进制加法计数器

十二进制加法计数器的工作原理是指当时钟信号clk的上

升沿到来时,且复位信号clr低电平有效时,就把计数器的状态清0。在clr复位信号无效(即此时高电平有效)的前提下,当clk的上升沿到来时,如果计数器原态是11,计数器回到0态,否则计数器的状态将加1。通过VHDL语言编写源程序,并对程序在Quartus II6.0进行仿真得到图3所示结果。

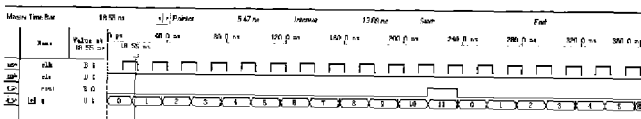


图3 仿真结果图

从上面所举的例子可以得到以下的结论:若以传统的方法来设计,需要用一块万能板将芯片固定,在布线的时候用线将各个引脚连起来。如果出现错误,还得将原来的设计拆掉再次焊接测试,再检查,如此反反复复的进行,这样就增长了设计的时间周期。这样既花费了大量的时间,也耗费了大量的劳动力。

若以Quartus II软件设计,完成设计描述后用VHDL来编写代码十二进制计数器的代码,通过编译器进行排错编译。若出现错误,只须在计算机上检查代码是否有误,或逻辑关系是否正确。可以很容易地对它进行修改,来适应不同规模的应用。并且这些设计只是在电脑上进行,如果调试时出现错误,只需要在电脑上进行修改。这样就可以避免在板上进行测试不对又拆而造成器件损坏的浪费。采用EDA软件的优点是其与工艺的无关性。这使得工程师在功能设计、逻辑验证阶段,可以不必过多考虑门级逻辑实现的具体细节,只需要利用系统设计时对芯片的要求,施加不同的约束条件,即可设计出实际电路。

4 结束语

通过设计十二进制加法计数器可以看出EDA与传统电子设计相比较具有以下优点:先进的设计理念和设计流程;设计输入方式改进;电路系统硬件构成更加灵活;设计可重复利用;EDA技术使拥有自主知识产权成为可能;缩短了设计周期。

[参考文献]

- [1]潘松,黄继业.EDA技术实用教程.北京:科学出版社.2002.
- [2]卢杰,赖毅.VHDL与数字电路设计.北京:科学出版社.2001.