实验一 集成开发平台应用

一、实验目的：

1、了解和掌握EDA电子设计流程

2、应用硬件描述语言实施程序编写

二、实验设备

PC计算机、XILINX（XC6SLX16 V1.1）EDA8.1主板

三、实验内容

设计三人表决表决器，功能为：三人表决时，有两人或以上同意，则为通过。

采用拨码开关s（DK0~DK7）中的三个用于表决，置1为同意，置0为反对；

采用一个LED的亮灭来反映表决结果，亮为通过，灭为不通过。

（该部分根据自己设计的具体情况加以说明）

四、实验步骤

1、建立工程。进行相应设置。

2、添加、建立源程序

3、进行模块的I/O端口定义

4、程序综合

5、转换

6、程序下载

五、扩展内容

1、另外采用三个LED反映三个表决人意见，同意显示亮，否则灭。

2、采用行为描述、数据流描述和结构描述三种方式进行设计。

（该部分为可选项，根据自己的具体情况加以设计说明）

六、撰写实验报告

1）报告内容包括：

一、实验目的：

二、实验设备

三、实验内容：

① 给出三人表决表决器的Verilog程序和进行模块的I/O端口定义

② 扩展内容

四、分析

参见上文棕色部分

2）要求采用实验报告纸书写

附1：参考程序

//-- 描述 : 三人表决器（行为描述方式）

module Vote(A,B,C,L);

//-- 外部端口声明

input A; //模块的输入端口A

input B; //模块的输入端口B

input C; //模块的输入端口C

output reg L; //模块的输出端口L

//-- 逻辑功能实现

always @ (A,C,B) //always在组合逻辑中的用法

begin //always @ (A,B,C)解析：只要A,B,C

case({A,B,C}) //其中有一个信号有变化便会执行begin中的case语句

3'b000: L = 1'b0; //也可以写成always @ (\*)，与always @ (A,B,C)功能相同

3'b001: L = 1'b0; //{A,B,C}解析：把A,B,C三条线合成一条总线

3'b010: L = 1'b0; //举例说明：{1'b1,1'b0}=2'b10

3'b011: L = 1'b1; //

3'b100: L = 1'b0;

3'b101: L = 1'b1;

3'b110: L = 1'b1;

3'b111: L = 1'b1;

default:L = 1'bx; //不要省略

endcase //case语句的结束

end //begin语句的结束

endmodule //module语句的结束

附2：XILINX XC6SLX16 V1.1+EDA8.1主板

J6引脚映射表

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J6 | FPGA | 信号 |  | 器件 | J6 | FPGA | 信号 |  | 器件 |
| 1 |  | +5V |  |  | 21 | C11 | AUDIO\_MCLK | VGAR1 | VGA |
| 2 | E6 | KEYS3 |  | 按键 | 22 | A4 | AUDIO\_LRCK | VGAR2 |
| 3 | C5 | KEYS2 |  | 23 | A5 | AUDIO\_SCLK | VGAR3 |
| 4 | D5 | KEYS1 |  | 24 | B5 | AUDIO\_DATA | VGAR4 |
| 5 |  | GND |  |  | 25 | A6 |  | VGAV |
| 6 | C4 | KEYS0 |  | 按键 | 26 | B6 |  | VGAH |
| 7 | C6 | PS2CLK |  | 鼠标 | 27 | A7 | SGSEL2 | 位选 | 数码管 |
| 8 | D6 | PS2DAT |  | 28 | C8 | SGSEL1 |
| 9 | F7 | KEY3 | VGAB0 | VGA | 29 | A8 | SGSEL0 |
| 10 | C7 | KEY2 | VGAB1 | 30 | B8 | SGDATA0 | 段选 |
| 11 | E7 | KEY1 | VGAB2 | 31 | A9 | SGDATA1 |
| 12 | D8 | KEY0 | VGAB3 | 32 | A11 | SGDATA2 |
| 13 | E8 | DAK7 | VGAB4 | 33 | A10 | SGDATA3 |
| 14 | F9 | DAK6 | VGAG0 | 34 | B10 | SGDATA4 |
| 15 | E10 | DAK5 | VGAG1 | 35 | A12 | SGDATA5 |
| 16 | D9 | DAK4 | VGAG2 | 36 | B12 | SGDATA6 |
| 17 | C9 | DAK3 | VGAG3 | 37 | A13 | SGDATA7 |
| 18 | E11 | DAK2 | VGAG4 | 38 | C13 | IR | 红外遥控 | |
| 19 | C10 | DAK1 | VGAG5 | 39 | B14 | 18B20 | 温度传感器 | |
| 20 | D11 | DAK0 | VGAR0 | 40 |  | 5V |  | |

J7引脚映射表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J7 | FPGA | 信号 | 器件 | | J7 | FPGA | 信号 | 器件 |
| 1 |  |  |  | | 21 | R12 | TFT\_DC |  |
| 2 | N6 | AD\_DCLK | ADC | | 22 | T13 | TFT\_SCL |  |
| 3 | P7 | AD\_DO | 23 | T14 | TFT\_RESET |  |
| 4 | M7 | AD\_CS | 24 | R14 | CAM\_SCL |  |
| 5 | P8 | DA\_CS | DAC | | 25 | T15 | CAM\_SDA |  |
| 6 | N8 | DA\_CLK | 26 | R15 | CAM\_VSYNC |  |
| 7 | L7 | DA\_DIN | 27 | L12 | CAM\_HREF |  |
| 8 | M9 | BUZZER | 蜂鸣器 | | 28 | N14 | CAM\_PCLK |  |
| 9 | N9 | SD0 | MTD | 步进  电机 | 29 | R16 | CAM\_XCLK |  |
| 10 | P9 | SD1 | MTC | 30 | P15 | CAM\_D7 |  |
| 11 | L10 | SD2 | MTB | 31 | P16 | CAM\_D |  |
| 12 | M10 | SD3 | MTA | 32 | M13 | CAM\_D |  |
| 13 | P11 | SD4 | PWM | 33 | M14 | CAM\_D |  |
| 14 | M11 | SD5 |  | | 34 | N16 | CAM\_D |  |
| 15 | P12 | SD6 | TC\_DCLK | 触  摸  屏 | 35 | M15 | CAM\_D |  |
| 16 | N12 | SD7 | DIN | 36 | M16 | CAM\_D |  |
| 17 | M12 |  | TC\_DOUT | 37 | L13 | CAM\_D |  |
| 18 | T9 |  | TC\_PENIRO | 38 | L14 | CAM\_RESET |  |
| 19 | R9 | TFT\_SDO |  | | 39 | L16 | CAM\_PWDN |  |
| 20 | T12 | TFT\_SDA |  | | 40 |  | GND |  |