实验三 基于Verilog的有限状态机设计

一、实验目的：

1、了解和掌握FSM的构成和实质

2、理解和掌握FSM的设计方法

3、设计基于FSM方法的电子钟

二、实验设备

PC计算机、XILINX（XC6SLX16 V1.1）EDA8.1主板

三、实验内容

1、电子钟设计

采用八位数码管分别显示时-分-秒。（24小时模式）

2、完成12小时模式（采用一位数码管显示A或P显示上、下午）

3、将1和2合为一个系统（扩展内容）添加按键设定功能

四、撰写实验报告