实验二 基本数字逻辑单元设计

一、实验目的：

1、了解和掌握EDA电子设计流程

2、学习和掌握基本组合逻辑和时序逻辑电路设计

3、设计基于可编程逻辑器件的数字系统

二、实验设备

PC计算机、XILINX（XC6SLX16 V1.1）EDA8.1主板

三、实验内容

1、组合逻辑电路设计——译码器设计

通过实验板上的S1（DK0~DK7）中的4个拨码开关，控制一位数码管显示，

提示：4位拨码开关对应0000B~1111B共16个状态，一位数码管对应显示0~F。组合逻辑电路设计

2、时序逻辑电路——分频器设计

对板上频率为50MHz的时钟信号进行分频，产生频率为2Hz的脉冲信号；

采用拨码开关s（DK0~DK7）中的二个作为控制开关，对输入信号的2、4、8、16可控分频。

四、撰写实验报告

内容包括：

实验题目

实验目的

实验内容：Verilog程序、自定义的UCF文件

实验结果分析

module Timer(CLKin,RST,CLKout);

input CLKin,RST;//系统时钟信号50MHz和复位信号

output CLKout;//分频后的脉冲信号

reg [26:0]counter;//计数器

reg tmp;

always @(negedge RST,posedge CLKin)

if(!RST) begin counter<=0;tmp<=0;end

else if(counter==12500000-1) begin counter<=0;tmp<=~tmp;end

else counter<=counter+1;

assign CLKout=tmp;//状态输出

endmodule