**4-bit full adder**

班級:電機工程學系-微電子組

姓名:陳琪揚

1. 實驗目的

以verilog語言撰寫一個大小為4 bits的全加器，並將對應的schematic和波形模擬圖跑出來。

1. 實驗原理

使用verilog進行數位電路設計，並將結果利用軟體跑出波形。

1. 實驗材料

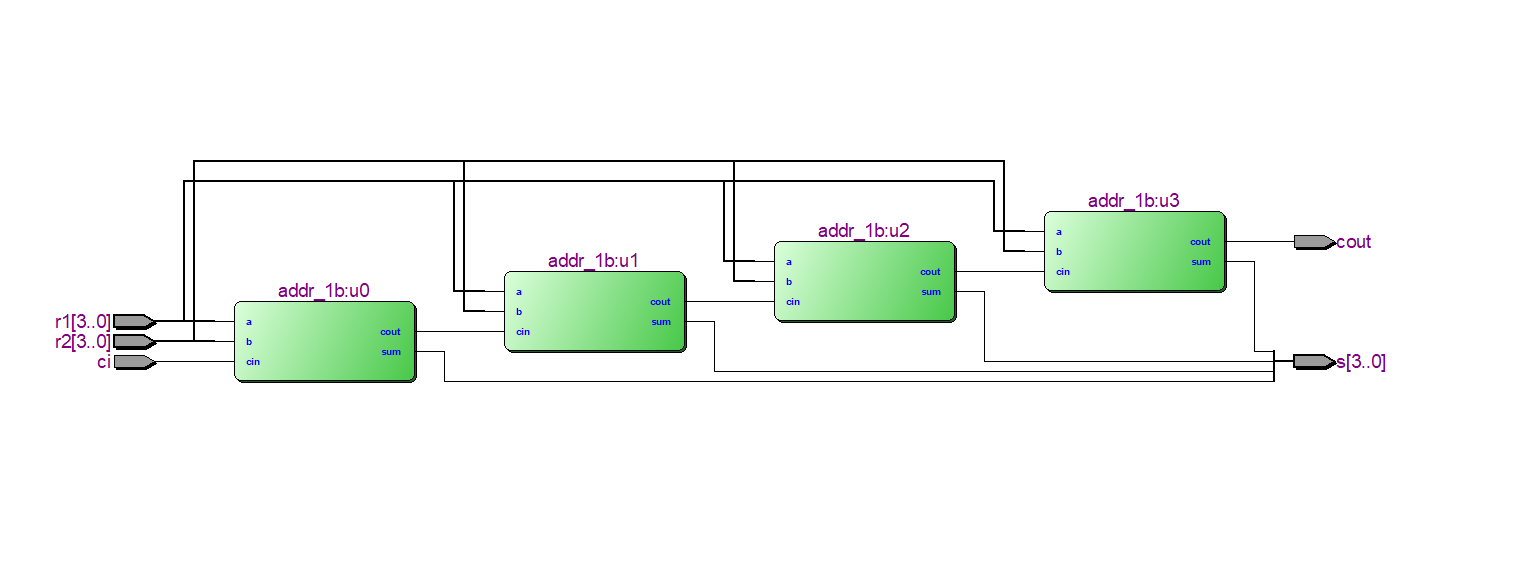
電腦、modelsim、quartus II。

1. 實驗步驟

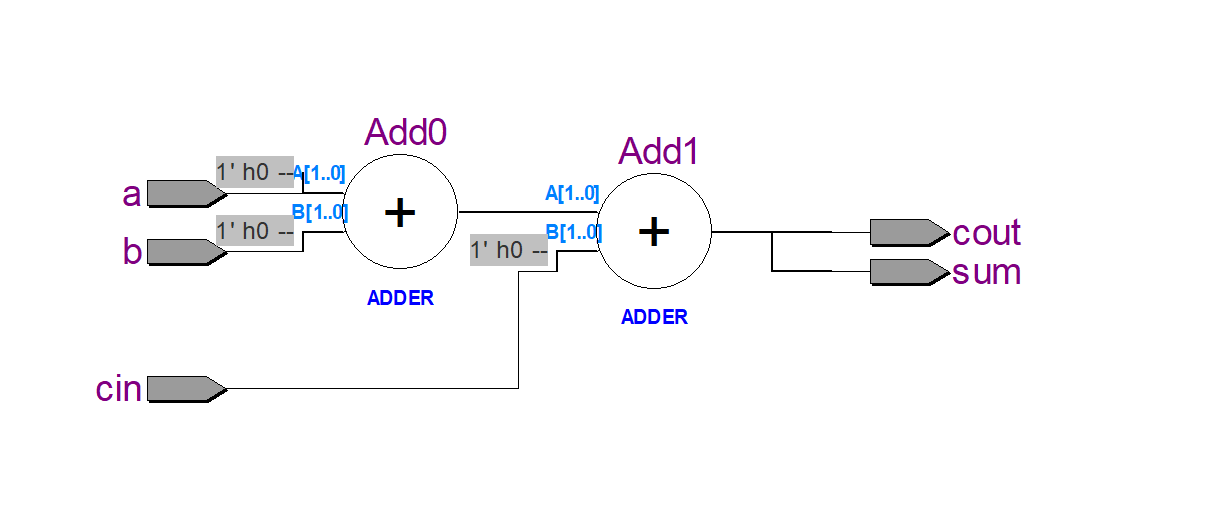
首先在quartus II將code完成後進行compile然後跑出對應的schematic圖，在撰寫測試檔並將兩種code放到modelsim上進行模擬。

1. 實驗結果

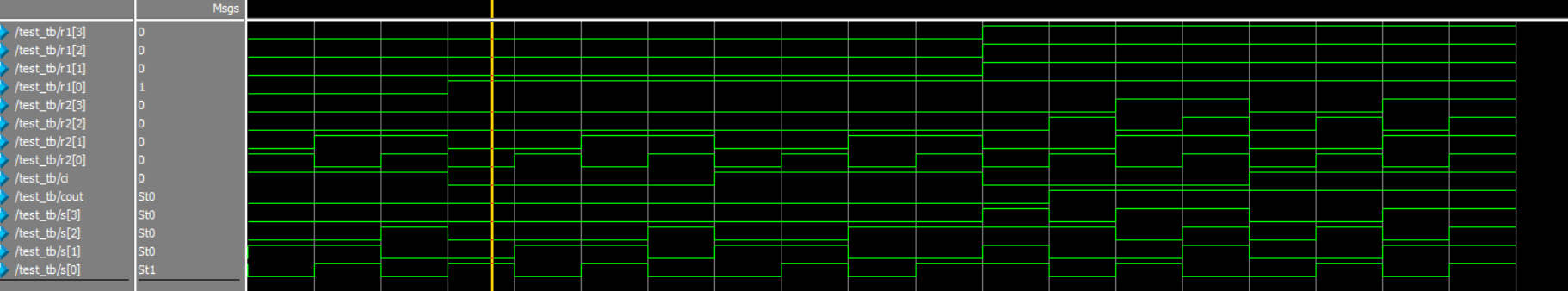
1: 4-bit full adder schematic圖



2:1-bit full adder schematic圖



3:波行模擬圖-(可放大看會更明顯)



1. 實驗心得

本次實驗中我覺得最難做的部分是撰寫測試檔的部分，也不是因為難而是因為需要打的測試部分太多，不過也讓我思考了是否還有更好的寫法撰寫測試檔。