

Checklist

Design Stage	Description	Fin	Comment
Software (/S W)	Your program (none)	y	我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。
RTL implementation (/RTL)	Source file <Verilog file (*.v) >	y	檔案已放在/RTL/hdl 內
	Simulation file <testbench (*.v) ncverilog.log, mist.txt>	y	1.檔案已放在/RTL/sim 內 2.misc.txt 詳述該如何進行模擬 & 為何能驗證我們的正確性
	nLint <nLint.rep>	y	檔案已在/RTL/hdl 內
Synthesis (/SYN)	DC < netlist (*.v), synthesis scripts(*.tcl), synthesis log(*.log), reports(*.rep), misc.txt>	y	netlist 檔案已放在/SYN/netlist 內 timing, power, area 的 report 已放在 /SYN 內 在 misc.txt 中描述設定 constrain 的原因以及合成的策略
P&R (/APR)	ICC <netlist (*.v), delay (*.sdf) P&R log (*.log), reports (*.rep), DRC&LVS results (*.rep)>	y	1.netlist 檔案已放在/APR/netlist 內 2.timing, power, area 的 report 已放在/APR 中 3. P&R log 與 DRC&LVS results 已放在/APR 中 4. 在 misc.txt 中描述設定 constrain 的原因以及 P&R 的策略
	Post-Simulation < testbench (*.v) ncverilog.log>	y	檔案已放在/APR/posim 內

	Power Analysis <pt_power.rep, scripts(*.tcl)>	y	檔案已放在/APR/PT 內
G07_Checklist.pdf	y		
G07_finalproject.pdf	y		

Software Usage

我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。

Project path

/home/u103/u103061136/ICLAB/Final_Project

Filetree

hdl: 放置 RTL 檔

- (1) lenet.v: 最後完成電路的 top module，nlint.f 用於 nLint 驗證的 filelist
- (2) conv_hdl/: 放置 CONV 硬體的資料夾
- (3) conv_top.v、bias_sel.v、conv_control.v、data_reg.v、fsm.v、multiply_compare.v、quantize.v
- (4) fc_hdl/: 放置 FC 硬體的資料夾
- (5) fc_top.v、fc_controller.v、fc_data_reg.v、fc_multiplier_accumulator.v、fc_quantize.v
- (6) nlint.rep: nLint result

sim: 放置模擬的檔案

- (1) bmp/: 放置測試的 5 張 MNIST 照片
- (2) golden/: 放 5 張測試照片的每層 feature map 值(00~04)
- (3) sram_model/: 放置三種 sram_model
- (4) test_*.v: 測試的 script 本身，可單獨測試 conv、fc，也可以測試全體

(5) top & 2_set run_*.f: include 所有 run 時需要的檔案和執行指令

syn: 放置DC 處理的檔案

- (1) netlist: 放置合成結果之.v 檔與 delay file
- (2) report: 放置 timing、area、power 之 report
- (3) 合成之.tcl files

icc: 放置P&R 的檔案

- (1) icc_run: P&R 設置之 library 及.tcl files
- (2) post_layout: P&R 之結果與 delay files
- (3) pre_layout

post_sim: post-layout simulation 之結果

- (1) test_post_sim.v: post-layout simulation 之 test bench
- (2) post_sim.f: 執行之 file list