**Checklist**

|  |  |  |  |
| --- | --- | --- | --- |
| Design Stage | Description | Fin | Comment |
| Software (/S W) | Your program (none) | y | 我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。 |
| RTL implementation (/RTL) | Source file <Verilog file (\*.v) > | y | 檔案已放在/RTL/hdl內 |
| Simulation file <testbench (\*.v) ncverilog.log, mist.txt> | y | 檔案已放在/RTL/sim內  misc.txt 詳述該如何進行模擬 & 為何能驗證我們的正確性 |
| nLint <nLint.rep> | y | 檔案已在/RTL/hdl內 |
| Synthesis (/S YN) | DC < netlist (\*.v), synthesis scripts(\*.tcl), synthesis log(\*.log), reports(\*.rep), misc.txt> | n | netlist檔案已放在/S YN/netlist內  其餘檔案請放在/S YN內  請記得附上timing, power, area的 report 請在misc.txt中描述設定 constrain的原因以及合成的策略 |
| ICC <netlist (\*.v), delay (\*.sdf) P&R log (\*.log), reports (\*.rep), DRC&LVS results (\*.rep)> | y | 1.netlist檔案請放在/APR/netlist內 2. 其餘檔案請放在/APR內 3.請記得附上timing, power, area的 report  4. 請在misc.txt中描述設定 constrain的原因以及P&R的策略 |
| P&R (/APR) | Post-Simulation < testbench (\*.v) ncverilog.log> |  | 1. 檔案請放在/APR/posim內 |
| Power Analysis <pt\_power.rep, scripts(\*.tcl)> |  | 1.檔案請放在/APR/PT內 |
| G07\_Checklist.pdf |  | | |
| G07\_finalproject.pdf |  | | |

**Software Usage**

我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。

**Project path**

u10306xxxx/IClab/Lenet\_Accelerator

**Filetree**

hdl: 放置RTL檔案Our\_top.v 最後完成電路的top module nlint.f用於nLint驗證的filelist CONV\_HDL/: 放置 CONV 硬體的資料夾

conv\_top.v bias\_sel.v conv\_control.v data\_reg.v  
fsm.v multiply\_compare.v quantize.v

FC\_HDL/: 放置 FC 硬體的資料夾 fc\_top.v

fc\_controller.v fc\_data\_reg.v fc\_multiplier\_accumulator.v fc\_quantize.v

sim: 放置模擬的檔案bmp/ : 放置測試的 5 張 MNIST 照片golden/ : 放 5 張測試照片的每層 feature map 值(00~04)  
sram\_model/ : 放置三種 sram\_model  
test\_\*.v: 測試的 script 本身，可單獨測試 conv, fc，也可以測試全體 top & 2\_set run\_\*.f: include 所有 run 時需要的檔案和執行指令

syn: 放置 DC 處理的檔案 icc: 放置 P&R 的檔案