**Checklist**

|  |  |  |  |
| --- | --- | --- | --- |
| Design Stage | Description | Fin | Comment |
| Software (/S W) | Your program (none) | y | 我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。 |
| RTL implementation (/RTL) | Source file <Verilog file (\*.v) > | y | 檔案已放在/RTL/hdl內 |
| Simulation file <testbench (\*.v) ncverilog.log, mist.txt> | y | 1.檔案已放在/RTL/sim內  2.misc.txt 詳述該如何進行模擬 & 為何能驗證我們的正確性 |
| nLint <nLint.rep> | y | 檔案已在/RTL/hdl內 |
| Synthesis (/SYN) | DC < netlist (\*.v), synthesis scripts(\*.tcl), synthesis log(\*.log), reports(\*.rep), misc.txt> | y | netlist檔案已放在/SYN/netlist內  timing, power, area的 report已放在/SYN內 在misc.txt中描述設定 constrain的原因以及合成的策略 |
| P&R (/APR) | ICC <netlist (\*.v), delay (\*.sdf) P&R log (\*.log), reports (\*.rep), DRC&LVS results (\*.rep)> | y | 1.netlist檔案已放在/APR/netlist內  2.timing, power, area的 report 已放在/APR中  3. P&R log 與DRC&LVS results已放在/APR中  4. 在misc.txt中描述設定 constrain的原因以及P&R的策略 |
| Post-Simulation < testbench (\*.v) ncverilog.log> | y | 檔案已放在/APR/posim內 |
| Power Analysis <pt\_power.rep, scripts(\*.tcl)> | y | 檔案已放在/APR/PT內 |
| G07\_Checklist.pdf | y | | |
| G07\_finalproject.pdf | y | | |

**Software Usage**

我們使用 HW5 由助教提供的權重值、測資，故省略這一部分。

**Project path**

/home/u103/u103061136/ICLAB/Final\_Project

**Filetree**

***hdl: 放置RTL檔***

1. lenet.v: 最後完成電路的top module，nlint.f用於nLint驗證的filelist
2. conv\_hdl/: 放置 CONV 硬體的資料夾
3. conv\_top.v、bias\_sel.v、conv\_control.v、data\_reg.v、fsm.v、multiply\_compare.v、quantize.v
4. fc\_hdl/: 放置 FC 硬體的資料夾
5. fc\_top.v、fc\_controller.v、fc\_data\_reg.v 、fc\_multiplier\_accumulator.v、fc\_quantize.v
6. nlint.rep: nLint result

***sim: 放置模擬的檔案***

1. bmp/ : 放置測試的 5 張 MNIST 照片
2. golden/ : 放 5 張測試照片的每層 feature map 值(00~04)
3. sram\_model/ : 放置三種 sram\_model
4. test\_\*.v: 測試的 script 本身，可單獨測試 conv、fc，也可以測試全體
5. top & 2\_set run\_\*.f: include 所有 run 時需要的檔案和執行指令

***syn: 放置 DC 處理的檔案***

1. netlist: 放置合成結果之.v檔與delay file
2. report: 放置timing、area、power之report
3. 合成之.tcl files

***icc: 放置 P&R 的檔案***

1. icc\_run: P&R設置之library及.tcl files
2. post\_layout: P&R之結果與delay files
3. pre\_layout

***post\_sim: post-layout simulation之結果***

1. test\_post\_sim.v: post-layout simulation之test bench
2. post\_sim.f: 執行之file list