**实验二 组合电路设计实验报告**

**姓名**：张驰  **学号**：1120191600

**班级**：07111904班 **手机**：18810575675

1. **实验题目**

设计一个组合电路，输入一个3位的数字, 输出一个6位的二进制数字， 且输出数字的值等于输入数字值的平方。

1. **实验约束**

* 电路设计时只能使用或非门和非门进行实现。
* 采用Verilog实现时使用结构化描述方式。

1. **电路设计**
   1. **规范化**

输入：三个二进制变量S[2]、S[1]、S[0]

输出：六个二进制变量 Y[5]、Y[4]、Y[3]、Y[2]、Y[1]、Y[0]

电路中通过**或非门和非门**来对输入进行处理，通过对每一位二进制变量的运算，得到每一个二进制变量输出Y[i]

* 1. **形式化**

真值表如下：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | |
| 值 | S[2] | S[1] | S[0] | 值 | Y[5] | Y[4] | Y[3] | Y[2] | Y[1] | Y[0] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 | 4 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 9 | 0 | 0 | 1 | 0 | 0 | 1 |
| 4 | 1 | 0 | 0 | 16 | 0 | 1 | 0 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 25 | 0 | 1 | 1 | 0 | 0 | 1 |
| 6 | 1 | 1 | 0 | 36 | 1 | 0 | 0 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 49 | 1 | 1 | 0 | 0 | 0 | 1 |

* 1. **优化**

每一个输出变量对应的卡诺图：

① Y[5]:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S[1]S[0] | 00 | 01 | 11 | 10 |
| S[2] |
| 0 |  |  |  |  |
| 1 |  |  | 1 | 1 |

得：

② Y[4]:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S[1]S[0] | 00 | 01 | 11 | 10 |
| S[2] |
| 0 |  |  |  |  |
| 1 | 1 | 1 | 1 |  |

得：

注：这里提取公因子对卡诺图进行进一步的优化

③ Y[3]:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S[1]S[0] | 00 | 01 | 11 | 10 |
| S[2] |
| 0 |  |  | 1 |  |
| 1 |  | 1 |  |  |

注：这里提取公因子对卡诺图进行进一步的优化

④ Y[2]:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S[1]S[0] | 00 | 01 | 11 | 10 |
| S[2] |
| 0 |  |  |  | 1 |
| 1 |  |  |  | 1 |

得：

⑤ Y[1]:

显然：

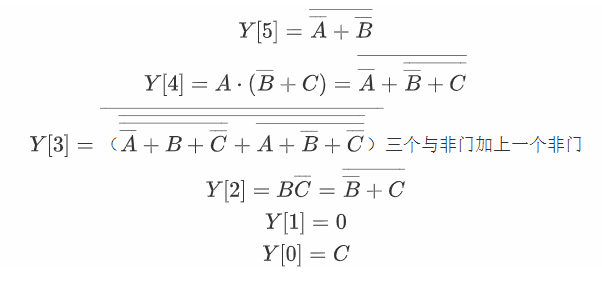
⑥ Y[0]:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S[1]S[0] | 00 | 01 | 11 | 10 |
| S[2] |
| 0 |  | 1 | 1 |  |
| 1 |  | 1 | 1 |  |

得：

综上，每一个变量化成**或非门**和**非门**的组合：

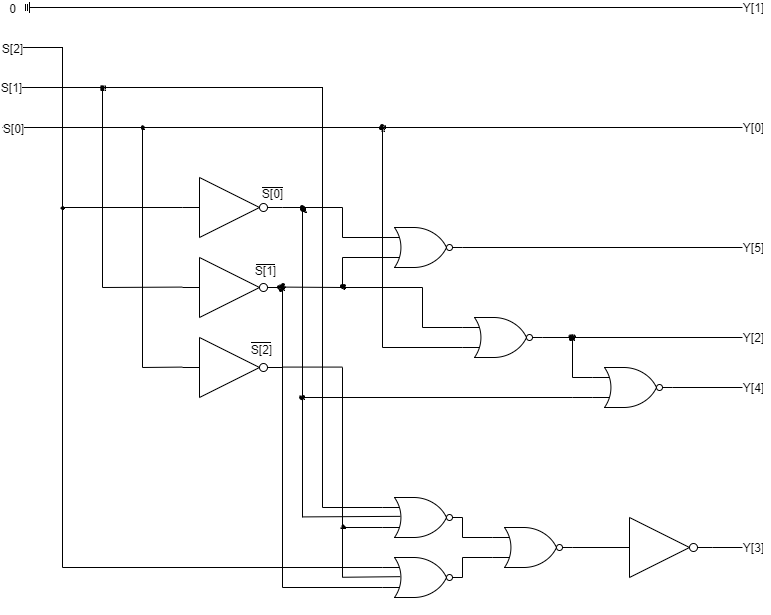
下表中令A=S[2], B=S[1], C=S[0]，用来便于表示：



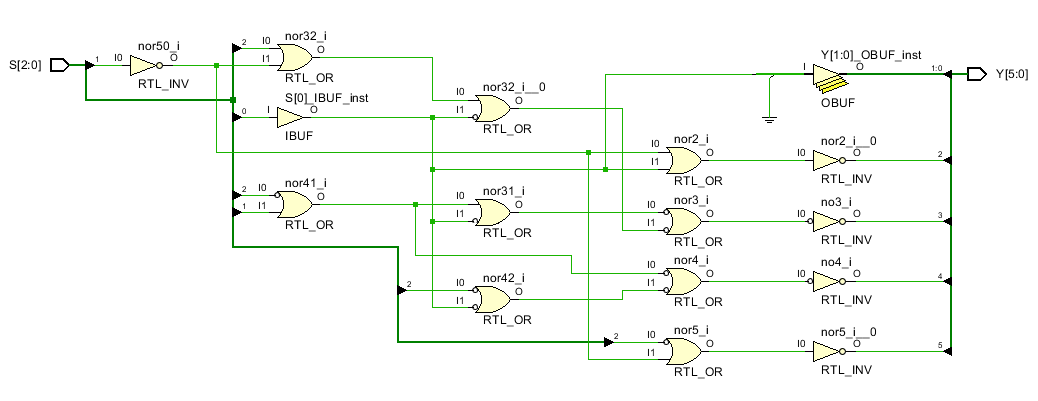
* 1. **工艺映射**

该部分通过工艺映射将电路映射成只包含或非门和非门的实现。

工艺映射前的电路图如下所示：



工艺映射后的电路图如下所示：



1. **电路实现**
2. `timescale 1ns / 1ps
3. ///////////////////////////////////////////////////////////////////
4. //
5. // Create Date: 2021/05/06 13:33:18
6. // Design Name: experiment2
7. // Module Name: ex2
8. // Project Name: experiment2
9. //
10. // Designer: 张驰
11. // StudentID: 1120191600
12. ////////////////////////////////////////////////////////////////////
13. module ex2(S,Y);
14. input [2:0] S;
15. output [5:0] Y;
16. wire middle4\_1,middle4\_2;//Y[4]的中间变量4\_1, 4\_2
17. wire middle3\_1,middle3\_2;//Y[3]的中间变量3\_1, 3\_2
18. wire not3,not4;//中间变量 Y[3]的非  Y[4]的非
19. nor //或非门运算
20. nor5(Y[5],~S[2],~S[1]),//运算得到Y[5]
21. nor2(Y[2],~S[1],S[0]),//运算得到Y[2]
23. nor41(middle4\_1,~S[2],S[1]),//运算得到Y[4]的中间变量middle4\_1
24. nor42(middle4\_2,~S[2],~S[0]),//运算得到Y[4]的中间变量middle4\_2
25. nor4(not4,middle4\_1,middle4\_2),
26. nor31(middle3\_1,~S[2],S[1],~S[0]),//运算得Y[3]中间变量middle3\_1
27. nor32(middle3\_2,S[2],~S[1],~S[0]),//运算得Y[3]中间变量middle3\_2
28. nor3(not3,middle3\_1,middle3\_2);
29. not //非门运算
30. no3(Y[3],not3),//非门Y[3] = ~not3
31. no4(Y[4],not4);//非门Y[4] = ~not4
33. assign Y[1]=0;
34. assign Y[0]=S[0];
36. endmodule

从第13行开始声明模块（module），到第38行以endmodule结束，接下来是模块的输入输出声明，输入声明input [2:0] S，输出声明 output [5:0] Y。

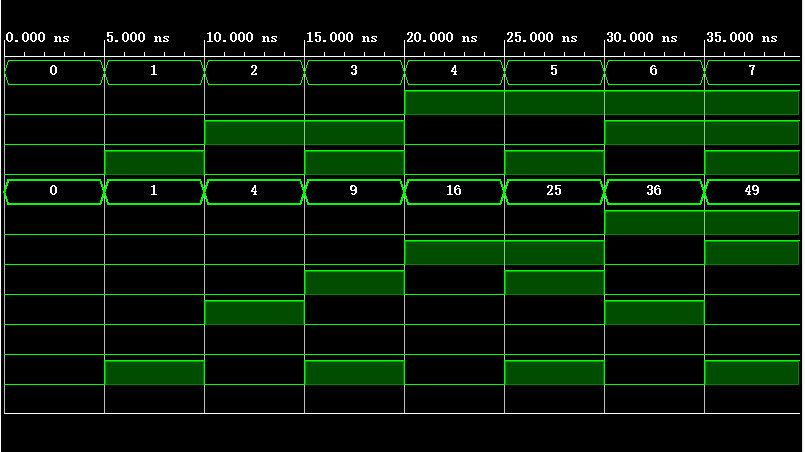
在第16行到第36行的代码之间，是中间变量和变量的运算过程，定义或非门和非门对中间变量和变量进行运算。

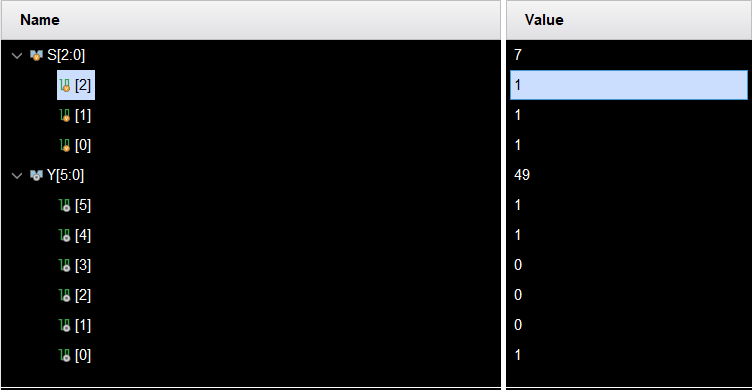
1. **电路验证**
   1. **TestBench**
2. `timescale 1ns / 1ps
3. ///////////////////////////////////////////////////////////////////
4. //
5. // Create Date: 2021/05/06 13:33:18
6. // Design Name: experiment2
7. // Module Name: ex2
8. // Project Name: experiment2
9. //
10. // Designer: 张驰
11. // StudentID: 1120191600
12. //////////////////////////////////////////////////////////////////////////////////
13. module testbench(
14. );
15. reg [2:0] S; //对应ex2 模块的输入
16. wire [5:0] Y; //对应ex2 模块的输出
17. initial begin
18. S[2]=1'b0; //初始化
19. #20 S[2]=1'b1; //之后每20ns S[2]变化一次，第一位变化一次
20. end
21. initial begin
22. S[1]=1'b0;
23. #10 S[1]=1'b1;
24. #10 S[1]=1'b0;
25. #10 S[1]=1'b1;//每10ns S[1]变化一次，第二位变化一次
26. end
27. initial begin
28. S[0]=1'b0;
29. #5 S[0]=1'b1;
30. #5 S[0]=1'b0;
31. #5 S[0]=1'b1;
32. #5 S[0]=1'b0;
33. #5 S[0]=1'b1;
34. #5 S[0]=1'b0;
35. #5 S[0]=1'b1;//每 5ns S[0]变化一次，第三位变化一次
36. end
37. //5ns第三位变化一次 10ns第二位变化一次 20ns第一位变化一次 保证S[2:0]存储的三位二进制数字从000-111变化
38. ex2 ex2(
39. .S(S),
40. .Y(Y)
41. );
42. endmodule

vivado的testbench代码部分，对本次的实验进行了仿真，仿真的变化将输入的值从0-7变化，测试仿真的输出结果。

1. **仿真结果**







我们从仿真得出的波形可以看出，当输入为0，1，2，3，4，5，6，7时，输出为0，1，4，9，16，25，36，49 ，输出值恰好为输入值的平方， 对应的六位二进制波形也和真值表相对应。

仿真结果正确。

1. **实验心得**

在本次组合电路设计的过程中，这次实验使用了或非门和非门，进行组合逻辑电路的设计。分析组合逻辑电路时，要先由给定的逻辑写出真值表，根据真值表列出每一个输出变量的卡诺图，根据卡诺图写出化简后函数式。

由于实验要求使用或非门和非门，我们需要用或非门和非门替代掉与门、或门和非门，最后画出逻辑图，并测试逻辑功能。

在本次实验中，我更清晰地明白了如何设计组合逻辑电路，如何将设计转化成我们有的元器件，更加深刻地理解了数字逻辑课程中的组合电路设计部分。