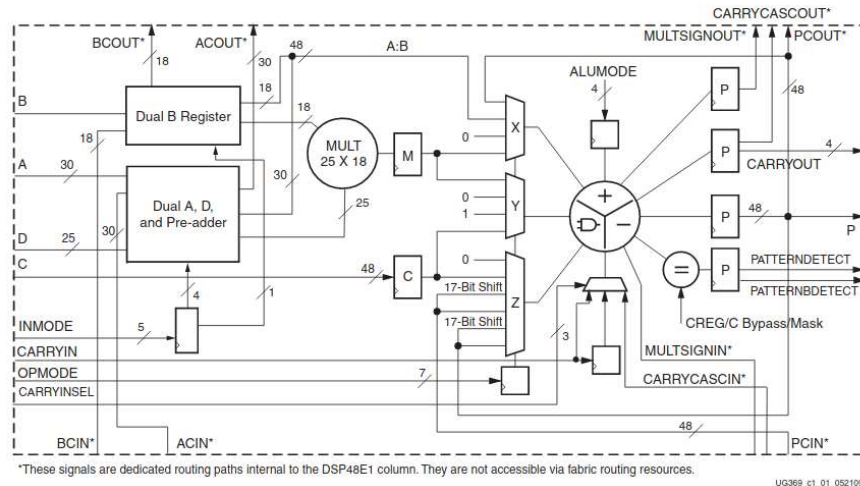


(2) Simple compute system use DSP module

甲、摘要

利用 Verilog Template 呼叫 DSP48E1 及 RAMB36E1 module，並自行設定其中的 attributes，來搭建一個簡單的運算系統。



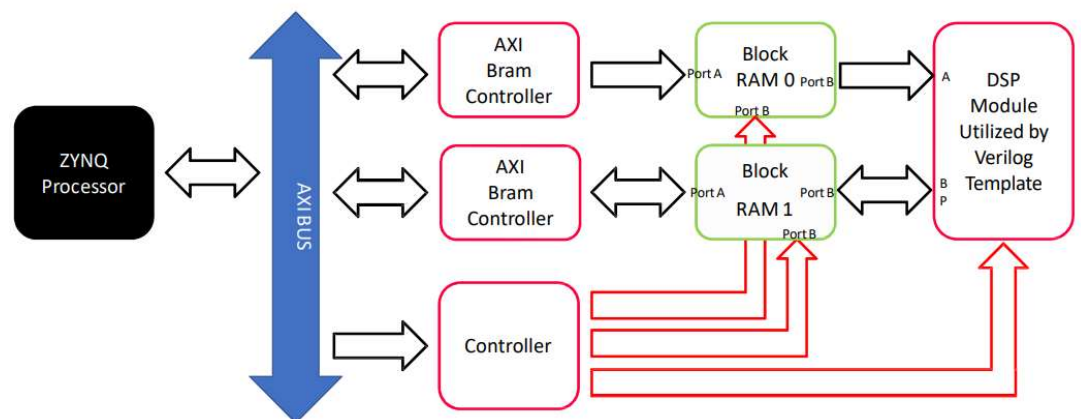
圖一、DSP48E1 內部結構

乙、想法

自行建立 Instruction format，並根據指令的各種 opmode 和 Bram address 來進行操作。最後用 Block design 搭建整個系統，並用 embedded C 在 Vitis IDE 上與 PL 端作互動。

inst[30:27]	inst[30:27]	inst[26:20]	inst[19:15]	inst[14:10]	inst[9:5]	inst[4:0]
read enable	dsp_alumode	dsp_opmode	dsp_inmode	bram1_Waddr	bram1_Raddr	bram0_Raddr

圖二、Instruction format



圖三、系統方塊圖

丙、結果

