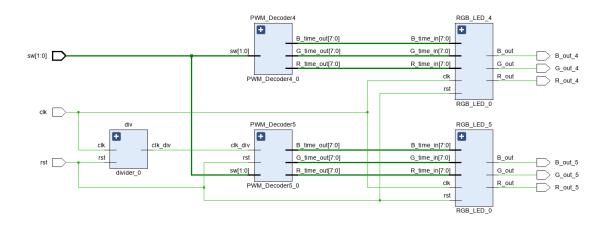
FPGA DESIGN

Homework 2 Report

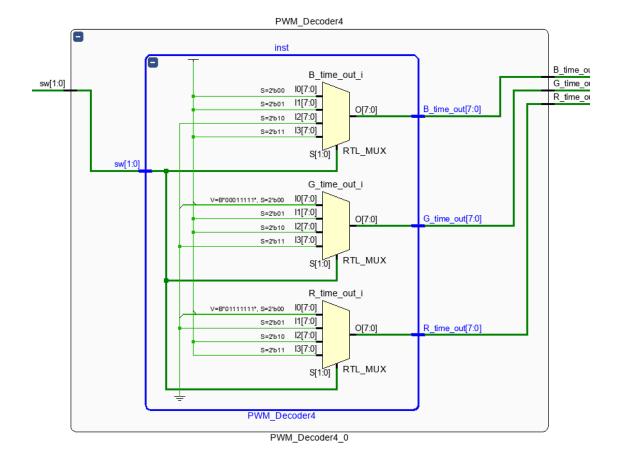
	姓名	學號
組員1	郭家佑	F64096114
組員2	蔡奇佑	E24096213
組員3	趙泓瑞	E14071025

1. Problem1

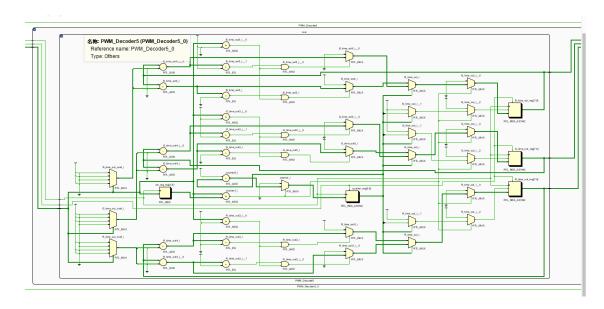
- Design introduction
 - Architecture
 - ◆ Top



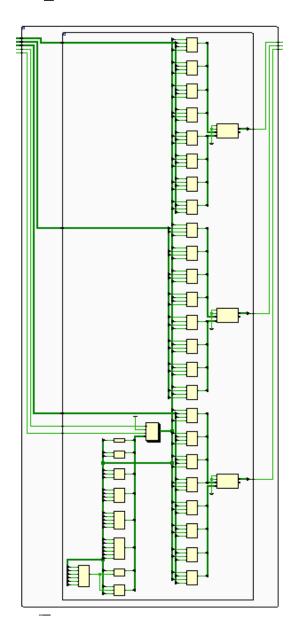
◆ PWM_Decoder4



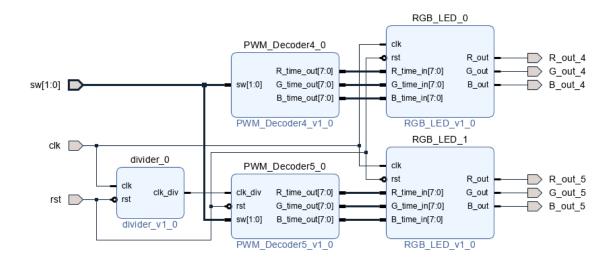
◆ PWM_Decoder5



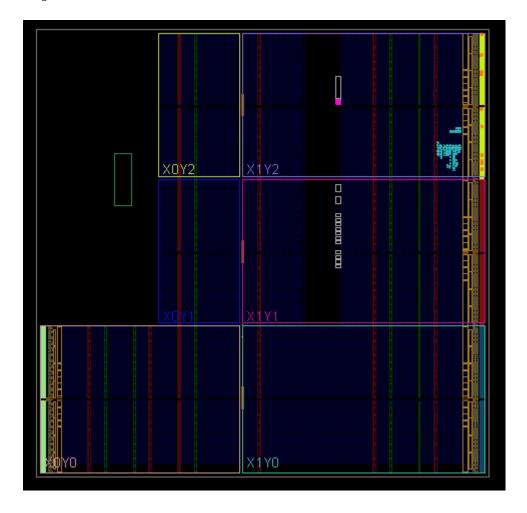
◆ RGB_LED



■ Block Design



■ Implementation



■ Control logic

◆ PWM_Decoder4

於 module PWM_Decoder4 中確定 sw(switch)對於輸出的顏色影響。 module RGB_LED 使用 counter_256 來決定顯示與否,縱使 counter_256==X_time_in 時會滅燈,但由於視覺暫留,所以看不出來。

◆ PWM_Decoder5

於 module PWM_Decoder5 中除了確定 sw(switch)對於輸出的顏色影響,我們把 X_time_in 切成 32 等分做每 clk_div 的累加。例如 FF(255)的每一次會+8 或-8 同理 1F(31)每一次+1 或-1,在 counter 累 加前半 16 等分(counter[5] == 1'b0)做亮度的累加,當他到 counter[5] == 1'b1 時為高峰,做亮度的累減。由於速度很快,視覺 暫留而呈現線性的亮度增減。

• Simulation result

本電路以 2bit 輸入的 switch 作為亮燈顏色的控制,同時都可以被 Button[0]做訊號的 reset。以下分別為:

1. Purple(00)



2. Cyan(01)



3. Yellow(10)



4. Crimson(11)



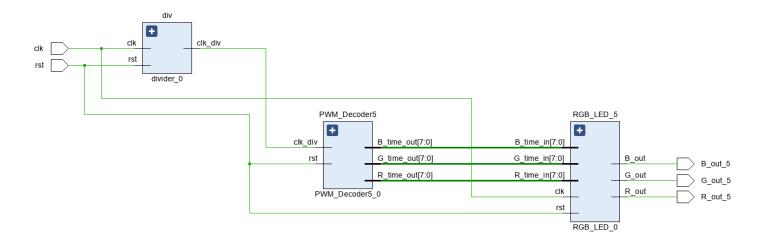
詳細操作影片可參考:

https://drive.google.com/file/d/1HS2kR6SSuHpWSGBjCwsARTRuB8-

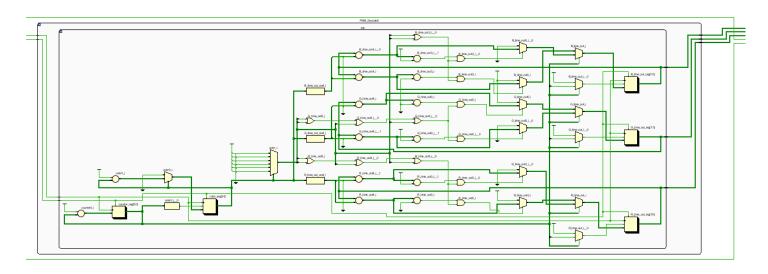
dv06r/view?usp=share_link

2. Problem2

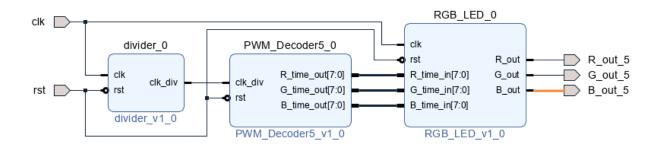
- Design introduction
 - Architecture
 - ◆ Top



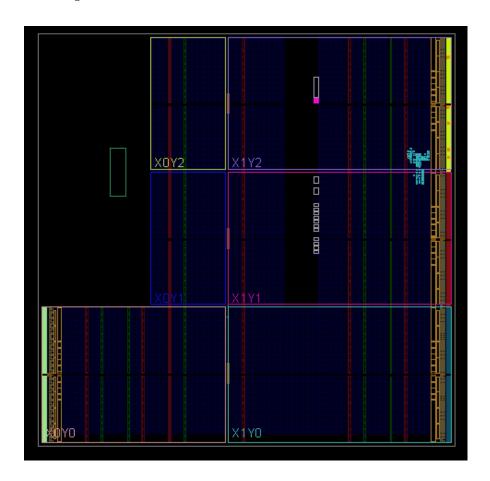
◆ PWM_Decoder5



■ Block Design



■ Implementation



■ Control logic

◆ PWM_Decoder5

於 module PWM_Decoder5 中,X_time_out 的 control,X_time_out_coef 依據每個 state 的值不同之外,在相加相減沒有 overflow 的狀況下,此 顏色訊號非 0 的 X_time_out 會依據 counter[5]做亮度增幅與減幅,達到 以除頻器週期的換色與強弱。

• Simulation result

本電路以 3bit color 作為亮燈顏色的控制。以下分別為:

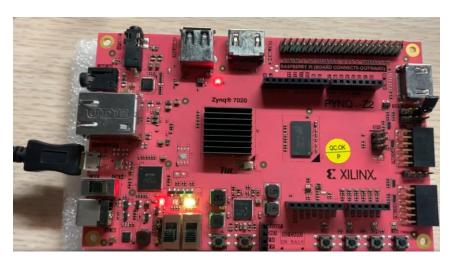
1. 紅(000)state 0



2. 橙(001) state 1



3. 黄(010) state 2



4. 綠(011) state 3



5. 藍(100) state 4



6. 紫(101) state 5



詳細操作影片可參考:

https://drive.google.com/file/d/1HQ8UGdMiqEREHqp6ukXtuCBz

fLzJela7/view?usp=share_link