

# FPGA Design – Spring 2023

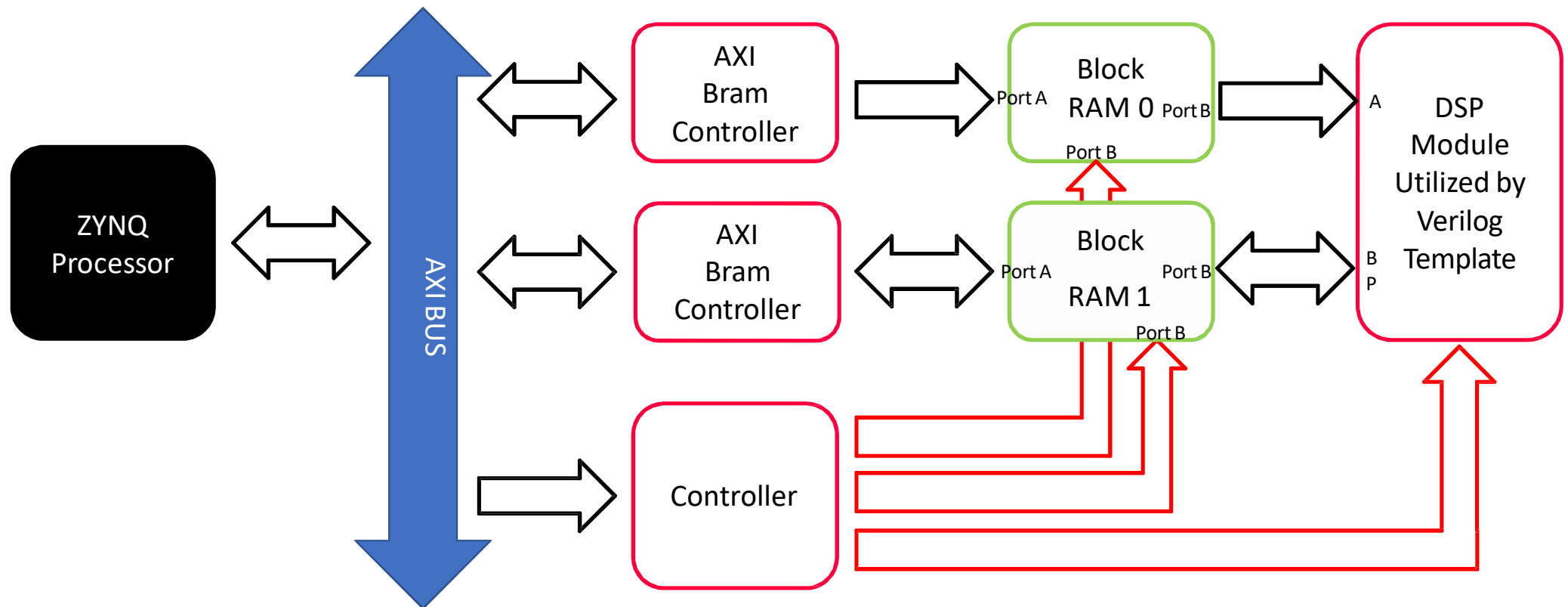
## Homework 5

Date : 2023/05/08

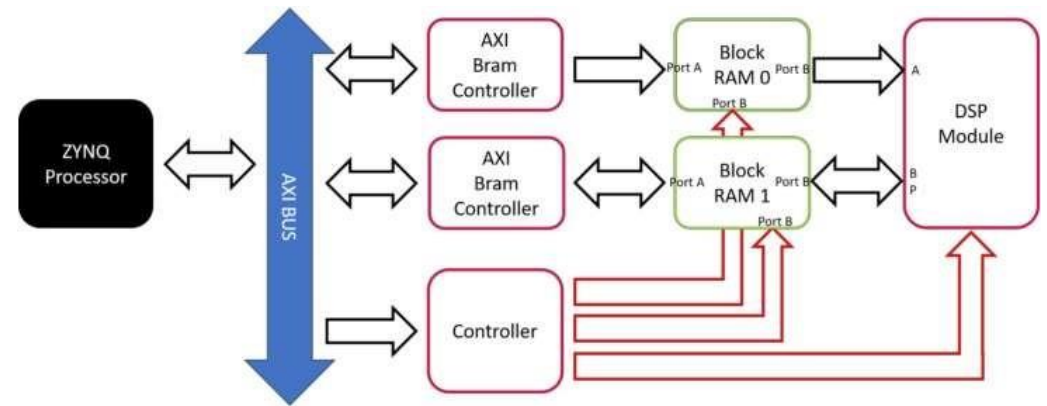
# Outline

- Problem1 – Simple Computing System
- Problem

# Problem1 – Simple Computing System (80%)



# Description



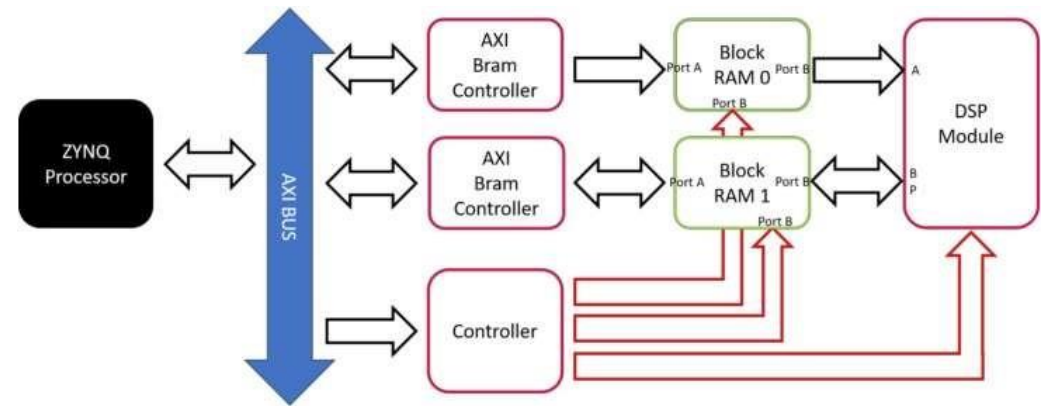
- Block RAM

- 考量到Instruction長度, Block RAM 0, Block RAM 1只會使用到前32x32b的位置。
- 兩個 Block RAM 都有規定的初始值
- Read/Write
  - BRAM0:由CPU經Port A 寫入；由Controller經Port B讀出送至DSP的Input A。
  - BRAM1:由CPU經Port A 讀寫；由Controller經Port B讀出送至DSP的Input B，並寫入DSP的運算結果。

- DSP

- Data Input只有 A, B，Data Output 只有 P。
- Port C 固定為常數 0x0000\_0009\_5514。
- 控制訊號有INMODE, OPMODE, ALUMODE，CARRYINSEL設為000並將CARRYIN設為0即可。
- Pipeline Register數量自訂，但AREG, BREG, PREG需至少為1。

# Controller Instruction



- Instruction 可透過 AXI GPIO 送入，也可將Controller 實作成一個 AXI IP。
- Definition

[31]	[30:27]	[26:20]	[19:15]	[14:10]	[9:5]	[4:0]
Execute	DSP ALUMODE	DSP OPMODE	DSP INMODE	BRAM1 Write Addr	BRAM1 Read Addr	BRAM0 Read Addr

# Spec

Data width	32-bit
Each Block Memory Size	32Kb (32x32b Accessible)
RAM Mode	True Dual Port
DSP Use D Port	False
Number System	2's complement
Unequal Data Width Transfer	LSB (Ex. 32-bit data ->30 take [29:0])

# Block RAM Initial Data

Both BRAMs share same initial data

Number	Data
0	0x0000_0023
1	0x0000_0001
2	0x0000_1201
6	0x0000_0531
11	0xFFFF_FF23
31	0x0000_2236
Others	0x0000_0000

# Test

- 這次作業有規定的執行流程，  
請依照右方 Pseudo Code 撰寫 C Code。

```
Initially Configure FPGA
# Program Start

BRAM1[3] <= BRAM0[0] * BRAM1[2];
BRAM1[7] <= BRAM0[11] * BRAM1[3];
BRAM1[10] <= BRAM0[31] * BRAM1[7] + C;
BRAM1[13] <= C - BRAM0[1] * BRAM1[6];
BRAM1[15] <= BRAM0[0] * BRAM1[31] - C - 1;

for(i = 0; i < 32; i++)
{
    print(BRAM1[i]); //Show "BRAM1[i] = 0x_____"
}

for(i = 0; i < 32; i++)
{
    BRAM0[i] <= (i + 1) ^ 2 ;
}

BRAM1[16] <= BRAM0[0] * BRAM1[2];
BRAM1[17] <= BRAM0[11] * BRAM1[3];
BRAM1[18] <= BRAM0[31] * BRAM1[7] + C;
BRAM1[19] <= C - BRAM0[1] * BRAM1[6];
BRAM1[20] <= BRAM0[0] * BRAM1[31] - C - 1;

for(i = 0; i < 32; i++)
{
    print(BRAM1[i]); //Show "BRAM1[i] = 0x_____"
}
```



## Problem (20%)

- 1. PYNQ-Z2 上共有多少個 DSP48E1 Slice ?

# 繳交說明

- 繳交期限 : 5/22 (一) 19:00 逾時拒收以0分計算
- 請壓縮成 .rar 或是 .zip
- 說明文件(10%)內容至少要有組員學號、電路設計說明、Block Design 截圖
  - 使用Word、PPT撰寫請轉成pdf檔，違者斟酌扣分
  - 使用Markdown撰寫可直接上傳
- 不用上傳整個Vivado Project，只需提供source file、xdc、xsa、vitis project 即可

# 檔案格式

- FPGA\_HW5\_GroupX
  - Problem1
    - src
      - software
        - \*.c
      - hdl
        - \*.v
      - ip\_repo(若無打包IP則不用)
    - xdc(若無使用到則不用)
      - \*.xdc
    - xsa
      - \*.xsa
    - vitis project
  - document