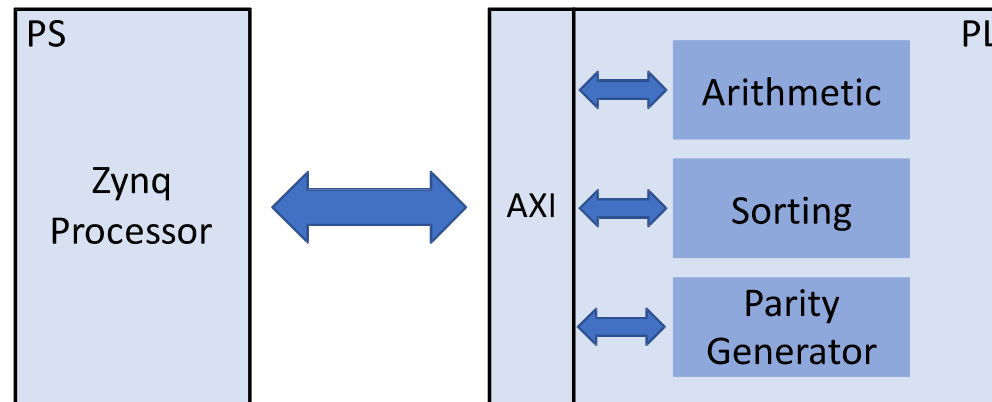


## Problem3(45%)

- 請將以下電路統整在一個block design
  - Arithmetic
  - Sorting
  - Parity Generator
- 以上三個電路皆用Verilog完成。
- 可參考Lab3-3。



## Problem3-1 – Arithmetic(15%)

- 設計一個計算電路，由 processor 輸入運算子與運算元並回傳運算完的結果。(加, 減, 乘)
  - 資料寬度為8 bit。
  - 需考慮有號數。(正、負、overflow)

## Problem3-2 – Sorting(15%)

- 設計一個排序電路，由 processor 輸入一串正整數將其排序後傳回。(數列長度固定)
  - 數字位元數自訂。(最少4bit)
  - 數列長度自訂。(最少8筆數字)
  - 需在作業說明中簡單講解你們所使用的排序演算法、定義的數字位元數、數列長度。

## Problem3-3 – Parity Generator(15%)

- 設計parity generator，輸入 32-bit 資料回傳其parity bit。