

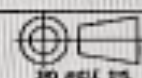
VARIATION(ALL DIMENSIONS SHOWN IN MM)

SYMBOL	MIN.	NOM.	MAX.
A2	0.700	0.750	0.775
b	0.350	—	0.500
c	0.100	—	0.200
D	2.800	2.900	3.000
E	3.600	3.800	4.000
E1	1.500	1.600	1.700
e	0.950 BSC		
e1	1.900 BSC		
L1	1.100 REF		
theta1	4°	10°	12°

NOTE :

1. JEDEC OUTLINE : N/A.

超豐電子股份有限公司
GREATEK ELECTRONICS INC.



比例
SCALE

材料
MATERIAL

制程
PROCESS

数量
QTY

製圖
DRAWN
日期
DATE
8/7/98

圖名
FILE
THIN SMALL OUTLINE TRANSISTOR PACKAGE
OUTLINE TSOT-25 SPIN DATA SHEET (中圖)

審核
CHECKED
日期
DATE
8/7/98

圖號
FILE
J1-04005-006

繪圖
DRAWN
日期
DATE
8/7/98

圖號
FILE
J1-04005-006-01

圖號
REV
01

數量
QTY
1