


Họ và Tên: HàTrung Chiến

MSSV: 20225794

Lab 12

Assignment 1:

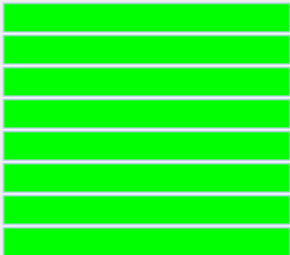
 Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	4
Set size (blocks)	1	Cache size (bytes)	128

Cache Performance

Memory Access Count	256	Cache Block Table (block 0 at top) <input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input type="checkbox"/> = miss	
Cache Hit Count	192		
Cache Miss Count	64		
Cache Hit Rate	75%		

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS Reset Close

Cache hit rate là 75%. Do mỗi lần cache miss xảy ra, một khối gồm 4 kí tự sẽ được đưa vào trong cache. Đoạn code truy cập chỉ số của mảng theo thứ tự các phần tử được lưu trong bộ nhớ, nên mỗi lần cache miss, lấy về 1 block thì 3 lần sau sẽ có cache hit do chúng ở cùng một block

- Tổng số truy cập mỗi block: 4
- Cache miss: 1
- Cache hit 4

→ Tỷ lệ là $\frac{3}{4} = 75\%$

Tương tự với cách giải thích trên, khi kích thước của khối là 8, ta sẽ có tỉ lệ cache hit là 88% (7/8).

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	8
Set size (blocks)	1	Cache size (bytes)	256

Cache Performance

Memory Access Count	256	Cache Block Table (block 0 at top) <input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input type="checkbox"/> = miss	
Cache Hit Count	224		
Cache Miss Count	32		
Cache Hit Rate	88%		

Runtime Log

☐ Enabled

Tool Control


Disconnect from MIPS Reset Close

Khi kích thước của khối là 2, ta sẽ có tỉ lệ cache hit là 50% (1/2).

Simulate and illustrate data cache performance**Cache Organization**

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	2
Set size (blocks)	1	Cache size (bytes)	64

Cache Performance

Memory Access Count	256	Cache Block Table	
Cache Hit Count	128	(block 0 at top)	
Cache Miss Count	128	<input type="checkbox"/> = empty	
Cache Hit Rate	50%	<input checked="" type="checkbox"/> = hit	
		<input type="checkbox"/> = miss	

Runtime Log☐ Enabled**Tool Control**

Disconnect from MIPS

Reset

Close


- Các trường hợp đều cho kết quả đúng với lý thuyết
- Chuyển sang chương trình trong file column-major.asm, ta được kết quả:

Simulate and illustrate data cache performance

Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	4
Set size (blocks)	1	Cache size (bytes)	128

Cache Performance

Memory Access Count	256	Cache Block Table	
Cache Hit Count	0	(block 0 at top)	
Cache Miss Count	256	<input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input checked="" type="checkbox"/> = miss	
Cache Hit Rate	0%		

Runtime Log

☐ Enabled

Tool Control

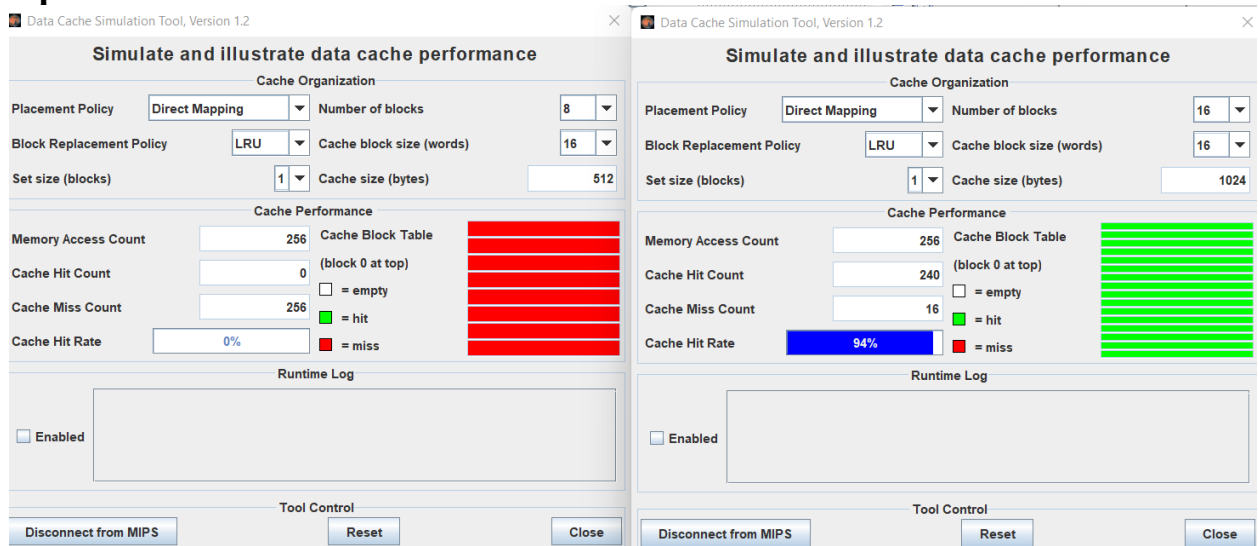
Ta quan sát thấy tỉ lệ cache hit là 0% do lần này chương trình không truy cập tuần tự như trước mà mỗi phần tử cách nhau 16 words. Với cách thiết lập của bài (chỉ có 8 block trong cache) sẽ không xuất hiện block nào được truy cập 2 lần

→ Mỗi lần truy cập phần tử đều là cache miss

→ Tỉ lệ cache hit là 0%

- Thay đổi kích thước khối lên 16 và thử chạy với số block là 8 và 16

Kết quả:



Đối với số block là 8, chương trình vẫn không thể truy cập 2 lần trên một block bất kì, dẫn tới mỗi lần truy cập đều là cache miss

→ Tỷ lệ cache hit là 0%

Đối với số block là 16, do bộ nhớ đệm có thể chứa hoàn toàn kích thước của mảng nên xảy ra 16 lần cache miss chính là 16 lần đưa block vào cache memory còn những lần sau thì toàn bộ mảng đều đã ở trong bộ nhớ nên luôn là cache hit

→ Tỷ lệ cache hit là 94%

