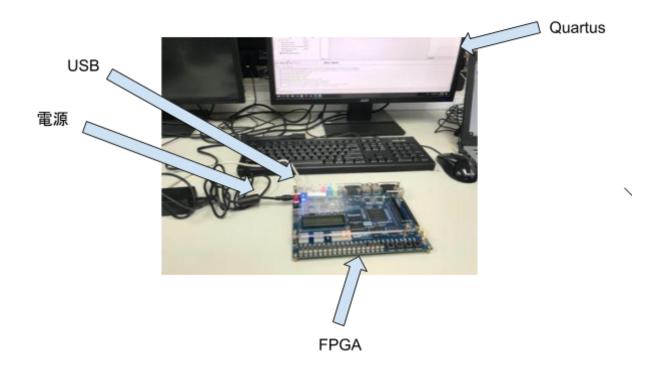
數位電路實驗 Lab1 Report

B07901056 張凱鈞、B07901100 林亮昕、B07901108馬健凱

壹、實驗器材及架設

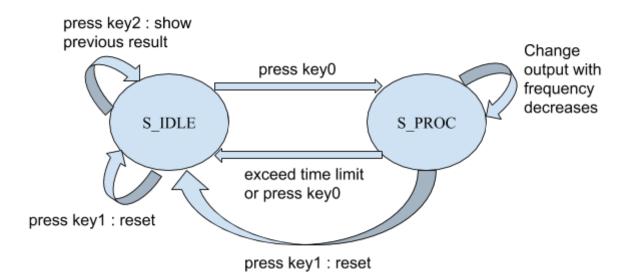


貳、使用方式與步驟

- 1. 將verilog 經由Quartus compile
- 2. 將compile後的code燒錄到FPGA板上
- 3. 燒錄成功後, 按下key1 reset
- 4. 可開始使用其他功能(見下方實作設計)

參、實作設計

-. Finite State Machine



二、基礎功能

(一)輸出頻率控制

我們透過「等比數列」的方式來控制輸出頻率,以達成輸出頻率愈來愈低的效果。具體的做法是利用兩個register: count_r及 comparator_r。初始設定 count_r = 30'b0, comparator_r = 30'b1000_0000_0000。當key 0被按下後,count_r的值在每個 cycle 都會加上 1'b1;每當 count_r與 comparator_r相等時,就會改變輸出的數值,同時讓 comparator_r 向左平移一位。如此直到 count_r = 30'b111_1111_1111_1111_1111_1111 時,輸出數值就會停止變換,並回到 idle state。

Fig. 1 FSM

根據內建的 cycle frequency = 50MHz 來計算, 每兩次輸出變換的間隔 會從 0.00009 秒開始, 每次間隔大小變成 2 倍, 直到最後一個間隔為 1.34 秒。中間一共會輸出17個亂數。

(二) 亂數產生

1、LFSR

我們採用四個不同的 Linear Feedback Shift Register 來分別產生輸出數值(o_random_out)的四個位數。這四個LFSR的架構分別如下:(Fig. 2-1~2-4)

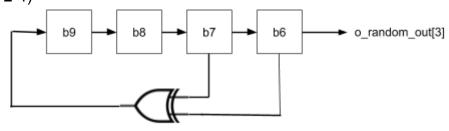


Fig. 2-1 LFSR4

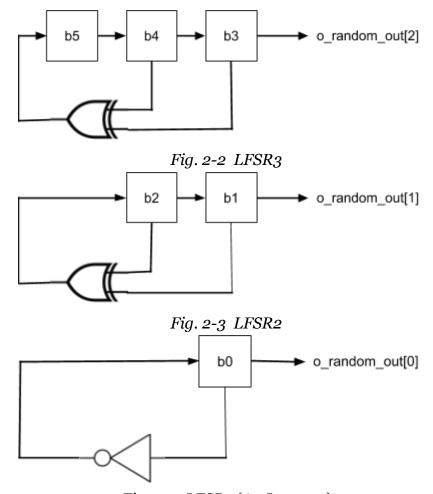


Fig. 2-4 LFSR1 (An Inverter)

這四個 LFSR 產生的 0,1 數列之週期分別為 15,7,3,2, 因此, o_random_out 的週期為 210。而根據前述, 我們在每次按下key 0後都會變換 17 次輸出, 而 17 與 210 互質, 所以在一般的情況下(不考慮中途擷取), 點名器最後停下的數字要每 210 次才會形成 cycle, 因此應該足以稱作「亂數點名器」了。

2、Seed 設定

上述的 LFSR 要開始運作,必須給定一個初始的 seed,相同的 seed 就會形成相同的亂數序列。為了讓每次 reset (press key 1) 後,出現的數字序列不一樣 (才不會每次開始點名都點到一樣的號碼),因此我們利用 FPGA 板上的開關 SW0~SW6 來設定初始的 seed:LFSR1 到 LFSR4 一共有十個 bit (b0~b9),但其中 LFSR2 到 LFSR4 的各個 bits 不能全為 0 (否則 LFSR 生成的數字就會恆為0)。因此,我們設計的方式為固定 LFSR2 到 LFSR4 的最高位(b2、b5、b9)為 1,剩下的位數(b1、b3、b4、b6、b7、b8)及 LFSR1 的初始位數(b0) 就分別由 SW0~SW6 來控制。每次 reset 前,只要調整 SW0~SW6,就能夠以不同的初始 seed 來生成不一樣的亂數序列。

二、額外功能

(一) 擷取亂數

我們設計在數字跳動的過程中,只要再次按下 key 0, 就會停止跳動並停在當下的數字上。從 FSM 中也可以看出來,即在 S_PROC 時,若按下 key 0, 就會停止變換輸出並跳回 S IDLE。

(二) 記憶前次結果

我們利用了一個 register "previous_out_r" 來記錄前次的數字。在輸出靜止的時候 (S_IDLE),若按下 key 2,就可以看到前一次的輸出結果。

肆、問題與挑戰

過程中最大的挑戰大概就是在亂數 seed 設定的部分了,我們原本打算利用計數 reset (key 1) 被按過的次數來決定每次 LFSR 的起始 seed,但後來仔細想了想,發現這個「記錄 reset 按下次數的 registor」在 reset 時也會被歸零,因此似乎無法做到;也想過利用軟體語言中常見的用 time 來當作 seed 的方法,但也不太知道如何在 FPGA 板上運用。最後就想到可以利用板子上的其他按鍵或開關,所以就有了前述利用 SW0~SW6 來決定初始 seed 的方法。而這個利用板子上的不同按鍵的經驗,相信對於未來的 lab 或是 final project 也會很有幫助。