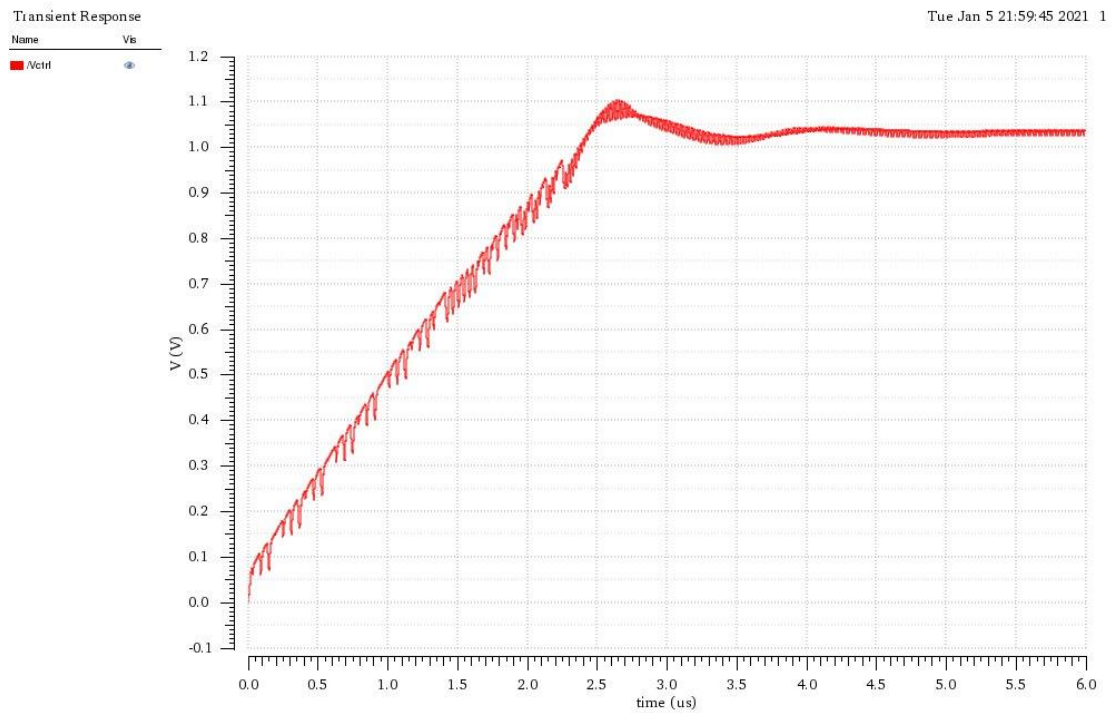


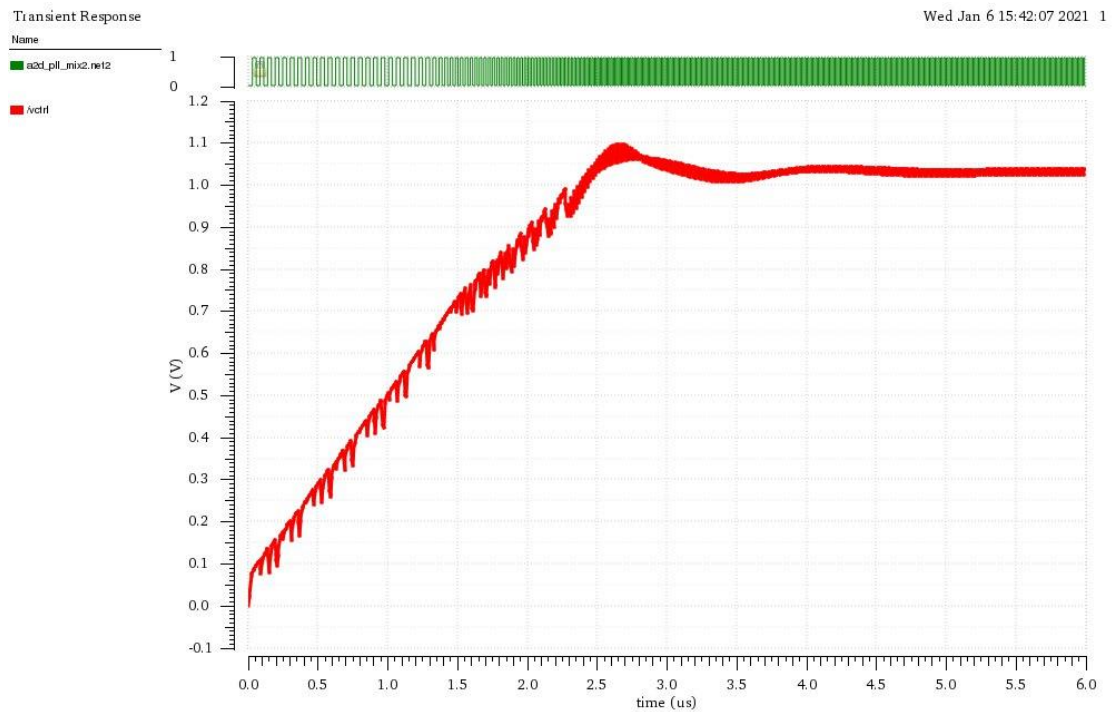
Mini Report

309551055 萬芊伶

Lab1: Analog simulation (Vctrl)

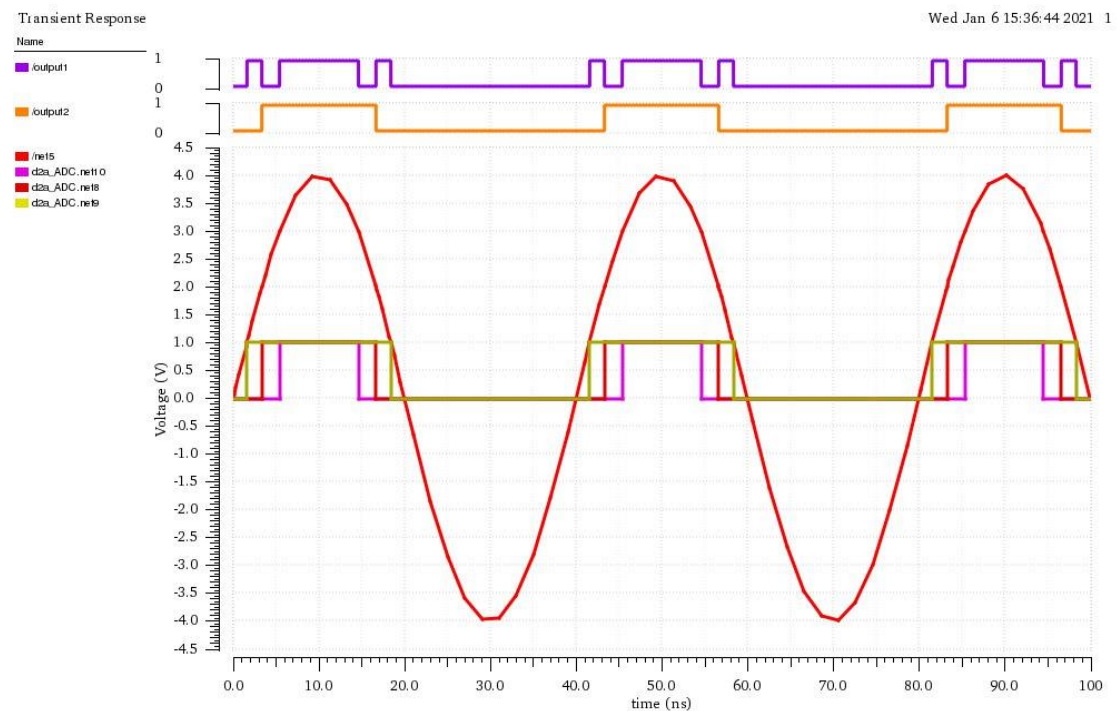


Lab2: Mixed-signal simulation (Vctrl & output of the divider)



綠色 : divider 紅色 : vctrl

Lab3: ADC(outputs of comparators, Encoder and Input)

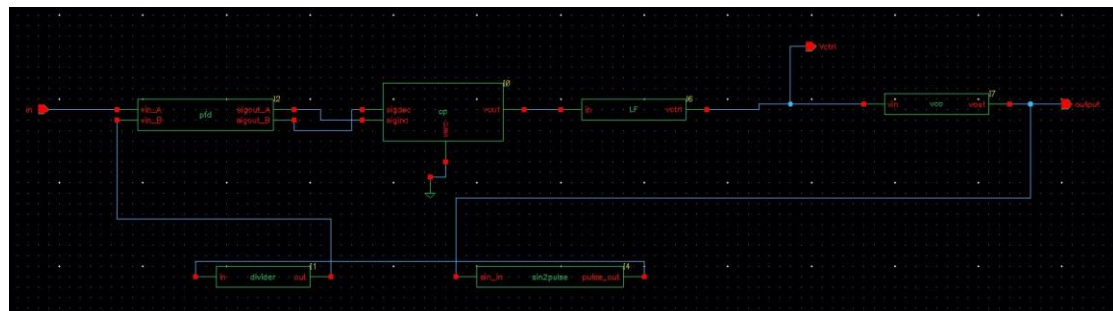


d2a_ADC.net9 是最下面的 OPamp 的 output

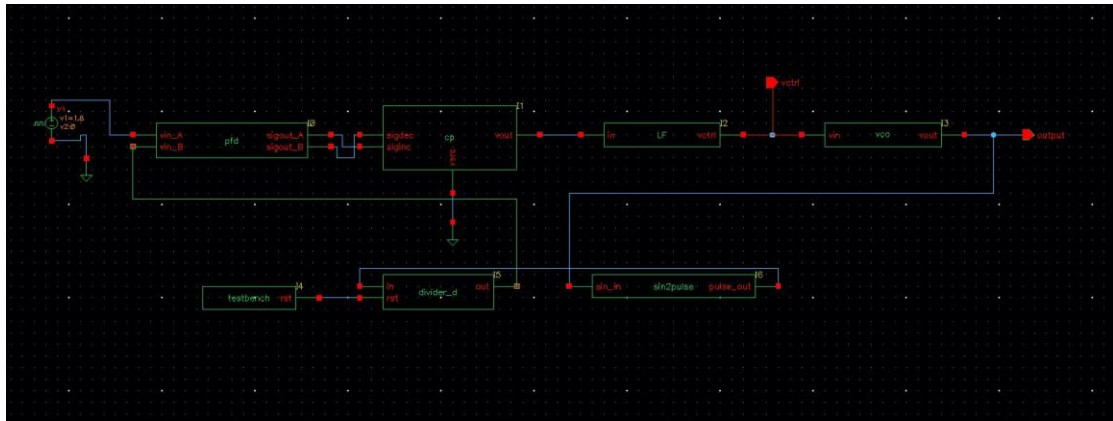
d2a_ADC.net8 是中間的 OPamp 的 output

d2a_ADC.net10 是最上面的 OPamp 的 output

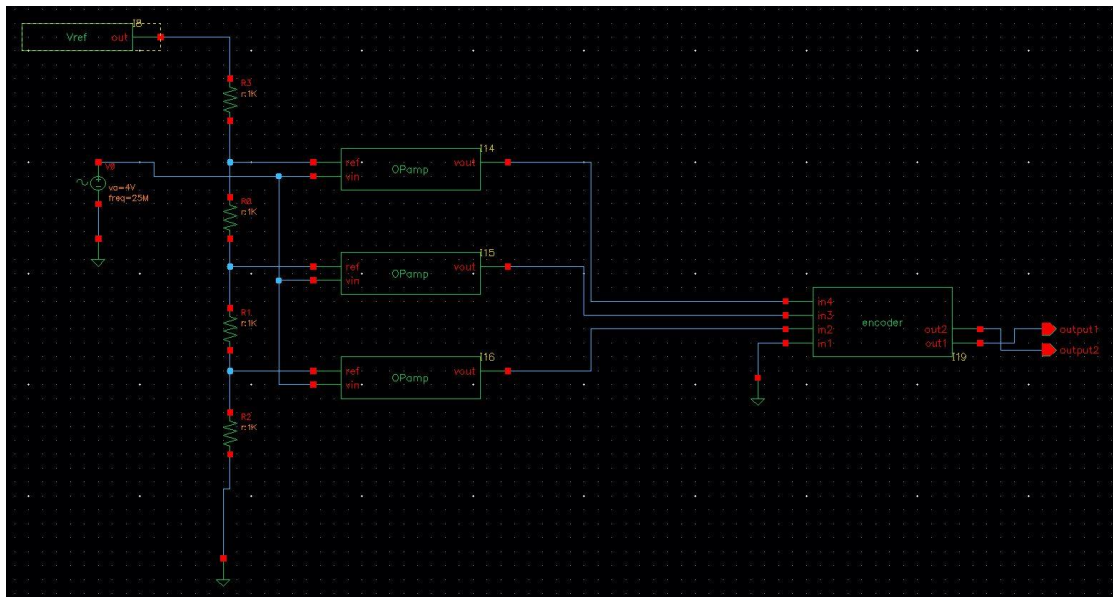
LAB1 cellview:



LAB2 cellview:



LAB3 cellview:



因為不知道怎麼做 Vref，所以左上角建了一個 verilog 的 model，持續輸出 output=4V。

- What you have learned from this homework?

這次作業學到一些 verilog A 的語法，知道 virtuoso 是如何建混和訊號的 schematic 與 analog 訊號的 schematic、如何在 virtuoso 建 model、lib...。將上課學過的東西時做出來。

另外因 Lab3 的緣故所以知道 OPamp 的運作跟 encoder 的原理。

- Questions and solutions

Q1:一開始 virtuoso 打不開

S1:刪除.cdslck 檔後解決

Q2:Lab1 的波型圖錯誤

S2:PFD 的 signal_A 接到 CP 的 sigdec 是錯的，應該接到 CP 的 siginc。
signal_B 也是。

Q3:Lab2 的波型圖無法跑

Q3:要在 lib PLL 下建 config，在裡面的 schematic 才跑得出來

Q4:Lab2 的波型圖跟助教不同

A4:再波形圖的視窗使用 measurement -> analog to digital 並將波形分離。

Q5:Lab3 的 output1/output2 沒有輸出

A5:encoder 的 verilog 內的 case function

```
case(in)
  4'b0000 : begin
    out1_r <= 1'b0;
    out2_r <= 1'b0;
  end
```

寫成

```
case(in)
  0000 : begin
    out1_r <= 1'b0;
    out2_r <= 1'b0;
  end
```

所以把 4'b 補上就完成。

Q6:encoder 用 verilog 寫，所以輸入訊號要 digital，但是在 OPamp 沒有改成 digital 輸出，所以錯誤。

A6:把 OPamp 的 output 的 transation 刪掉。