

Advanced Computer Architecture

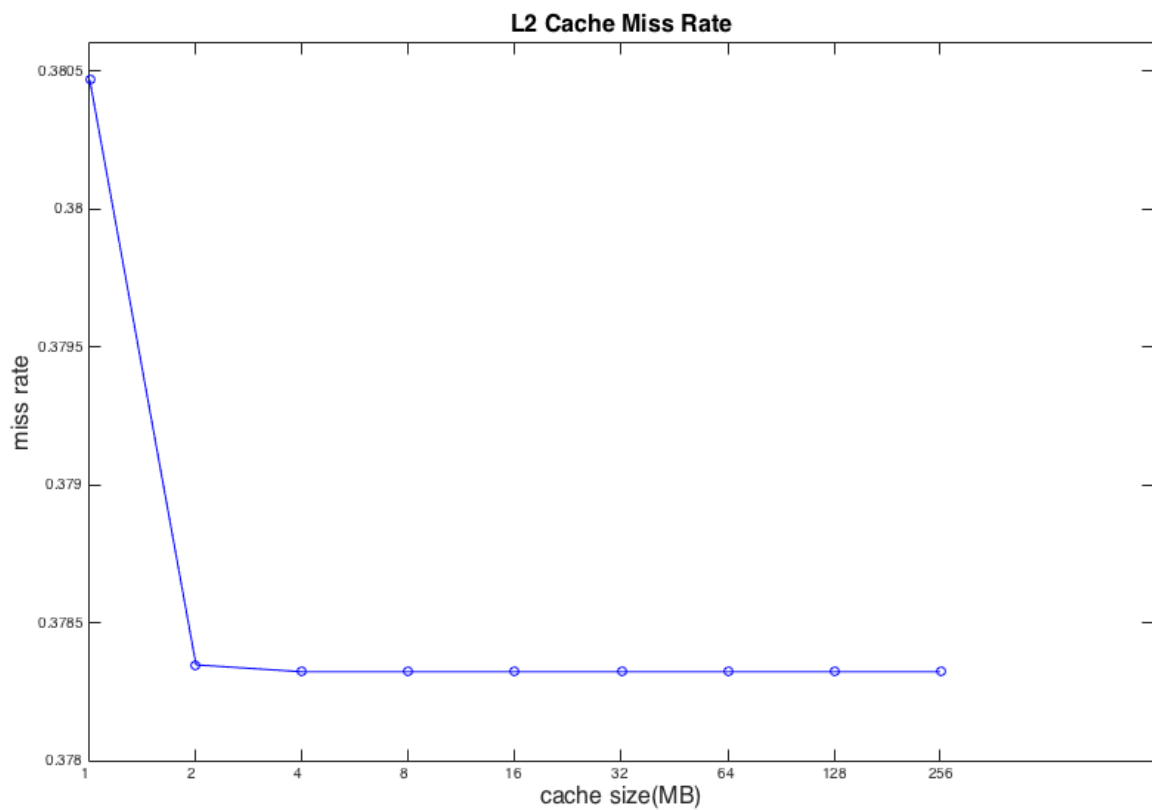
[HW2] 102062111 林致民

PART II

Study the effect of the size of L2 Cache

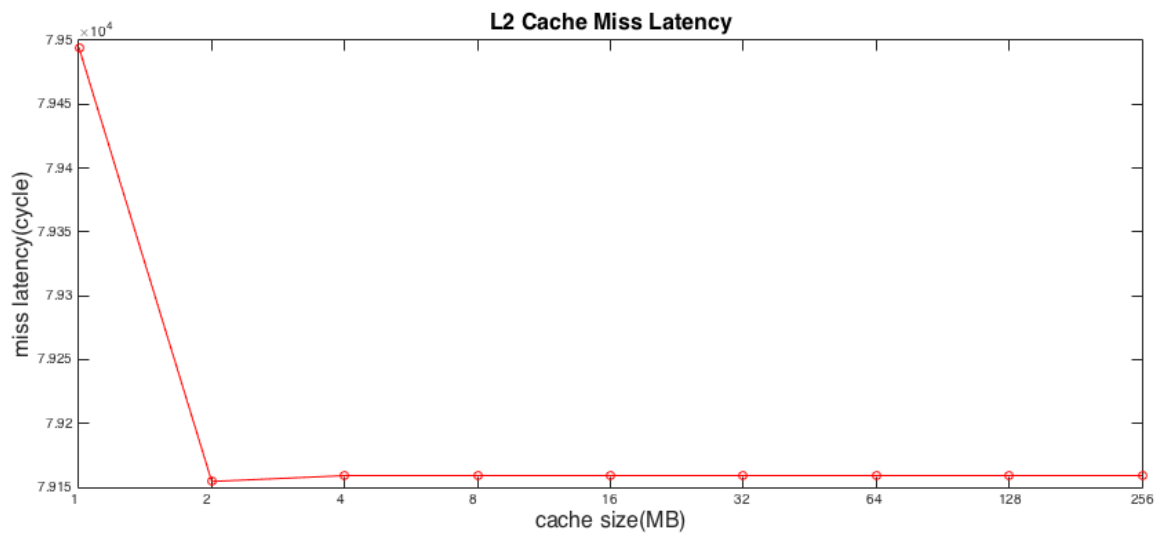
這裡我選了一些L2 cache size，分別是 [1 2 4 8 16 32 64 128 256]，這些size都是2的次方數

- L2 Cache Miss Rate



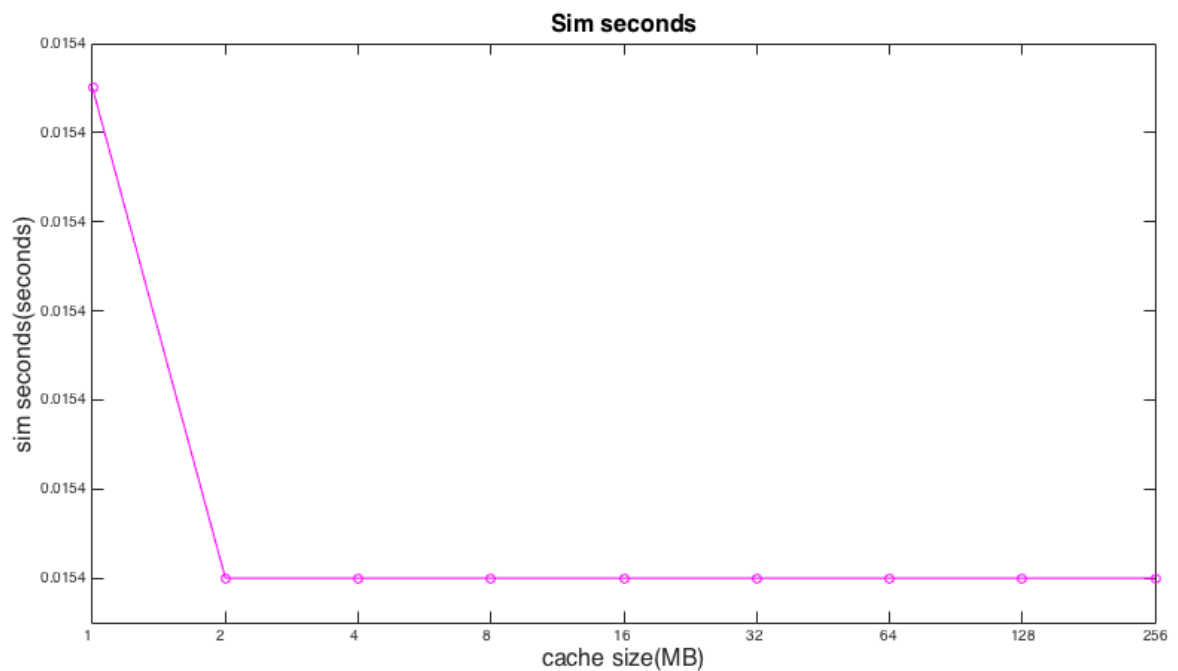
其實可以發現到，L2 Cache miss rate 在 2MB ~ 4MB 有些微的減少，但是在8MB之後，都沒有減少cache miss rate 的跡象。

- L2 Cache average miss latency



變化最劇烈的部分在 1MB 的 L2 Cache Size --> 2MB 的 L2 Cache Size，增加 L2 cache 的確可以減少 miss latency。但是從 2MB 增加到 4MB，latency 反而會上升，之後就沒變化，

- **Sim seconds**



這個實驗有趣的地方在於 sim seconds 除了從 1 MB 的 L2 cache 增加到 2MB 的 L2 cache 會見少以外，其他的 sim seconds 都是一樣的數值，L2 cache 持續增大依舊不能減少 sim_seconds。

Calculate the average memory access time of L1 Cache

從 (a) 跑出來的數據中，抓出 L1 cache

L2 cache(MB)	d_access	dmissrate	i_access	imissrate	L1missrate	AMAT
1	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1907933725607434
2	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.189887912391144
4	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
8	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
16	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
32	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
64	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
128	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
256	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
512	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144
1024	2665101.0	0.005937	11248307.0	0.002112	0.00284468	1.1898772448585144