


GW2AR シリーズ FPGA 製品 データシート

DS226-2.5J, 2025-05-23

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN **高云** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2016/10/20	1.00J	初版。
2017/03/27	1.01J	<ul style="list-style-type: none"> ● デバイス・オーダー・コードの図面を更新。 ● 電気特性パラメータの説明を追加。
2017/05/24	1.02J	<ul style="list-style-type: none"> ● LQ176 パッケージの説明を追加。 ● SDR SDRAM インターフェースの 3.3V レベルの制限に関する説明を追加。 ● DDR SDRAM の説明を追加。
2017/07/19	1.03J	電気特性のパラメータ及び MSPI を更新。
2017/09/22	1.04J	<ul style="list-style-type: none"> ● LQ パッケージのサイズを更新。 ● LQ176 パッケージの VCCX と VCCIO2/3/6/7 を 2.5V 電圧へ接続。
2017/11/08	1.05J	DSP ブロックの説明を更新。
2017/12/08	1.06J	<ul style="list-style-type: none"> ● 最大ユーザーIO 数の説明を追加。 ● IDDR/ODDR の RESET 信号を削除、memory 付き IO インターフェースの説明を更新。
2018/01/05	1.07J	<ul style="list-style-type: none"> ● 供給電源電圧の説明を更新。 ● 各パッケージで利用可能な PLL をリストし、各パッケージの PLL 電源供給を更新。
2018/04/08	1.08J	最大ユーザーIO 数の説明を修正。
2018/05/03	1.09J	<ul style="list-style-type: none"> ● DCS 立ち上がりエッジ及び立ち下がりエッジモードのタイミング図を更新。 ● Vccx が 2.5V と 3.3V をサポートし、SDR SDRAM と DDR SDRAM にそれぞれ 3.3V と 2.5V を供給。
2018/05/11	1.1J	MODE ピンは GPIO に多重化可能。ユーザーIO 情報を変更。
2018/08/01	1.2J	<ul style="list-style-type: none"> ● PLL 構造のブロック図を更新。 ● ブランクチップの GPIO のデフォルト状態の説明を追加。
2018/08/30	1.3J	GW2AR-18 デバイス QN88 パッケージ(SDRAM 内蔵)で、VCCIO2/6/7 と VCCX は内部で互いに接続されています。
2018/11/12	1.4J	<ul style="list-style-type: none"> ● GW2AR-18 デバイス QN88P および EQ144P パッケージ(PSRAM 内蔵)の情報を追加。 ● デバイス・オーダー・コードを更新。
2019/01/09	1.5J	メモリのユーザーガイドを更新。
2019/04/01	1.6J	<ul style="list-style-type: none"> ● 電気特性における周囲温度をジャンクション温度に更新。 ● EQ176 パッケージを追加。
2019/11/22	1.7J	<ul style="list-style-type: none"> ● 最大 I/O 数を更新。 ● LQ144/EQL144/LQ176/EQ176 パッケージのサイズを変更。 ● 遅延モジュールの説明を更新。
2020/03/10	1.8J	GW2AR-18 のメモリの幅および容量の情報を更新。
2020/06/19	1.8.1J	デバイス・オーダー・コードの図面を更新。
2020/08/07	1.9J	QN88PF パッケージと EQ144PF パッケージを追加。
2021/05/28	1.9.1J	PG256S パッケージを追加。

日付	バージョン	説明
2022/05/25	1.9.2J	<ul style="list-style-type: none"> ● I/O の推奨動作条件を更新。 ● 電源のランプレートを変更。
2022/09/06	2.0J	<ul style="list-style-type: none"> ● 差動入力スレッシュホールド V_{THD} の最大値を更新。 ● DC 電流制限に関する注記を追加。 ● 「表 3-3 電源のランプレート」を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」を更新。 ● 「図 2-1 アーキテクチャの説明図」を更新。
2022/09/29	2.1J	<ul style="list-style-type: none"> ● PG256S パッケージを削除。 ● 「2.3 コンフィギュラブル機能ユニット」を更新。
2022/11/18	2.1.1J	<ul style="list-style-type: none"> ● 「表 2-1 GW2AR シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション」を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」を更新。 ● セクション「3.5.4 バイトイネーブル機能」を削除。
2023/01/12	2.1.2J	<ul style="list-style-type: none"> ● 「表 3-1 絶対最大範囲」を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」を更新。 ● 「表 3-9 静的電流」を更新。
2023/02/27	2.2J	<ul style="list-style-type: none"> ● GW2AR-18 デバイス LQ144 および LQ176 パッケージを削除。 ● Slew Rate の説明を削除。
2023/10/10	2.3J	<ul style="list-style-type: none"> ● ドキュメントの構造を調整。 ● GPIO のデフォルト状態に関する注記を変更。 ● 「2.5.2 メモリの構成モード」を更新。 ● I/O ロジックの出力部の説明図と I/O ロジックの入力部の説明図を組み合わせ、「図 2-5 I/O ロジックの入力と出力の説明図」に更新。 ● セクション「2.5.6 パワーアップ状況」を削除。 ● 「表 3-3 電源のランプレート」を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」の注記を変更。 ● 「表 3-18 外部スイッチング特性」を更新。 ● 「図 4-3 デバイスのパッケージのマーク例」を更新。
2025/3/14	2.4J	<ul style="list-style-type: none"> ● 「表 1-1 製品情報一覧」を更新。 ● IODELAY モジュールの説明を更新。 ● DES モジュールの説明を最適化。 ● 「表 3-2 推奨動作条件」にリップルに関する注記を追加。 ● 「表 3-13 CFU のタイミングパラメータ」を更新。 ● 「表 3-14 BSRAM のタイミングパラメータ」を更新。 ● 「表 3-15 DSP のタイミングパラメータ」を更新。 ● 「表 3-16 DSP の最大周波数仕様」を追加。 ● 「表 3-17 Gearbox のタイミングパラメータ」を追加。 ● デュアル・ポート BSRAM とセミ・デュアル・ポート BSRAM の機能説明の注記を追加。
2025/05/23	2.5J	<ul style="list-style-type: none"> ● DDR SDRAM の特徴を更新。 ● 「表 2-1 GW2AR シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプのドライブ強度値を修正。 ● 「表 2-2 GW2AR シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション」を更新：一部

日付	バージョン	説明
		<p>の I/O タイプの V_{CCIO} 値を変更。</p> <ul style="list-style-type: none"> ● 「3.4.7 PLL のスイッチング特性」を更新。 ● 「図 4-3 デバイスのパッケージのマーク例」の注記を更新。

目次

目次	i
図一覧	iv
表一覧	v
1 製品の概要	1
1.1 特徴	1
1.2 製品情報一覧	2
2 アーキテクチャ	4
2.1 アーキテクチャの概要	4
2.2 Memory	5
2.2.1 SDR SDRAM	6
2.2.2 DDR SDRAM	7
2.2.3 PSRAM	8
2.3 コンフィギャラブル機能ユニット	8
2.4 入出力ブロック	10
2.4.1 I/O 規格	11
2.4.2 I/O ロジック	16
2.4.3 I/O ロジックの動作モード	19
2.5 ブロック SRAM	19
2.5.1 概要	19
2.5.2 メモリの構成モード	20
2.5.3 混合データ幅	21
2.5.4 パリティビット機能	22
2.5.5 同期操作	22
2.5.6 BSRAM の動作モード	22
2.5.7 クロックモード	24
2.6 DSP リソース	25
2.6.1 マクロセル	26
2.6.2 DSP 動作モードの構成	26

2.7 クロック	27
2.7.1 グローバル・クロック	27
2.7.2 位相同期回路	27
2.7.3 高速クロック	28
2.7.4 DDR メモリインターフェースのクロック管理(DQS).....	28
2.8 ロングワイヤ	29
2.9 グローバル・セット/リセット	29
2.10 プログラミング・コンフィギュレーション	29
2.11 オンチップオシレータ	29
3 電気特性	31
3.1 動作条件	31
3.1.1 絶対最大範囲	31
3.1.2 推奨動作条件	31
3.1.3 電源のランプレート	32
3.1.4 ホットプラグ特性	32
3.1.5 PoR 特性	32
3.2 ESD	32
3.3 DC 電気特性	33
3.3.1 推奨動作条件内の DC 電気特性	33
3.3.2 静的電流	34
3.3.3 I/O の推奨動作条件	34
3.3.4 シングルエンド I/O の DC 電気特性	36
3.3.5 差動 I/O の DC 電気特性	37
3.4 スイッチング特性	37
3.4.1 CFU のスイッチング特性	37
3.4.2 BSRAM のスイッチング特性	38
3.4.3 DSP のスイッチング特性	38
3.4.4 Gearbox のスイッチング特性	39
3.4.5 クロックおよび I/O のスイッチング特性	39
3.4.6 オンチップオシレータのスイッチング特性	40
3.4.7 PLL のスイッチング特性	40
3.5 コンフィギュレーション・インターフェースのタイミング仕様	41
4 デバイス購入情報	43
4.1 デバイス・オーダー・コード	43
4.2 デバイスパッケージのマーク例	44
5 本マニュアルについて	46

5.1 マニュアルの内容	46
5.2 関連ドキュメント	46
5.3 用語、略語	46
5.4 テクニカル・サポートとフィードバック	48

図一覧

図 2-1 アーキテクチャの説明図	4
図 2-2 CFU 構造の説明図	9
図 2-3 IOB 構造の説明図	10
図 2-4 GW2AR シリーズ FPGA 製品の I/O Bank の配置図	11
図 2-5 I/O ロジックの入力と出力の説明図	16
図 2-6 IODELAY の説明図	17
図 2-7 I/O レジスタの説明図	18
図 2-8 IEM の説明図	18
図 2-9 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード	23
図 2-10 独立クロックモード	24
図 2-11 読み出し書き込みクロックモード	25
図 2-12 シングル・ポート・クロックモード	25
図 2-13 GW2AR シリーズ FPGA 製品のクロックリソース	27
図 2-14 GW2AR シリーズ FPGA 製品の HCLK の説明図	28
図 4-1 デバイス・オーダー・コード - ES	43
図 4-2 デバイス・オーダー・コード - Production	44
図 4-3 デバイスのパッケージのマーク例	44

表一覧

表 1-1 製品情報一覧	2
表 1-2 各パッケージのメモリ情報	3
表 1-3 各パッケージの最大ユーザー I/O 数(True LVDS ペア数)	3
表 2-1 GW2AR シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション	12
表 2-2 GW2AR シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション	14
表 2-3 ポートの説明	17
表 2-4 IODELAY の総遅延時間（参考）	17
表 2-5 メモリの構成モード一覧	20
表 2-6 デュアル・ポートの場合の混合読み出し/書き込みデータ幅	21
表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅	22
表 2-8 クロックモードと BSRAM モードの組み合わせ	24
表 2-9 オンチップオシレータの出力周波数オプション	30
表 3-1 絶対最大範囲	31
表 3-2 推奨動作条件	31
表 3-3 電源のランプレート	32
表 3-4 ホットプラグ特性	32
表 3-5 PoR 電圧	32
表 3-6 GW2AR ESD - HBM	32
表 3-7 GW2AR ESD - CDM	33
表 3-8 推奨動作条件内の DC 電気特性	33
表 3-9 静的電流	34
表 3-10 I/O の推奨動作条件	34
表 3-11 シングルエンド I/O の DC 電気特性	36
表 3-12 差動 I/O の DC 電気特性(LVDS)	37
表 3-13 CFU のタイミングパラメータ	37
表 3-14 BSRAM のタイミングパラメータ	38
表 3-15 DSP のタイミングパラメータ	38
表 3-16 DSP の最大周波数仕様	38
表 3-17 Gearbox のタイミングパラメータ	39

表 3-18 外部スイッチング特性	39
表 3-19 オンチップオシレータのパラメータ	40
表 3-20 PLL のタイミングパラメータ	40
表 5-1 用語、略語	46

1 製品の概要

Arora ファミリーの 2 シリーズに属する GW2AR FPGA 製品は、GW2A FPGA をもとに大容量のメモリチップを統合したシステムインパッケージ・チップです。また、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなどの組み込みリソースが備わっています。合理化された FPGA アーキテクチャ、55nm プロセス、およびこれらの組み込みリソースを特徴とした GW2AR シリーズ FPGA 製品は高速、低コストのアプリケーションに最適です。

また、GOWIN セミコンダクターは、合成、配置配線、ビットストリームファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

1.1 特徴

- 低消費電力
 - 55nm SRAM プロセス
 - コア電圧 : 1.0V
 - クロックの動的 ON/OFF をサポート
- SDRAM/PSRAM を統合したシステムインパッケージ・チップ
- 複数の I/O 規格をサポート
 - LVCMOS33/25/18/15/12 ; LVTTTL33,SSTL33/25/18 I, II, SSTL15 ; HSTL18 I, II, HSTL15 I ; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
- 入力信号のヒステリシス・オプションを提供
- 出力信号のドライブ強度オプションを提供
- 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供
- ホットプラグをサポート
- GPIO による MIPI D-PHY RX/TX をサポート
 - MIPI CSI-2 および MIPI DSI(RX/TX)インターフェースをサポート。転送レート(レーンあたり)は最大 1.2Gbps

- TLVDS と ELVDS の 2 つの IO タイプを利用可能
- 高性能 DSP ブロック
 - 優れたデジタル信号処理能力
 - 9 x 9、18 x 18、36 x 36 ビットの乗算と 54 ビットのアキュムレータをサポート
 - 複数の乗算器のカスケード接続をサポート
 - レジスタのパイプラインとバイパス機能をサポート
 - 前置加算によりフィルタ機能を実現
 - バレルシフトレジスタをサポート
- 豊富な基本論理ユニット
 - 4 入力 LUT(LUT4)
 - シフトレジスタ及び分散メモリをサポート
- 複数のモードの SRAM をサポート
 - デュアル・ポート、シングル・ポート、およびセミ・デュアル・ポート・モードをサポート
- 柔軟な PLL リソース
 - クロックの周波数通倍、分周、および位相調整を実現
 - グローバル・クロックをサポート
- プログラミング・コンフィギュレーション・モード
 - JTAG コンフィギュレーション・モードをサポート
 - 4 つの GowinCONFIG コンフィギュレーション・モード(SSPI、MSPI、CPU、SERIAL)をサポート
 - データストリーム・ファイルの暗号化及びセキュリティ・ビットの設定をサポート

1.2 製品情報一覧

表 1-1 製品情報一覧

デバイス	GW2AR-18
LUT4	20,736
フリップフロップ(FF)	15,552
分散 SRAM(SSRAM)の容量(ビット)	40K
ブロック SRAM(BSRAM)の容量(ビット)	828K
ブロック SRAM(BSRAM)の数(個)	46
SDR/DDR SDRAM(ビット)	64M / 128M
PSRAM(ビット)	64M
乗算器(18 x 18 Multiplier)	48
最大 PLL 数 ^[1]	4
I/O Bank 数	8
最大 GPIO 数 ^[2]	384
コア電圧	1.0V

注記：

- ^[1]サポートされる PLL の数はパッケージによって異なります。ここでは最大値を示します。

- ^[2]最大 GPIO 数は、パッケージの制限なしでデバイスが提供できる GPIO の最大数です。特定のパッケージで利用できる最大ユーザー I/O 数については、表 1-3 を参照してください。

表 1-2 各パッケージのメモリ情報

パッケージ	デバイス	Memory タイプ	幅(ビット)	容量	利用可能な PLL
EQ144 ^[1]	GW2AR-18	SDR SDRAM	32 bits	64M bits	PLLL0/PLLL1/PLLR0/PLLR1
EQ144P ^{[1] [2]}	GW2AR-18	PSRAM	16 bits	64M bits	
EQ144PF ^{[1] [2]}	GW2AR-18	PSRAM	16 bits	64M bits	
QN88	GW2AR-18	SDR SDRAM	32 bits	64M bits	PLLL1/ PLLR1
QN88P ^[2]	GW2AR-18	PSRAM	16 bits	64M bits	
QN88PF ^[2]	GW2AR-18	PSRAM	16 bits	64M bits	
EQ176	GW2AR-18	DDR SDRAM	16 bits	128M bits	PLLL1/PLLR0/PLLR1

注記：

- ^[1] EQ144/EQ144P/EQ144PF パッケージの V_{CCPLL1} と V_{CC} は内部で互いに接続されており、詳細については、表 3-2 を参照してください。
- ^[2]「P」は PSRAM を意味し、「F」は QN88P/EQ144P と比較して、QN88PF/EQ144PF がいくつかのピンを調整したことを意味します。

表 1-3 各パッケージの最大ユーザー I/O 数(True LVDS ペア数)

パッケージ	ピッチ(mm)	サイズ(mm)	E-pad サイズ(mm)	GW2AR-18
EQ144	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144P	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144PF	0.5	20 x 20	9.74 x 9.74	120(35)
QN88	0.4	10 x 10	6.74 x 6.74	66(22)
QN88P	0.4	10 x 10	6.74 x 6.74	66(22)
QN88PF	0.4	10 x 10	6.74 x 6.74	66(22)
EQ176	0.4	20 x 20	6 x 6	140(45)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、4.1 デバイス・オーダー・コードを参照してください。
- JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。この表の数字は、JTAG 機能の 4 ピンを I/O として使用した場合のものです。詳細については、『GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド(UG229)』を参照してください。

2 アーキテクチャ

2.1 アーキテクチャの概要

図 2-1 アーキテクチャの説明図

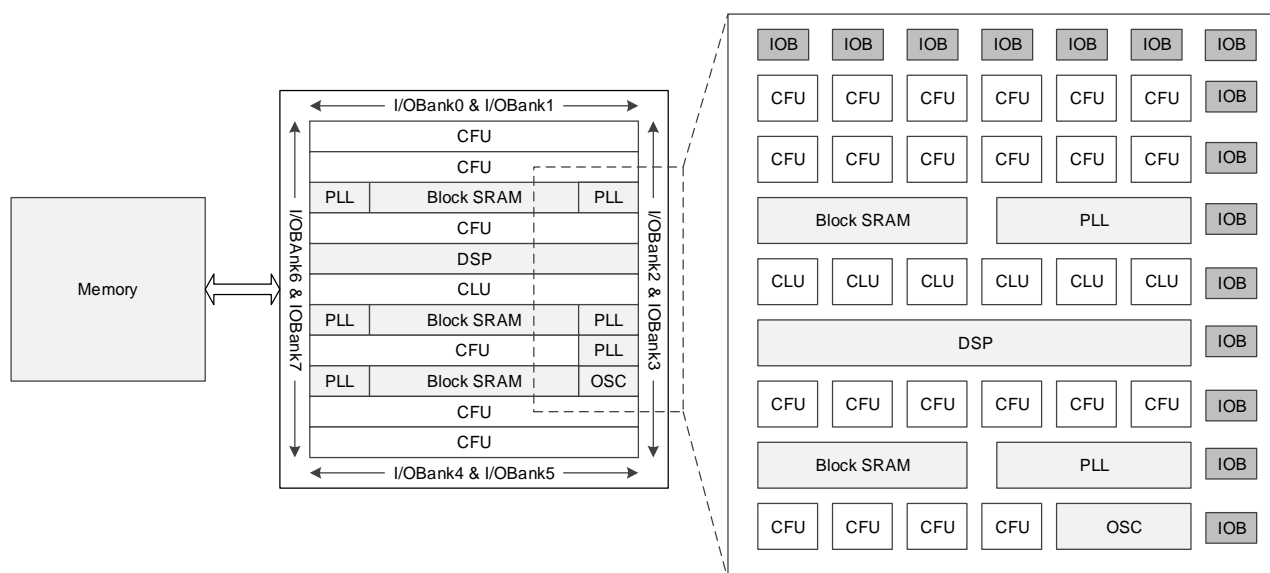


図 2-1 は、GW2AR シリーズ FPGA 製品のアーキテクチャの説明図です。GW2AR は、GOWIN セミコンダクター GW2AR シリーズ FPGA 製品をもとにメモリチップをさらに統合したシステムインパッケージ・チップ(SIP)です。そのメモリチップの特性及び概要については、[2.2 Memory](#) を参照してください。

GW2AR の内部リソースの数については、表 1-1 を参照してください。デバイスのコアは、IO ブロックに囲まれた論理ブロックの配列です。デバイスには BSRAM、DSP、PLL、及びオンチップオシレータが組み込まれています。

GW2AR シリーズ FPGA 製品の基本的な構成要素は、コンフィギュラブル機能ユニット(CFU)およびコンフィギュラブル論理ユニット(CLU)です。デバイス内で行と列のマトリックスに配置されており、その行数と

列数はデバイスの容量によって異なります。詳細については、[2.3 コンフィギュラブル機能ユニット](#)を参照してください。

GW2AR シリーズ FPGA 製品の I/O リソースは、Bank 単位でデバイスの周辺に配置されています。I/O リソースは複数の規格に対応し、ベーシックモード、SDR モード、汎用 DDR モード、および DDR_MEM モードをサポートします。詳細については、[2.4 入出力ブロック](#)を参照してください。

GW2AR シリーズ FPGA 製品の BSRAM は、デバイスの内部で行に配列されています。BSRAM は、複数の構成モードと動作モードをサポートし、1 BSRAM の容量は 18K ビットです。詳細については、[2.5 ブロック SRAM](#)を参照してください。

GW2AR シリーズ FPGA 製品には、デジタル信号処理(DSP)ブロックが組み込まれています。DSP ブロックはデバイス内で行に配列されます。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adders)、2 つの 18 ビット乗算器(multipliers)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。詳細については、[2.6 DSP リソース](#)を参照してください。

GW2AR シリーズ FPGA 製品には、PLL リソースがあります。PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(逡倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。さらに、製品には、2.5MHz から 125MHz のクロック周波数をサポートし、MSPI コンフィギュレーション・モードにクロックを提供する構成可能なオンチップオシレータが実装されています。オンチップオシレータは精度±5%の、ユーザーデザイン用のクロックリソースを提供します。詳細については、[2.7 クロック](#)および[2.11 オンチップオシレータ](#)を参照してください。

また、FPGA デバイスには、FPGA 内部のすべてのリソースを接続する、豊富なコンフィギュラブル配線ユニット(CRU、Configurable Routing Unit)があります。コンフィギュラブル機能ユニット(CFU)と IOB 内部には、CFU 内部リソースと IOB 内部のロジックリソースを接続する配線リソースが分布しています。配線リソースは、GOWIN セミコンダクターの Gowin ソフトウェアによって自動的に生成されます。また、GW2AR シリーズ FPGA 製品は、豊富な専用クロックリソース、ロングワイヤ・リソース、グローバル・セット/リセット、およびプログラミング/コンフィギュレーション・オプション等を提供しています。詳細については、[2.7 クロック](#)、[2.8 ロングワイヤ](#)、および[2.9 グローバル・セット/リセット](#)を参照してください。

2.2 Memory

GW2AR シリーズ FPGA 製品に統合されたメモリの容量とタイプはパッケージにより異なります。詳細については、[1.2 製品情報一覧](#)を参照してください。

2.2.1 SDR SDRAM

特徴

- アクセスタイム : 5.4ns/5.4ns
- クロック周波数 : 166MHz
- データ幅 : 32 ビット
- 容量 : 64M ビット
- 同期操作
- 内部パイプライン構造
- 内部は 4 つのブロックに分割(512K x 32 ビット x 4 Bank)
- プログラマブルモード
 - CAS レイテンシ : 2 または 3
 - バースト長 : 1、2、4、8 バイトまたはフルページ
 - バーストタイプ : シーケンシャルモードまたはインターリーブモード
 - バースト・リード・シングル・ライト(Burst-Read-Single-Write)機能
 - バースト停止(Burst stop)機能
- バイトマスク機能
- 自動リフレッシュとセルフリフレッシュ
- 4,096 リフレッシュサイクル/64ms
- 3.3V±0.3V の供給電源電圧^[1]
- LVTTL インターフェース

注記 :

- [1]デバイスの電源供給については、表 3-2 を参照してください。

概要

GW2AR シリーズ FPGA 製品に統合されている SDR SDRAM は、64M ビットの容量を持つ高速 CMOS 同期ダイナミック RAM チップです。SDR SDRAM の内部には、2,048 行×256 列×32 ビットのメモリアレイで構成される 512Kx32 ビットの BANK が 4 つあります。バースト読み出し/書き込みがサポートされます。必要なのは、バーストモードの開始位置とバースト長を設定するだけです。読み出し/書き込みを行うには、アクティブコマンドが必要です。読み出しまたは書き込みのバースト長は、1 バイト、2 バイト、4 バイト、8 バイト、またはフルページで、これはモードレジスタで設定できます。自動プリチャージ機能は、バーストモードの終わりに開始されます。SDR SDRAM は自動リフレッシュとセルフリフレッシュ機能をサポートします。また、プログラマブルなモードレジスタが提供されているので、ユーザーはシステムパフォーマンスを最適化するために最も適切なモードを選択することができます。

SDR SDRAM の供給電源電圧が 3.3V であるため、SDR SDRAM に接続する BANK の電圧は 3.3V である必要があります。詳細については、表 3-2 を参照してください。

Gowin ソフトウェアの IP Core Generator は、オンチップおよびオフ

チップ SDR SDRAM 制御用のコントローラ IP をサポートしています。このコントローラ IP を使用することにより、SDRAM のパワーアップ初期化、アクティベーション、自動リフレッシュなどを実現できます。詳細については、『Gowin SDRAM コントローラ ユーザーガイド(IPUG279)』を参照してください。

2.2.2 DDR SDRAM

特徴

- クロック周波数 : 250MHz
- データ幅 : 16 ビット
- 容量 : 128Mbits
- 差動クロック入力信号 : CLK と ~CLK
- 双方向 DQS
- 同期操作
- 内部パイプライン構造
- 4 つの BANK があり、各 BANK のサイズは 2M x 16 bits
- プログラマブルモード・レジスタと拡張モード・レジスタ
 - CAS レイテンシ : 2、2.5、3
 - バースト長 : 2、4、8
 - バーストタイプ : シーケンシャルモードまたはインターリーブモード
- バイトマスク機能
- DM 書き込みの遅延は 0
- 自動リフレッシュとセルフリフレッシュ
- 4,096 リフレッシュサイクル/64ms
- Pre-charge power down および active power down
- 2.5V±0.2V の供給電源電圧^[1]
- SSTL_2 インターフェース

注記 :

[1] デバイスの電源供給については、表 3-2 を参照してください。

概要

GW2AR シリーズ FPGA 製品に統合されている SDR SDRAM は、128Mb の容量を持つ高速 CMOS ダブルエッジデータサンプリングの同期ダイナミック RAM チップです。DDR SDRAM の内部には、4 つの、2M x 16 ビットの BANK があります。すべての入力クロックの立ち上がりエッジを基準とし、クロックの立ち上がりエッジと立ち下がりエッジでデータを読み出します。バースト読み出し/書き込みがサポートされます。必要なのは、バーストモードの開始位置とバースト長を設定するだけです。パワーアップ後、読み出し/書き込みには、アクティブコマンドが必要です。バースト長 2、4、8 の読み出し/書き込みをサポートします。自動プリチャージ機能は、バーストモードの終わりに開始されます。DDR SDRAM は自動リフレッシュおよびセルフリフレッシュ機能を提供します。さらに、プログラマブルモード・レジスタと拡張モード・レジスタを

使用することにより、ユーザーはパフォーマンスを最大化するために最適なモードを選択できます。

DDR SDRAM の供給電源電圧が 2.5V であるため、DDR SDRAM に接続する BANK の電圧は 2.5V である必要があります。詳細については、表 3-2 を参照してください。

Gowin ソフトウェアの IP Core Generator は、オンチップおよびオフチップ DDR SDRAM 制御用のコントローラ IP をサポートしています。このコントローラ IP を使用することにより、DDR のパワーアップ初期化、読み出しキャリブレーション、自動リフレッシュなどを実現できます。詳細については、『Gowin DDR Memory Interface IP ユーザーガイド (IPUG507)』を参照してください。

2.2.3 PSRAM

特徴

- クロック周波数は 166MHz
- ダブル・データ・レート(Double Data Rate、DDR)
- データ幅：16 ビット
- 読み出し書き込データストロブ(Read Write Data Strobe、RWDS)
- 温度補償リフレッシュ
- パーシャル・アレイ・セルフ・リフレッシュ(Partial Array Self Refresh、PASR)
- ハイブリッド・スリープ・モード
- ディープパワーダウン(DPD、Deep power-down)
- ドライブ強度：35、50、100、及び 200 Ω
- バーストアクセス
- 16/32/64/128 バイトのバースアクセス
- ステータス/制御レジスタ
- 供給電源電圧：1.8V^[1]

注記：

[1] デバイスの電源供給については、表 3-2 を参照してください。

PSRAM インターフェースの供給電源電圧が 1.8V であるため、PSRAM に接続する BANK 電圧は 1.8V である必要があります。詳細については、表 3-2 を参照してください。

Gowin ソフトウェアの IP Core Generator は、オンチップおよびオフチップ PSRAM SDRAM 制御用のコントローラ IP をサポートしています。このコントローラ IP を使用することにより、PSRAM のパワーアップ初期化、読み出しキャリブレーションなどを実現できます。詳細については、『Gowin HyperRAM & PSRAM Memory Interface IP ユーザーガイド (IPUG525)』を参照してください。

2.3 コンフィギュラブル機能ユニット

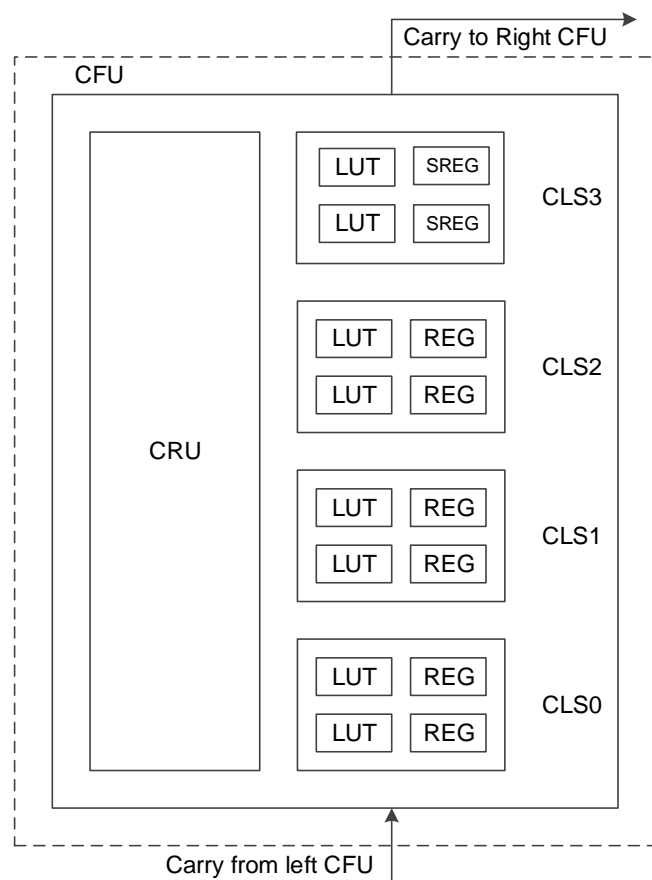
コンフィギュラブル機能ユニット(CFU)とコンフィギュラブル論理ユニット(CLU)は、Gowin FPGA 製品のコアを構成する 2 つの基本構成要素

です。各基本構成要素は、4つのコンフィギュラブル論理セクション(CLS)と対応するコンフィギュラブル配線ユニット(CRU)で構成されます。その中で、3つのCLSにはそれぞれ2つの4入力ルックアップテーブル(LUT)と2つのレジスタ(REG)が含まれ、もう1つのCLSには2つの4入力LUTのみが含まれます(図 2-2)。

CLU 内の CLS は、LUT、ALU、および ROM として構成することができ、SRAM として構成することはできません。CFU 内の CLS は、アプリケーションシナリオに応じて、LUT、ALU、SRAM、および ROM として構成することができます。

CFU の詳細については、『Gowin コンフィギュラブル機能ユニット(CFU)ユーザーガイド(UG288)』を参照してください。

図 2-2 CFU 構造の説明図



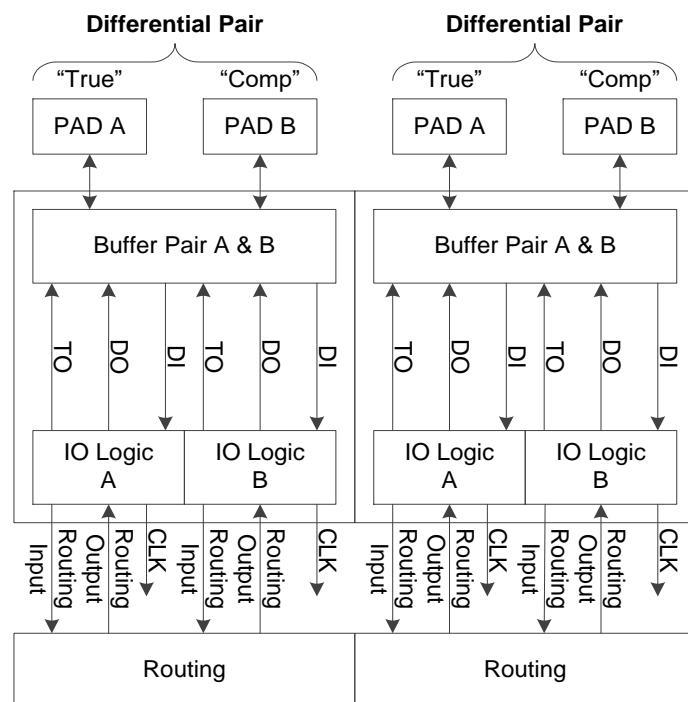
注記：

SREG を実装するには専用のパッチが必要です。詳細は、Gowin のテクニカル・サポートにお問い合わせください。

2.4 入出力ブロック

GW2AR シリーズ FPGA 製品の入出力ブロック (IOB) には、主に I/O Buffer、I/O ロジック、及び対応するコンフィギュラブル配線ユニットが含まれています。下図に示すように、各 IOB には、差動ペアまたは 2 つのシングルエンド入出力として使用できる、2 つのピン (A 及び B) があります。

図 2-3 IOB 構造の説明図



GW2AR シリーズ FPGA 製品の IOB の特徴：

- Bank 毎に供給される V_{CCIO} 。
- LVCMOS、PCI、LVTTL、LVDS、SSTL、及び HSTL 等複数の規格をサポート。
- 入力信号のヒステリシス・オプションを提供。
- 出力信号のドライブ強度オプションを提供。
- 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供。
- ホットプラグをサポート。
- I/O ロジックはベーシックモード、SDR モード、及び DDR モード等のモードをサポート。

2.4.1~2.4.3 では、I/O 規格、I/O ロジック、I/O ロジックの動作モードが解説されています。入出力ブロックの詳細については、『Gowin プログラマブル汎用 IO (GPIO) ユーザーガイド(UG289)』を参照してください。

2.4.1 I/O 規格

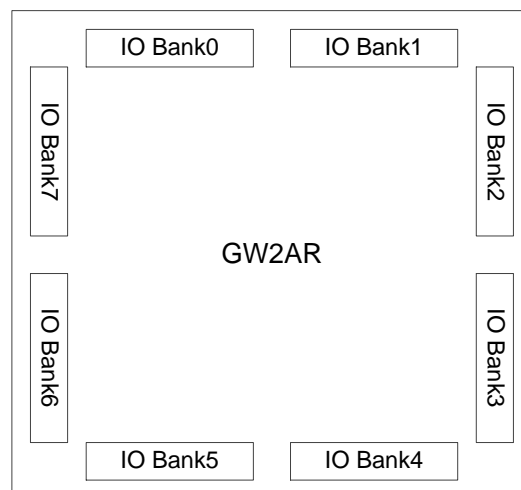
GW2AR シリーズ FPGA 製品には、8 つの I/O Bank があります(図 2-4)。各 Bank には独立した I/O 電源 V_{CCIO} があります。 V_{CCIO} は 3.3V、2.5V、1.8V、1.5V、または 1.2V に設定できます。

SDR SDRAM の補助電圧 V_{CCX} と I/O BANK 電圧 V_{CCIO} は 3.3V である必要があります。詳細については、[2.2.1 SDR SDRAM](#) を参照してください。

DDR SDRAM の補助電圧 V_{CCX} と I/O BANK 電圧 V_{CCIO} は 2.5V である必要があります。詳細については、[2.2.2 DDR SDRAM](#) を参照してください。

SSTL、HSTL などの入力規格をサポートするために、各 Bank には 1 つの独立したリファレンス電圧(V_{REF})があります。ユーザーは Bank 内部のリファレンス電圧($0.5 \cdot V_{CCIO}$ に相当)を使用するか、外部のリファレンス電圧(Bank 内の何れか 1 つの I/O ピンを外部 V_{REF} 入力として使用)を使用できます。2.5V または 3.3V の V_{CCX} 供給電源電圧がサポートされます。

図 2-4 GW2AR シリーズ FPGA 製品の I/O Bank の配置図



GW2AR シリーズ FPGA 製品でサポートされるオンチップ終端抵抗 (シングルエンド抵抗および差動抵抗)は、Bank により異なります。シングルエンド抵抗の設定は SSTL/HSTL 入出力に使用され、Bank2/3/6/7 でサポートされます。差動抵抗の設定は LVDS 入力に使用され、Bank0/1 のみサポートされます。Bank0/1 は、100 Ω の差動終端抵抗をサポートします。詳しくは、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド (UG289)』を参照してください。

注記：

コンフィギュレーション中、デバイスのすべての GPIO は内部の弱いプルアップでハイインピーダンスの状態であり、コンフィギュレーション後、I/O の状態はユーザーデザインおよび制約によって決定されます。コンフィギュレーション関連 I/O の状態はコンフィギュレーション・モードにより異なります。

各 I/O 入出力規格の V_{CCIO} 要件は、表 2-1 および表 2-2 に示す通りです。

表 2-1 GW2AR シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション

出力規格	シングルエンド/ 差動	Bank $V_{CCIO}(V)$	ドライブ強度(mA)	典型的なアプリケーション
LVTTL33	シングルエンド	3.3	4/8/12/16/24	汎用インターフェース
LVC MOS33	シングルエンド	3.3	4/8/12/16/24	汎用インターフェース
LVC MOS25	シングルエンド	2.5	4/8/12/16	汎用インターフェース
LVC MOS18	シングルエンド	1.8	4/8/12	汎用インターフェース
LVC MOS15	シングルエンド	1.5	4/8	汎用インターフェース
LVC MOS12	シングルエンド	1.2	4/8	汎用インターフェース
SSTL25_I	シングルエンド	2.5	8	メモリアンターフェース
SSTL25_II	シングルエンド	2.5	8	メモリアンターフェース
SSTL33_I	シングルエンド	3.3	8	メモリアンターフェース
SSTL33_II	シングルエンド	3.3	8	メモリアンターフェース
SSTL18_I	シングルエンド	1.8	8	メモリアンターフェース
SSTL18_II	シングルエンド	1.8	8	メモリアンターフェース
SSTL15	シングルエンド	1.5	8	メモリアンターフェース
HSTL18_I	シングルエンド	1.8	8	メモリアンターフェース
HSTL18_II	シングルエンド	1.8	8	メモリアンターフェース
HSTL15_I	シングルエンド	1.5	8	メモリアンターフェース
PCI33	シングルエンド	3.3	4/8	PC と組み込みシステム
LVPECL33E	差動	3.3	16	高速データ転送
MLVDS25E	差動	2.5	16	LCD タイミングドライバと列ドライバのインターフェース
BLVDS25E	差動	2.5	16	マルチポイント高速データ転送

出力規格	シングルエンド/ 差動	Bank V _{CCIO} (V)	ドライブ強度(mA)	典型的なアプリケーション
RSDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
LVDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
LVDS25	差動(TLVDS)	2.5/3.3	1.25/2/2.5/3.5	ポイントツーポイントの高速データ転送
RSDS	差動(TLVDS)	2.5/3.3	1.25/2/2.5/3.5	ポイントツーポイントの高速データ転送
MINILVDS	差動(TLVDS)	2.5/3.3	1.25/2/2.5/3.5	LCD タイミングドライバと列ドライバのインターフェース
PPLVDS	差動(TLVDS)	2.5/3.3	1.25/2/2.5/3.5	LCD 行/列ドライバ
SSTL15D	差動	1.5	8	メモリインターフェース
SSTL25D_I	差動	2.5	8	メモリインターフェース
SSTL25D_II	差動	2.5	8	メモリインターフェース
SSTL33D_I	差動	3.3	8	メモリインターフェース
SSTL33D_II	差動	3.3	8	メモリインターフェース
SSTL18D_I	差動	1.8	8	メモリインターフェース
SSTL18D_II	差動	1.8	8	メモリインターフェース
HSTL18D_I	差動	1.8	8	メモリインターフェース
HSTL18D_II	差動	1.8	8	メモリインターフェース
HSTL15D_I	差動	1.5	8	メモリインターフェース
LVC MOS12D	差動	1.2	4/8	汎用インターフェース
LVC MOS15D	差動	1.5	4/8	汎用インターフェース
LVC MOS18D	差動	1.8	4/8/12	汎用インターフェース
LVC MOS25D	差動	2.5	4/8/12/16	汎用インターフェース
LVC MOS33D	差動	3.3	4/8/12/16/24	汎用インターフェース

表 2-2 GW2AR シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション

入力規格	シングル エンド/差 動	Bank V _{CCIO} (V)	ヒステリシス・オ プションをサポ ートするか	V _{REF} が必要か
LVTTL33	シングル エンド	3.3	Yes	No
LVC MOS33	シングル エンド	3.3	Yes	No
LVC MOS25	シングル エンド	2.5	Yes	No
LVC MOS18	シングル エンド	1.8	Yes	No
LVC MOS15	シングル エンド	1.5	Yes	No
LVC MOS12	シングル エンド	1.2	Yes	No
SSTL15	シングル エンド	1.5	No	Yes
SSTL25_I	シングル エンド	2.5	No	Yes
SSTL25_II	シングル エンド	2.5	No	Yes
SSTL33_I	シングル エンド	3.3	No	Yes
SSTL33_II	シングル エンド	3.3	No	Yes
SSTL18_I	シングル エンド	1.8	No	Yes
SSTL18_II	シングル エンド	1.8	No	Yes
HSTL18_I	シングル エンド	1.8	No	Yes
HSTL18_II	シングル エンド	1.8	No	Yes
HSTL15_I	シングル エンド	1.5	No	Yes
PCI33	シングル エンド	3.3	Yes	No
LVC MOS33OD25	シングル エンド	2.5	No	No
LVC MOS33OD18	シングル エンド	1.8	No	No
LVC MOS33OD15	シングル エンド	1.5	No	No
LVC MOS25OD18	シングル エンド	1.8	No	No
LVC MOS25OD15	シングル エンド	1.5	No	No

入力規格	シングル エンド/差 動	Bank V _{CCIO} (V)	ヒステリシス・オ プションをサポ ートするか	V _{REF} が必要か
LVC MOS18OD15	シングル エンド	1.5	No	No
LVC MOS15OD12	シングル エンド	1.2	No	No
LVC MOS25UD33	シングル エンド	3.3	No	No
LVC MOS18UD25	シングル エンド	2.5	No	No
LVC MOS18UD33	シングル エンド	3.3	No	No
LVC MOS15UD18	シングル エンド	1.8	No	No
LVC MOS15UD25	シングル エンド	2.5	No	No
LVC MOS15UD33	シングル エンド	3.3	No	No
LVC MOS12UD15	シングル エンド	1.5	No	No
LVC MOS12UD18	シングル エンド	1.8	No	No
LVC MOS12UD25	シングル エンド	2.5	No	No
LVC MOS12UD33	シングル エンド	3.3	No	No
LVDS25	差動	2.5/3.3	No	No
RS DS	差動	2.5/3.3	No	No
MINILVDS	差動	2.5/3.3	No	No
PPLVDS	差動	2.5/3.3	No	No
LVDS25E	差動	2.5/3.3	No	No
MLVDS25E	差動	2.5/3.3	No	No
BLVDS25E	差動	2.5/3.3	No	No
RS DS25E	差動	2.5/3.3	No	No
LVPECL33E	差動	3.3	No	No
SSTL15D	差動	1.5	No	No
SSTL25D_I	差動	2.5	No	No
SSTL25D_II	差動	2.5	No	No
SSTL33D_I	差動	3.3	No	No
SSTL33D_II	差動	3.3	No	No
SSTL18D_I	差動	1.8	No	No
SSTL18D_II	差動	1.8	No	No
HSTL18D_I	差動	1.8	No	No
HSTL18D_II	差動	1.8	No	No

入力規格	シングル エンド/差 動	Bank $V_{CCIO}(V)$	ヒステリシス・オ プションをサポ ートするか	V_{REF} が必要か
HSTL15D_I	差動	1.5	No	No
LVC MOS12D	差動	1.2	No	No
LVC MOS15D	差動	1.5	No	No
LVC MOS18D	差動	1.8	No	No
LVC MOS25D	差動	2.5	No	No
LVC MOS33D	差動	3.3	No	No

2.4.2 I/O ロジック

GW2AR シリーズ FPGA 製品の I/O ロジックの入力と出力を図 2-5 に示します。

図 2-5 I/O ロジックの入力と出力の説明図

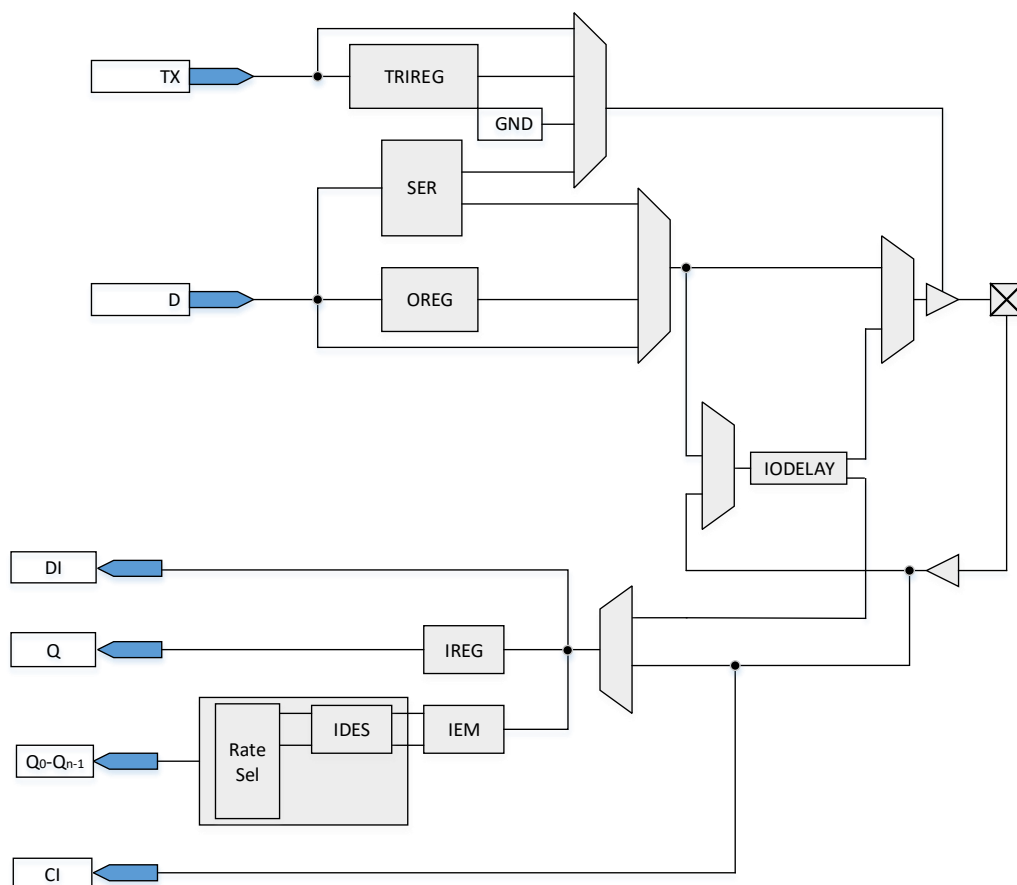


表 2-3 ポートの説明

ポート名	I/O	説明
CI ^[1]	入力	GCLK 入力信号。 GCLK 入力信号の数については、『GW2AR-18 デバイス Pinout(UG115)』を参照してください。
DI	入力	IO ポートの低速入力信号。Fabric に直接入力されます。
Q	出力	SDR モジュールの IREG 出力信号。
Q0-Q _{n-1}	出力	DDR モジュールの IDES の出力信号。

注記：

^[1] CI を GCLK 信号の入力として使用する場合、DI、Q、および Q0-Q_{n-1} を I/O の入出力に使用することはできません。

GW2AR シリーズ FPGA 製品の I/O ロジックの各コンポーネントの説明は以下の通りです。

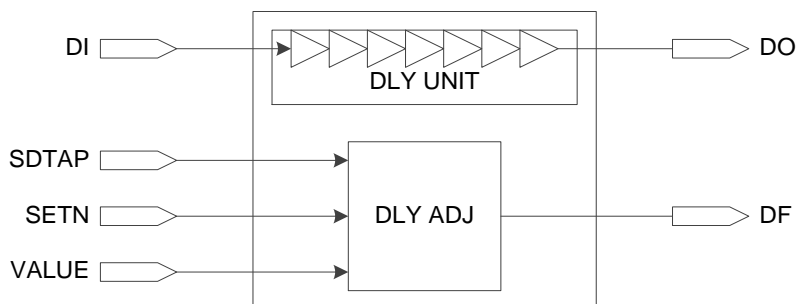
遅延モジュール

遅延モジュール(IODELAY)を図 2-6 に示します。GW2AR シリーズ FPGA 製品の各 I/O には IODELAY モジュールが含まれており、ユーザーはこのモジュールを使用して I/O の入出力信号の遅延を調整することができます。ステップあたりの遅延時間は $T_{dlyunit}$ 、提供できるステップ数は DLYSTEP です。IODELAY の総遅延時間は、 $T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ であり、表 2-4 を参照してください。

表 2-4 IODELAY の総遅延時間（参考）

	最小値	標準値	最大値
$T_{dlyoffset}$	300ps	350ps	400ps
$T_{dlyunit}$	-	18ps	-
DLYSTEP	0	-	127

図 2-6 IODELAY の説明図



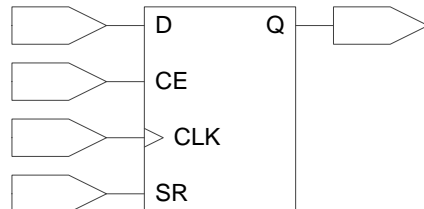
遅延を制御する 2 つの方法：

- 静的制御。
- 動的制御：IEM と共に動的サンプリングウィンドウの調整に使用されます。ただし、IODELAY を入力と出力に同時に使用することはできません。

I/O レジスタ

GW2AR シリーズ FPGA 製品の I/O レジスタを図 2-7 に示します。GW2AR シリーズ FPGA 製品の各 I/O には、プログラマブルな入力レジスタ(IREG)、出力レジスタ(OREG)、およびトライステートレジスタ(TRIREG)があります。

図 2-7 I/O レジスタの説明図



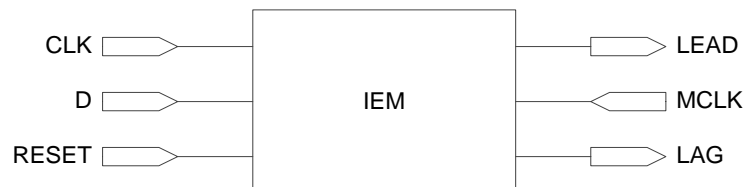
注記：

- CE は、アクティブ Low またはアクティブ High にプログラムできます。
- CLK は立ち上がりエッジトリガまたは立ち下がりエッジトリガにプログラムできます。
- SR は同期/非同期の SET/RESET または無効(disable)にプログラムできます。
- レジスタは、レジスタ(register)またはラッチ(latch)にプログラムできます。

サンプリングモジュール

サンプリングモジュール(IEM)は、データエッジのサンプリングに使用され、汎用 DDR モードで使用されます。図 2-8 に示す通りです。

図 2-8 IEM の説明図



デシリアライザ(DES)とクロス・クロック・ドメイン転送モジュール

各入力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなデシリアライザ(DES)モジュールが備わっています。DES 内の入力クロックのクロス・クロック・ドメイン転送(Clock domain transfer)モジュールは、データを外部サンプリングクロック・ドメインから内部の連続動作クロック・ドメインに安全的に転送することを可能にしています。サンプリング用のレジスタ(registers)は複数あります。

クロス・クロック・ドメイン転送モジュールの機能は以下のとおりです：

- データサンプリングの時に、不連続 DQS 信号の代わりに内部連続ク

ロックを使用します。この機能は DDR メモリのインターフェースに適用されます。

- **DDR3** メモリインターフェース規格では、リードレベリング(read leveling)により DQS 信号とデータをアライメントします。
- 汎用 DDR モードでは、DQS.RCLK をサンプリングに使用する場合、クロス・クロック・ドメイン転送モジュールの使用も必要になります。

各 DQS モジュールは、同じグループのクロス・クロック・ドメイン転送モジュールに WADDR 信号と RADDR 信号を提供します。

シリアルライザ(SER)モジュール

各出力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなシリアルライザ(SER)モジュールが備わっています。

2.4.3 I/O ロジックの動作モード

GW2AR シリーズ FPGA 製品の I/O ロジックは、複数の動作モードをサポートします。各動作モードでは、I/O(または I/O 差動信号ペア)は出力信号、入力信号、INOUT 信号、及びトライステート出力信号(トライステート制御付きの出力信号)に設定できます。

2.5 ブロック SRAM

2.5.1 概要

GW2AR シリーズ FPGA 製品は、豊富な BSRAM リソースを提供しています。これらのメモリリソースは、FPGA アレイで行として配置されているため、ブロック・スタティック RAM(BSRAM)と呼ばれています。FPGA アレイの各 BSRAM モジュールは、3 つの CFU の位置を占有します。各 BSRAM の最大容量は 18,432 ビット(18K ビット)です。5 つの構成モードを提供します：シングル・ポート・モード(Single Port)、デュアル・ポート・モード(Dual Port)、セミ・デュアル・ポート・モード(Semi Dual Port)、ROM モード、及び内蔵 FIFO モード。

豊富な BSRAM リソースにより、ユーザーの高性能設計が可能になります。BSRAM の機能は下記のとおりです：

- 各モジュールの最大容量は 18,432 ビット
- クロック周波数は最大 380MHz(Read-before-write モードの場合は 230MHz)
- シングル・ポート・モード(Single Port)
- デュアル・ポート・モード(Dual Port)
- セミ・デュアル・ポート・モード(Semi Dual Port)
- パリティビット(Parity Bits)を提供
- ROM モードを提供
- データ幅は 1～36 ビット

- 混合クロック (Mixed Clock Mode)
- 混合データ幅 (Mixed Data Width Mode)
- 通常の読み出し/書き込み (Normal Read and Write)
- リードビフォーライト (Read-before-Write)
- ライトスルー (Write-through)

BSRAM の詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

2.5.2 メモリの構成モード

GW2AR シリーズ FPGA 製品の BSRAM は、表 2-5 に示す通り、複数のデータ幅をサポートします。

表 2-5 メモリの構成モード一覧

シングル・ポート・モード	デュアル・ポート・モード	セミ・デュアル・ポート・モード	ROM モード
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

シングル・ポート・モード

シングル・ポート BSRAM は、2 つの読み出しモード (Bypass モード、Pipeline モード) と 3 つの書き込みモード (Normal モード、Write-through モード、Read-before-write モード) をサポートします。シングル・ポート・モードでは、クロックエッジで BSRAM に対して読み出しまたは書き込みを行うことができます。書き込みの場合、書き込まれたデータは BSRAM の出力に転送されます。出力レジスタがバイパスされている場合、新しいデータは、同じクロック立ち上がりエッジで現れます。

シングル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

デュアル・ポート・モード

デュアル・ポート BSRAM は、2 つの読み出しモード (Bypass モードと Pipeline モード) と 2 つの書き込みモード (Normal モードと Write-through モード) をサポートします。2 つのポートに対して以下の操作を行うことができます：

- 2 つのポートに対する同時読み出し
- 2 つのポートに対する同時書き込み

- 任意の 1 つのポートに対する読み出しおよび書き込み

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

セミ・デュアル・ポート・モード

セミ・デュアル・ポート BSRAM は、2 つの読み出しモード (Bypass モードと Pipeline モード) と 1 つの書き込みモード (Normal モード) をサポートします。セミ・デュアル・ポート BSRAM は、同時読み出しと書き込みをサポートします。ただし、同じポートによる読み出しと書き込みはサポートされておらず、つまり、ポート A は書き込み専用で、ポート B は読み出し専用です。

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

セミ・デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

ROM モード

BSRAM は、ROM モードに構成可能です。ユーザーは、メモリの初期化ファイルを使用することで、プログラミングポートを介して ROM を初期化することができます。ユーザーは、初期化ファイルに書き込まれる、ROM のコンテンツを提供する必要があります。初期化は、FPGA のコンフィギュレーション際に実行されます。

各 BSRAM は 16K ビットの ROM として構成できます。ROM モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

2.5.3 混合データ幅

GW2AR シリーズ FPGA 製品の BSRAM モジュールは、混合データ幅の読み出しと書き込みをサポートします。デュアル・ポート・モードとセミ・デュアル・ポート・モードでは、表 2-6 および表 2-7 に示すように、異なるデータ幅の読み出しと書き込みがサポートされています。

表 2-6 デュアル・ポートの場合の混合読み出し/書き込みデータ幅

読み出しポート	書き込みポート						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		

読み出しポート	書き込みポート						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
2K x 9						*	*
1K x 18						*	*

注記：

「*」はサポートされる組み合わせを示します。

表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅

読み出しポート	書き込みポート								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512 x 32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注記：

「*」はサポートされる組み合わせを示します。

2.5.4 パリティビット機能

BSRAM はパリティビット機能をサポートします。各バイトの 9 番目のビットは、パリティビットとして使用するか、データを格納するために使用できます。

2.5.5 同期操作

- すべての BSRAM モジュールの入力レジスタは、同期書き込みをサポートします。
- 出力レジスタをパイプラインレジスタとして使用することで、ユーザーデザインのパフォーマンスを向上させることができます。
- 出力レジスタはバイパス可能です。

2.5.6 BSRAM の動作モード

BSRAM は、2 つの読み出しモード(バイパス(Bypass)モード、パイプライン(Pipeline)モード)及び 3 つの書き込みモード(ノーマル(Normal)モード、ライトスルー(Write-through)モード、リードビフォーライト((Read-before-write)モード)を含む 5 つの動作モードをサポートします。

読み出しモード

BSRAM からデータを読み出すには次の 2 つのモードがあります。

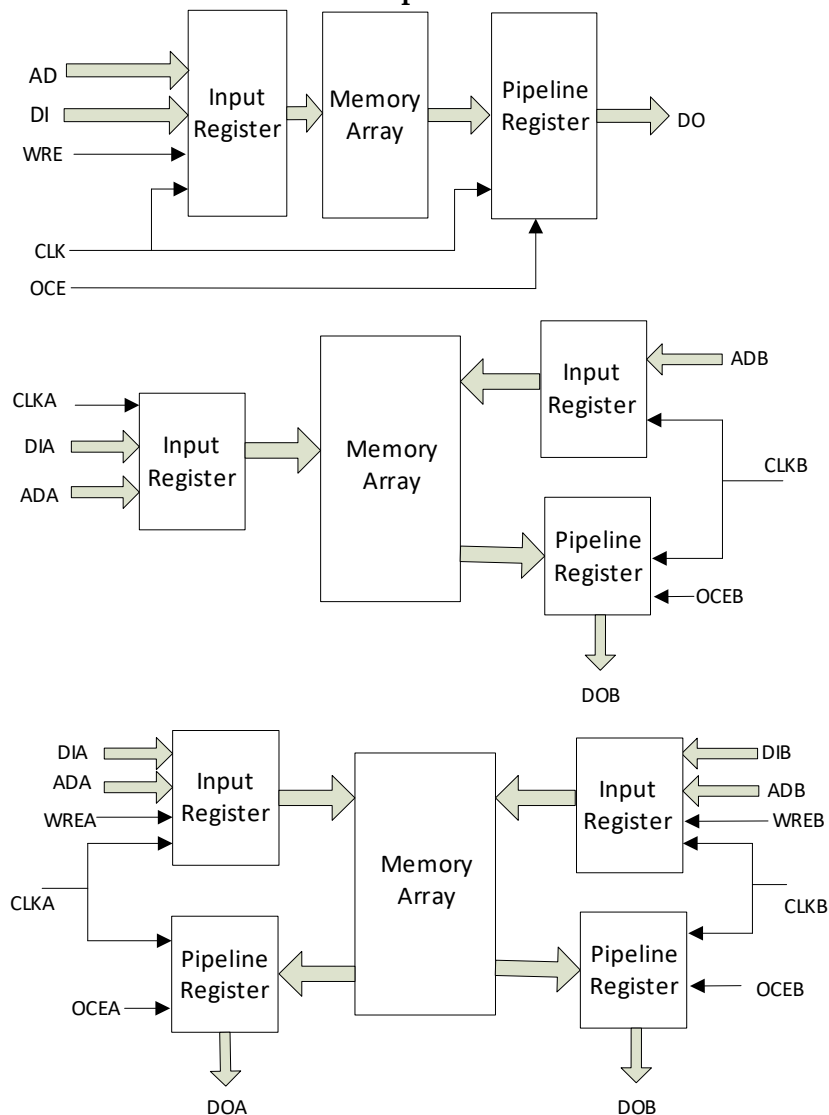
PIPELINE モード

このモードでは、メモリへの同期書き込み時に出力レジスタが使用されます。このモードは、最大 **36** ビットのデータ幅をサポートします。

BYPASS モード

このモードでは、出力レジスタは使用されず、データはメモリ (Memory Array) の出力に保持されます。

図 2-9 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード



書き込みモード

NORMAL モード

このモードでは、ポートに対して通常書き込みが行われ、このポートの出力データは変更しません。書き込まれたデータは読み出しポートに現れません。

WRITE-THROUGH モード

このモードでは、ポートに書き込むと、書き込まれたデータはこのポ

ートの出力に現れます。

READ-BEFORE-WRITE モード

このモードでは、ポートに書き込むと、元のデータはこのポートの出力に現れ、書き込まれたデータは対応するメモリセルに格納されます。

2.5.7 クロックモード

各 BSRAM モードで利用できるクロックモードを表 2-8 に示します。

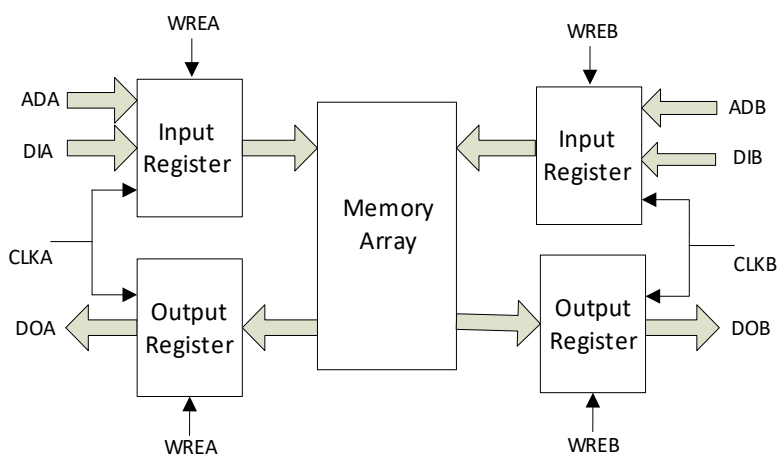
表 2-8 クロックモードと BSRAM モードの組み合わせ

クロックモード	デュアル・ポート・モード	セミ・デュアル・ポート・モード	シングル・ポート・モード
独立クロックモード	Yes	No	No
読み出し/書き込みクロックモード	Yes	Yes	No
シングル・ポート・クロックモード	No	No	Yes

独立クロックモード

デュアル・ポート・モードにおける独立クロックモードは図 2-10 に示すとおりです。各ポートにはそれぞれ 1 つの独立クロックがあります。CLKA 信号は、ポート A のすべてのレジスタを制御し、CLKB 信号は、ポート B のすべてのレジスタを制御しています。

図 2-10 独立クロックモード

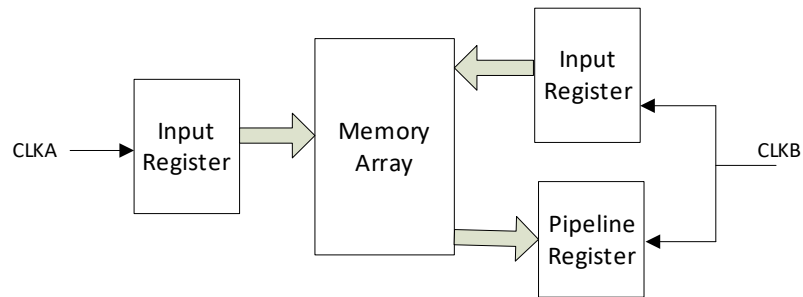


読み出し書き込みクロックモード

セミ・デュアル・ポート・モードにおける読み出し書き込みクロックモードは図 2-11 に示すとおりです。各ポートにはそれぞれ 1 つのクロックがあります。書き込みクロック(CLKA)信号はポート A の書き込みデータ、書き込みアドレス、及び読み出し/書き込みイネーブル信号を制御しています。読み出しクロック(CLKB)信号は、ポート B の読み出しデー

タ、読み出しアドレス、及び読み出しイネーブル信号を制御しています。

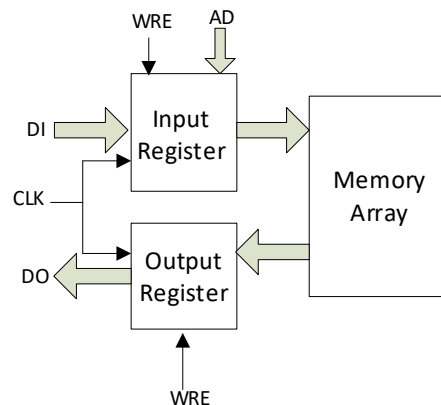
図 2-11 読み出し書き込みクロックモード



シングル・ポート・クロックモード

シングル・ポート・クロックモードは図 2-12 に示すとおりです。

図 2-12 シングル・ポート・クロックモード



2.6 DSP リソース

GW2AR シリーズ FPGA 製品は、豊富な DSP リソースを備えています。GOWIN セミコンダクターの DSP ソリューションは、FIR、FFT 設計などの高性能デジタル信号処理を可能にしています。DSP リソースは、安定したタイミングパフォーマンス、高いリソース使用量、低消費電力等の特長を備えています。

DSP は以下の機能をサポートします：

- 3 つの幅の乗算器(9 ビット、18 ビット、36 ビット)
- 54 ビットの ALU
- 複数の乗算器のカスケード接続によるデータ幅の拡大をサポート
- バレルシフタ(Barrel shifter)
- フィードバック信号による適応フィルタリング(Adaptive filtering through signal feedback)
- 正数または素数への丸めオプション付きの計算(Computing with options of rounding to positive number or prime number)
- レジスタ出力及びバイパス出力をサポート

2.6.1 マクロセル

GW2AR の DSP ブロックは、FPGA アレイで行に配置されています。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU)があります。

前置加算器

DSP マクロセルには、前置加算、前置減算、およびシフト機能を実装するための 2 つの前置加算器があります。

前置加算器はマクロセルの最先端に位置し、2 つの入力ポートを備えています：

- パラレル 18 ビット入力 B または SBI。
- パラレル 18 ビット入力 A または SIA。

注記：

各入力ポートは、すべてレジスタモードとバイパスモードをサポートします。

GOWIN セミコンダクターFPGA 製品の前置加算器は、独立したモジュールとして機能でき、9 ビット及び 18 ビットをサポートします。

乗算器

乗算器(multipliers)は前置加算器の後ろに位置し、乗算に使用されます。乗算器は 9×9 、 18×18 、 36×18 、または 36×36 に構成でき、入力ポートと出力ポートはいずれもレジスタモード及びバイパスモードをサポートします。1 つのマクロセルは次の乗算器を形成できます：

- 1 つの 18×36 乗算器。
- 2 つの 18×18 乗算器。
- 4 つの 9×9 乗算器。

注記：

2 つのマクロセルは、1 つの 36×36 乗算器を形成できます。

算術論理演算装置

各 DSP マクロセルには、乗算器機能をさらに拡張した 1 つの 54 ビットの ALU54 があります。その入力ポートと出力ポートはレジスタモード及びバイパスモードをサポートします。サポートされる機能は以下のとおりです：

- 乗算器出力データ/0、データ A、およびデータ B の加算/減算
- 乗算器出力データ/0、データ B、およびキャリーC の加算/減算
- データ A、データ B、およびキャリーC の加算/減算

2.6.2 DSP 動作モードの構成

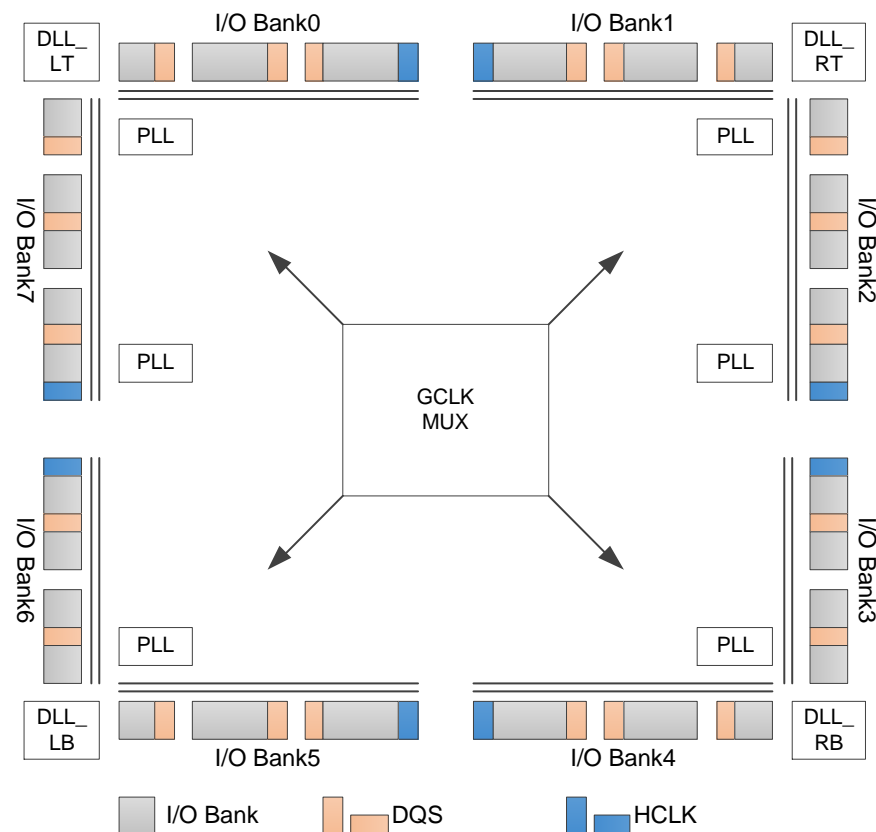
- 乗算器モード
- 乗算アキュムレータモード
- 乗算加算アキュムレータモード

DSP の詳細については、『Gowin DSP ユーザーガイド(UG287)』を参照してください。

2.7 クロック

クロックリソースと配線は、FPGA の高性能アプリケーションにとって重要です。GW2AR シリーズ FPGA 製品は、直接にデバイスのあらゆるリソースに接続する専用のグローバル・クロック(GCLK)ネットワークを提供しています。さらに、位相同期回路(PLL)、高速クロック(HCLK)、および DQS 等のクロックリソースも提供されています。

図 2-13 GW2AR シリーズ FPGA 製品のクロックリソース



2.7.1 グローバル・クロック

GCLK は、GW2AR シリーズ FPGA 製品内で複数の象限に分布しています。各象限は 8 つの GCLK ネットワークを提供します。GCLK は、クロックソースとして専用のクロック入力ピンまたは汎用配線リソースを使用できます。専用のクロック入力ピンは、より良好なクロック・パフォーマンスを提供します。

2.7.2 位相同期回路

位相同期回路(Phase-Locked Loop、PLL)はフィードバック制御回路です。PLL は、外部からのリファレンス・クロック信号に基づいてループ内部の発振信号の周波数と位相を制御します。

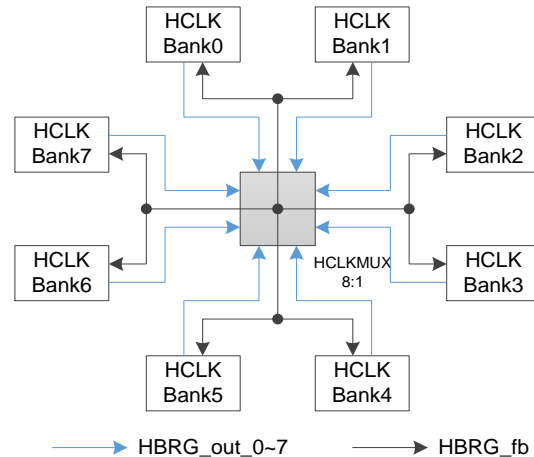
GW2AR シリーズ FPGA 製品の PLL モジュールは、合成可能なクロック

ク周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(通倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。

2.7.3 高速クロック

GW2AR シリーズの FPGA 製品の高速クロック(HCLK)は、I/O の高性能データ転送をサポートし、ソース同期データ転送インターフェースのために設計されたものです(図 2-14)。

図 2-14 GW2AR シリーズ FPGA 製品の HCLK の説明図



上図から分かるように、HCLK には 1 つの 8:1 の HCLKMUX モジュールがあります。HCLKMUX は、HCLK クロック信号を任意の Bank から他の任意の Bank に送信できるため、HCLK をより柔軟に使用できるようになります。

HCLK の関連モジュール：

- **DHCEN** : DQCE と同様の機能を備えた動的高速クロックイネーブルモジュール。高速クロック信号を動的に ON/OFF 可能です。
- **CLKDIV/CLKDIV2** : 高速クロック分周モジュール。各 Bank に 1 つの CLKDIV があります。IO ロジックに使用される、入力クロックと同じ位相の分周クロックを生成します。
- **DCS** : 動的高速クロックセクタ。
- **DLLDLY** : 専用クロックピン経由で入力されたクロック信号に使用される動的遅延調整モジュール。

2.7.4 DDR メモリインターフェースのクロック管理(DQS)

GW2AR シリーズ FPGA 製品の DQS モジュールは、DDR メモリインターフェースのクロッキング要件を満たすために、次の機能を提供しています：

- DQS 入力を受信し、波形を整理して 1/4 位相をシフト
- 入力バッファ用の読み出し/書き込みポインタを提供

- 内部ロジックにデータ有効信号を提供
- DDR 出力クロック信号を提供
- DDR3 書き込み電圧の制御をサポート

様々な IO インターフェースの要件を満たす複数の動作モードがあります。

詳しくは、『Gowin Clock ユーザーガイド(UG286)』を参照してください。

2.8 ロングワイヤ

CRUに加えて、GW2AR シリーズ FPGA 製品は、クロック、クロックイネーブル、セット/リセット、またはその他高ファンアウト信号に適用される柔軟で豊富なロングワイヤ・リソースも提供しています。

2.9 グローバル・セット/リセット

GW2AR シリーズの FPGA 製品には、コアロジックに直接接続されるグローバル・セット/リセット(GSR)ネットワークが構築されています。グローバル・セット/リセット(GSR)ネットワークは非同期/同期リセットまたは非同期/同期セットに使用できます。CFU と I/O のレジスタは、いずれも個別に構成できます。

2.10 プログラミング・コンフィギュレーション

直接 SRAM をコンフィギュレーションする場合、パワーアップするたびに、コンフィギュレーションデータをダウンロードする必要があります。また、必要に応じて、コンフィギュレーションデータをオフチップ Flash に格納することも可能です。この場合、パワーアップすると、FPGA はオフチップ Flash からコンフィギュレーションデータを SRAM に読み込みます。

JTAG 以外にも、GW2AR シリーズの FPGA 製品では GOWIN 独自の GowinCONFIG モード(SSPI、MSPI、SERIAL および CPU)もサポートされています。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

2.11 オンチップオシレータ

GW2AR シリーズ FPGA 製品には、MSPI コンフィギュレーション・モードにクロックソースを提供する 1 つのオンチップオシレータが組み込まれています。その出力周波数は表 2-9 に示すとおりです。さらに、オンチップオシレータは、ユーザーデザインにクロックソースを提供することもできます。動作パラメータを設定することにより、最大 64 のクロック周波数を取得できます。出力クロック周波数は、次の式により算出されます。

$$f_{\text{out}}=250\text{MHz}/\text{Param.}$$

注記：

「Param」は 2~128 の偶数のパラメータです。

表 2-9 オンチップオシレータの出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.5MHz ^[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz ^[2]

注記：

- ^[1] オンチップオシレータのデフォルトの周波数は 2.5MHz です。
- ^[2] 125MHz は MSPI コンフィギュレーション・モードに適用されません。

3 電気特性

注記：

推奨される動作条件及び動作範囲内で GOWIN のデバイスを使用することをお勧めします。動作条件及び動作範囲を超えるデータはあくまで参考であり、GOWIN セミコンダクターは、動作条件及び動作範囲を超えた状況における、すべてのデバイスの正常な動作を保証しません。

3.1 動作条件

3.1.1 絶対最大範囲

表 3-1 絶対最大範囲

名称	説明	最小値	最大値
V _{CC}	コア電圧	-0.5V	1.1V
V _{CCPLL}	PLL の供給電源電圧	-0.5V	1.1V
V _{CCIO}	I/O Bank 電圧	-0.5V	3.75V
V _{CCX}	補助電圧	-0.5V	3.75V
-	加えられる I/O 電圧 ^[1]	-0.5V	3.75V
Storage Temperature	保存温度	-65°C	+150°C
Junction Temperature	ジャンクション温度	-40°C	+125°C

注記：

- ^[1] -2V～(V_{IHMAX} + 2)V の 20ns 未満のオーバーシュートおよびアンダーシュートは許容されます。

3.1.2 推奨動作条件

表 3-2 推奨動作条件

名称	説明	最小値	最大値
V _{CC}	コア電圧	0.95V	1.05V
V _{CCPLLx}	左側位相同期回路の電源電圧	0.95V	1.05V
V _{CCPLLRx}	右側位相同期回路の電源電圧	0.95V	1.05V
V _{CCIOx}	I/O Bank 電圧	1.14V	3.6V

名称	説明	最小値	最大値
V _{CCX}	補助電圧	2.7V	3.6V
T _{JCOM}	ジャンクション温度(コマーシャル)	0℃	+85℃
T _{JIND}	ジャンクション温度(インダストリアル)	-40℃	+100℃

注記：

- V_{CC}、V_{CCIO}、V_{CCX} の許容リップルはそれぞれ 3%、5%、5%です。1)、PLL に V_{CC} から直接電源が供給されているデバイスの場合、V_{CC} のリップルが PLL 出力クロックのジッタ特性に影響を与える可能性があります。2)、V_{CCIO} のリップルは、最終的に IO バッファの出力波形に伝わる可能性があります。
- 各パッケージの供給電源電圧の詳細については、『GW2AR-18 デバイス Pinout(UG115)』を参照してください。

3.1.3 電源のランプレート

表 3-3 電源のランプレート

名称	説明	最小値	標準値	最大値
V _{CC} Ramp	V _{CC} のランプレート	0.1mV/μs	-	10mV/μs
V _{CCIO} /V _{CCX} Ramp	V _{CCIO} と V _{CCX} のランプレート	0.01mV/μs	-	100mV/μs

注記：

- すべての電源のランプは、単調である必要があります。
- コンフィグレーション前に、すべての電源は、表 3-2 で定義された動作範囲にある必要があります。電源が動作範囲にない場合は、より速いランプレートに調整するか、コンフィギュレーションを遅らせる必要があります。

3.1.4 ホットプラグ特性

表 3-4 ホットプラグ特性

名称	説明	条件	I/O タイプ	最大値
I _{HS}	入力または I/O のリーク電流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	I/O	150uA
I _{HS}	入力または I/O のリーク電流 (Input or I/O leakage current)	0<V _{IN} <V _{IH} (MAX)	TDI,TDO, TMS,TCK	120uA

3.1.5 PoR 特性

表 3-5 PoR 電圧

名称	説明	名称	最小値	最大値
PoR 電圧値	Power on reset ramp up trip point	V _{CC}	0.7V	0.88V
		V _{CCX}	2.1V	2.6V
		V _{CCIO}	0.85V	0.98V

3.2 ESD

表 3-6 GW2AR ESD - HBM

デバイス	GW2AR-18
EQ144/EQ144P/EQ144PF	HBM>1,000V
QN88/QN88P/QN88PF	HBM>1,000V

デバイス	GW2AR-18
EQ176	HBM>1,000V

表 3-7 GW2AR ESD - CDM

デバイス	GW2AR-18
EQ144/EQ144P/EQ144PF	CDM>500V
QN88/QN88P/QN88PF	CDM>500V
EQ176	CDM>500V

3.3 DC 電気特性

3.3.1 推奨動作条件内の DC 電気特性

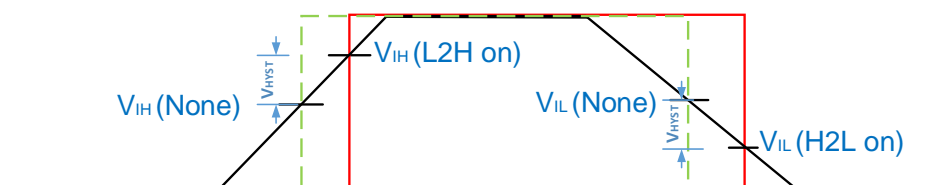
表 3-8 推奨動作条件内の DC 電気特性

名称	説明	条件	最小値	標準値	最大値
I_{IL}, I_{IH}	入力または I/O のリーク電流 (Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(\text{MAX})$	-	-	210 μ A
		$0V < V_{IN} < V_{CCIO}$	-	-	10 μ A
I_{PU}	I/O のプルアップ電流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$	-30 μ A	-	-150 μ A
I_{PD}	I/O のプルダウン電流 (I/O Active Pull-down Current)	$V_{IL}(\text{MAX}) < V_{IN} < V_{CCIO}$	30 μ A	-	150 μ A
I_{BHLS}	バスホールド Low 時の持続電流 (Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(\text{MAX})$	30 μ A	-	-
I_{BHHS}	バスホールド High 時の持続電流 (Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCIO}$	-30 μ A	-	-
I_{BHLO}	バスホールド Low 時のオーバードライブ電流 (Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	150 μ A
I_{BHHO}	バスホールド High 時のオーバードライブ電流 (Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	-150 μ A
V_{BHT}	バスホールドのトリップポイント (Bus Hold Trip Points)	-	$V_{IL}(\text{MAX})$	-	$V_{IH}(\text{MIN})$
C_1	I/O 電気容量 (I/O Capacitance)	-	-	5pF	8pF
V_{HYST}	入力ヒステリシス (Hysteresis for Schmitt Trigger inputs)	$V_{CCIO} = 3.3V$, Hysteresis=L2H ^{[1],[2]}	-	240mV	-
		$V_{CCIO} = 2.5V$, Hysteresis=L2H	-	140mV	-
		$V_{CCIO} = 1.8V$, Hysteresis=L2H	-	65mV	-

名称	説明	条件	最小値	標準値	最大値
		V _{CCIO} =1.5V, Hysteresis=L2H	-	30mV	-
		V _{CCIO} =3.3V, Hysteresis=H2L ^{[1],[2]}	-	200mV	-
		V _{CCIO} =2.5V, Hysteresis=H2L	-	130mV	-
		V _{CCIO} =1.8V, Hysteresis=H2L	-	60mV	-
		V _{CCIO} =1.5V, Hysteresis=H2L	-	40mV	-
		V _{CCIO} =3.3V, Hysteresis=HIGH ^{[1],[2]}	-	440mV	-
		V _{CCIO} =2.5V, Hysteresis=HIGH	-	270mV	-
		V _{CCIO} =1.8V, Hysteresis=HIGH	-	125mV	-
		V _{CCIO} =1.5V, Hysteresis=HIGH	-	70mV	-

注記：

- ^[1] Hysteresis=「NONE」, 「L2H」, 「H2L」, 「HIGH」は、Gowin EDA の FloorPlanner ツールで I/O 制約を設定する際の Hysteresis オプションです。その設定方法については、『Gowin 物理制約ユーザーガイド(SUG935)』を参照してください。
- ^[2] L2H (low to high)オプションを有効にすると、V_{IH}が V_{HYST}の分上がり、H2L(high to low)オプションを有効にすると、V_{IL}が V_{HYST}の分下がります。HIGH オプションを有効にすると、L2H と H2L オプションの両方を有効にすることになり、すなわち V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)です。その説明図は次のとおりです：



3.3.2 静的電流

表 3-9 静的電流

名称	説明	デバイス	標準値
I _{CC}	V _{CC} 電流(V _{CC} =1V)	GW2AR-18	70mA
I _{CCX}	V _{CCX} 電流(V _{CCX} =3.3V)	GW2AR-18	15mA
I _{CCIO}	V _{CCIO} 電流(V _{CCIO} =3.3V)	GW2AR-18	<2mA

注記：

テスト条件：室温、スピードグレード C8/I7。

3.3.3 I/O の推奨動作条件

表 3-10 I/O の推奨動作条件

名称	出力用の V _{CCIO} (V)			入力用の V _{REF} (V)		
	最小値	標準値	最大値	最小値	標準値	最大値
LVTTL33	3.135	3.3	3.6	-	-	-
LVC MOS33	3.135	3.3	3.6	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-

名称	出力用の $V_{CCIO}(V)$			入力用の $V_{REF}(V)$		
	最小値	標準値	最大値	最小値	標準値	最大値
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RS DS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.4 シングルエンド I/O の DC 電気特性

表 3-11 シングルエンド I/O の DC 電気特性

名称	V _{IL}		V _{IH}		V _{OL} (最大値)	V _{OH} (最小値)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	最小値	最大値	最小値	最大値				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35 x V _{CCIO}	0.65 x V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35 x V _{CCIO}	0.65 x V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35 x V _{CCIO}	0.65 x V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	2	-2
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
PCI33	-0.3V	0.3 x V _{CCIO}	0.5 x V _{CCIO}	3.6V	0.1 x V _{CCIO}	0.9 x V _{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	3.6V	0.7	V _{CCIO} -1.1V	8	-8
SSTL25_I	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	0.54V	V _{CCIO} -0.62V	8	-8
SSTL25_II	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
SSTL15	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL15_II	-0.3V	V _{REF} -0.1V	V _{REF} +0.1V	3.6V	NA	NA	NA	NA

注記：

^[1]同じ Bank 内のすべての IO の合計 DC 電流制限(ソース電流とシンク電流を含む)：同じ Bank 内のすべての IO の合計電流は、 $n \times 8\text{mA}$ を超えてはなりません。ここで、 n は Bank からボンディングされる IO の数です。

3.3.5 差動 I/O の DC 電気特性

表 3-12 差動 I/O の DC 電気特性(LVDS)

名称	説明	テスト条件	最小値	標準値	最大値	単位
$V_{\text{INA}}, V_{\text{INB}}$	入力電圧(Input Voltage)	-	0	-	2.4	V
V_{CM}	コモンモード入力電圧 (Input Common Mode Voltage)	-	0.05	-	2.35	V
V_{THD}	差動入力スレッショルド (Differential Input Threshold)	最小入力スイング	± 100	-	± 600	mV
I_{IN}	入力電流(Input Current)	Power On or Power Off	-	-	± 10	μA
V_{OH}	出力 High 電圧(Output High Voltage for V_{OP} or V_{OM})	$R_{\text{T}} = 100\ \Omega$	-	-	1.6	V
V_{OL}	出力 Low 電圧(Output Low Voltage for V_{OP} or V_{OM})	$R_{\text{T}} = 100\ \Omega$	0.9	-	-	V
V_{OD}	差動出力電圧(Output Voltage Differential)	$(V_{\text{OP}} - V_{\text{OM}})$, $R_{\text{T}}=100\ \Omega$	250	350	450	mV
ΔV_{OD}	差動モード出力電圧の変化 (Change in V_{OD} Between High and Low)	-	-	-	50	mV
V_{OS}	コモンモード出力電圧 (Output Voltage Offset)	$(V_{\text{OP}} + V_{\text{OM}})/2$, $R_{\text{T}}=100\ \Omega$	1.125	1.2	1.375	V
ΔV_{OS}	コモンモード出力電圧の変化 (Change in V_{OS} Between High and Low)	-	-	-	50	mV
I_{S}	短絡電流	$V_{\text{OD}} = 0\text{V}$ 、出力短絡	-	-	15	mA

3.4 スイッチング特性

3.4.1 CFU のスイッチング特性

表 3-13 CFU のタイミングパラメータ

デバイス	名称	説明	C9/I8		C8/I7		C7/I6		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW2AR-18	$t_{\text{LUT4_CFU}}$	LUT4 遅延(LUT4 delay)	0.27	0.40	0.31	0.46	0.39	0.58	ns
	$t_{\text{SR_CFU}}$	セット/リセットからレジスタ出力に至るまでの時間 (Set/Reset to Register output)	0.95	0.99	1.10	1.15	1.37	1.44	ns
	$t_{\text{CO_CFU}}$	クロックからレジスタ出力に至るまでの時間(Clock to Register output)	0.17	0.20	0.20	0.23	0.25	0.29	ns

3.4.2 BSRAM のスイッチング特性

表 3-14 BSRAM のタイミングパラメータ

デバイス	名称	説明	C9/I8		C8/I7		C7/I6		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW2AR-18	tCOAD_BSRAM	クロックから読み出しアドレス/データの出力に至るまでの時間(Clock to output from read address/data)	1.95	1.95	2.26	2.26	2.83	2.83	ns
	tCOOR_BSRAM	クロックから出力レジスタの出力に至るまでの時間(Clock to output from output register)	0.26	0.26	0.31	0.31	0.38	0.38	ns

3.4.3 DSP のスイッチング特性

表 3-15 DSP のタイミングパラメータ

デバイス	名称	説明	C9/I8		C8/I7		C7/I6		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW2AR-18	tCOIR_DSP	クロックから入力レジスタの出力に至るまでの時間(Clock to output from input register)	0.20	0.22	0.24	0.25	0.30	0.32	ns
	tCOPR_DSP	クロックからパイプラインレジスタの出力に至るまでの時間(Clock to output from pipeline register)	0.06	0.07	0.07	0.08	0.09	0.10	ns
	tCOOR_DSP	クロックから出力レジスタの出力に至るまでの時間(Clock to output from output register)	0.03	0.04	0.04	0.04	0.05	0.05	ns

表 3-16 DSP の最大周波数仕様

デバイス	モード	最大周波数		単位
		C8/I7	C7/I6	
GW2AR-18	9 x 9 Multiplier	275	220	MHz
	18 x 18 Multiplier	275	220	MHz
	18 x 18 Multiply-Add/sub	265	211	MHz

3.4.4 Gearbox のスイッチング特性

表 3-17 Gearbox のタイミングパラメータ

デバイス	名称	説明	最大値	単位
GW2AR-18	FMAX _{IDDR}	1:2 Gearbox 入力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{IDES4}	1:4 Gearbox 入力の場合における IO の最大シリアルレート	800	Mbps
	FMAX _{IDES7}	1:7 Gearbox 入力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{IDESx}	1:8/1:10 Gearbox 入力の場合における IO の最大シリアルレート	1200	Mbps
	FMAX _{ODDR}	2:1 Gearbox 出力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{OSER4}	4:1 Gearbox 出力の場合における IO の最大シリアルレート	800	Mbps
	FMAX _{OSER7}	7:1 Gearbox 出力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{OSERx}	8:1/10:1 Gearbox 出力の場合における IO の最大シリアルレート	1200	Mbps

3.4.5 クロックおよび I/O のスイッチング特性

表 3-18 外部スイッチング特性

名称	説明	デバイス	C8/I7		C7/I6		単位
			最小値	最大値	最小値	最大値	
Pin-LUT-Pin Delay ^[1]	Pin(IOxA) to Pin(IOxB) delay	GW2A(2AR)-18	-	3.83	-	4.59	ns
T _{HCLKdly}	HCLK tree delay	GW2A(2AR)-18	-	0.82	-	0.98	ns
T _{GCLKdly}	GCLK tree delay	GW2A(2AR)-18	-	1.77	-	2.12	ns

注記：

- ^[1]テスト条件：V_{CCIO}=3.3V、V_{CCX}=3.3V、LVCMOS33、8mA、15pF の負荷。

3.4.6 オンチップオシレータのスイッチング特性

表 3-19 オンチップオシレータのパラメータ

名称	説明	最小値	標準値	最大値
f _{MAX}	オシレータの出力周波数 (0 ~ +85℃)	106.25MHz	125MHz	143.75MHz
	オシレータの出力周波数 (-40 ~ +100℃)	100MHz	125MHz	150MHz
t _{DT}	出力クロックのデューティサイクル	43%	50%	57%
t _{OPJIT}	出力クロックの周期ジッタ	0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 PLL のスイッチング特性

表 3-20 PLL のタイミングパラメータ

名称	説明	GW2AR-18			単位
		C9/I8	C8/I7	C7/I6	
F _{INMAX}	Maximum Input Clock Frequency	500	500	400	MHz
F _{INMIN}	Minimum Input Clock Frequency	3	3	3	MHz
F _{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	500	500	400	MHz
F _{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	3	3	3	MHz
F _{INJITTER}	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max			
F _{INDUTY}	Minimum Allowable Input Duty Cycle: 3-49 MHz	25	25	25	%
	Minimum Allowable Input Duty Cycle: 50-199 MHz	30	30	30	%
	Minimum Allowable Input Duty Cycle: 200-399 MHz	35	35	35	%
F _{VCOMIN}	Minimum PLL VCO Frequency	500	500	400	MHz
F _{VCOMAX}	Maximum PLL VCO Frequency	1250	1250	1000	MHz
T _{STATPHAOFFSET}	Static Phase Offset of the PLL Outputs	+/-50	+/-50	+/-50	ps
T _{JITTER_CCJ_HCLK} ^[3]	PLL Output cycle-cycle Jitter Thru HCLK ≥ 100MHz	<300	<300	<300	ps

名称	説明	GW2AR-18			単位
		C9/I8	C8/I7	C7/I6	
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	<30	<30	<30	mUI
	PLL Output cycle-cycle Jitter Thru PCLK ≥ 100MHz	<400	<400	<400	ps
	PLL Output cycle-cycle Jitter Thru PCLK <100MHz	<40	<40	<40	mUI
T _{JITTER_PJ_PCLK}	PLL Output period Jitter Thru HCLK ≥ 100MHz	<300	<300	<300	ps
	PLL Output period Jitter Thru HCLK <100MHz	<30	<30	<30	mUI
	PLL Output period Jitter Thru PCLK ≥ 100MHz	<400	<400	<400	ps
	PLL Output period Jitter Thru PCLK <100MHz	<40	<40	<40	mUI
T _{OUTDUTY} ^{[1],[4]}	PLL Output Clock Duty Cycle Precision	<50	<50	<50	mUI
T _{LOCKMAX}	PLL Maximum Lock Time	1	1	1	ms
F _{OUTMAX}	PLL Maximum Output Frequency	625	625	500	MHz
F _{OUTMIN} ^[2]	PLL Minimum Output Frequency	3.90625	3.90625	3.125	MHz
T _{EXTFDVAR}	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max			
R _{STMINPULSE}	Minimum Reset Pulse Width	10	10	10	ns

注記：

- ^[1] これらのテスト値は整数分周に基づいています。
- ^[2] カスケードモードでは、複数の分周器を直列に接続することで、より低い出力周波数を得ることができます。
- ^[3] 出力ジッタは入力ソースに関連しています。これらのテスト値は、低ジッタ水晶発振器を入力ソースとして使用した場合に基づいています。
- ^[4] IO 上のデューティサイクルはクロックツリーの影響も受けます。

3.5 コンフィギュレーション・インターフェースのタイミ ング仕様

GW2AR シリーズ FPGA 製品は、MSPI、SSPI、CPU、SERIAL を含

む **GowinCONFIG** コンフィギュレーション・モードをサポートしています。詳細については、『**Gowin FPGA** 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))』を参照してください。

4 デバイス購入情報

4.1 デバイス・オーダー・コード

注記：

- デバイスのパッケージおよびピン数の詳細については、1.2 製品情報一覧を参照してください。
- 同じスピードグレードの LittleBee ファミリーと Arora ファミリーのデバイスは、異なる速度を持っています。
- Gowin デバイスのスピードグレードは、C8/I7 などの二重ラベルでマークされます。チップはインダストリアルグレードの規格で選別されたため、インダストリアル・アプリケーション(I)とコマーシャル・アプリケーション(C)の両方に対応できます。インダストリアルグレードの最高温度は 100℃、コマーシャルグレードの最高温度は 85℃であるため、チップの、コマーシャル・アプリケーションでのスピードグレードが 8 の場合、インダストリアル・アプリケーションでのスピードグレードは 7 になります。

図 4-1 デバイス・オーダー・コード - ES

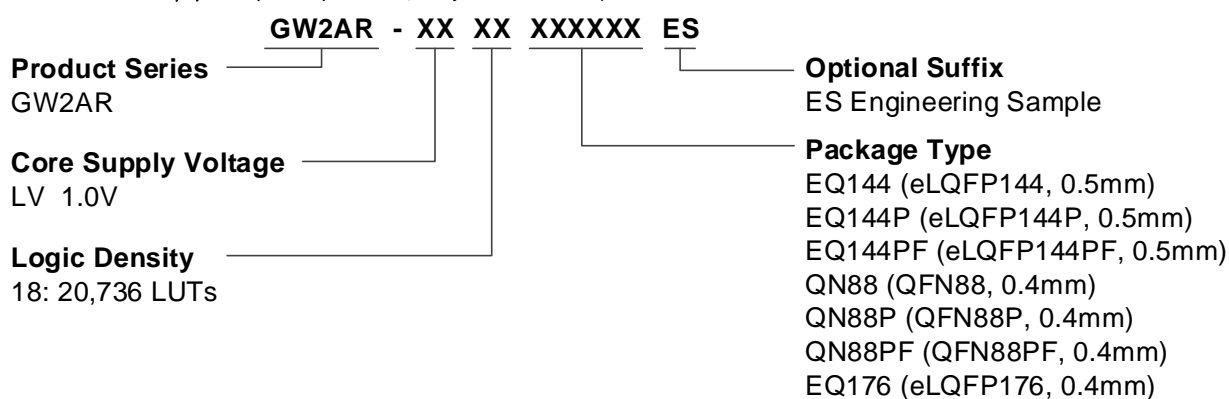
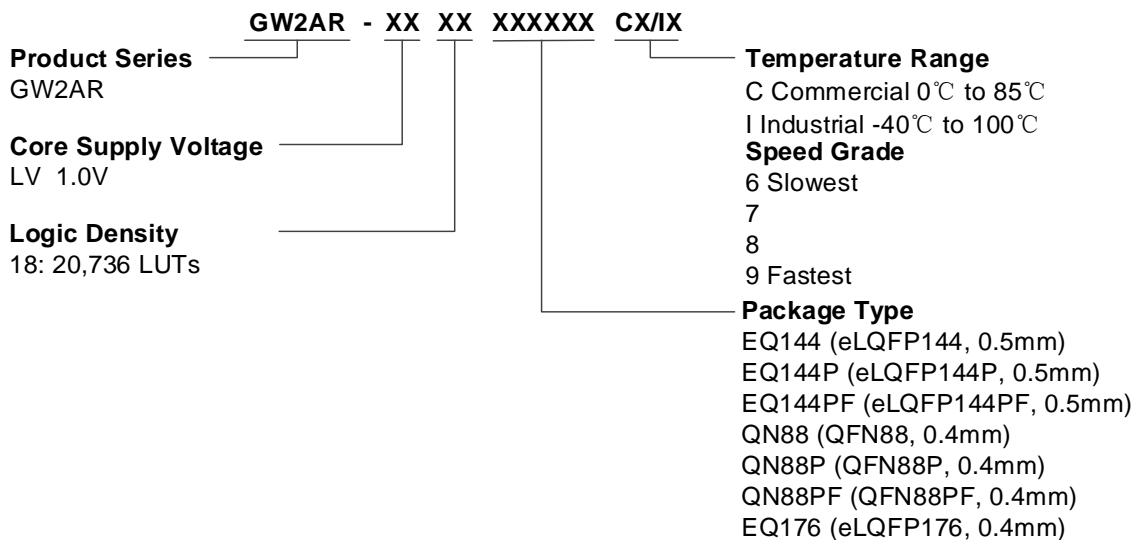


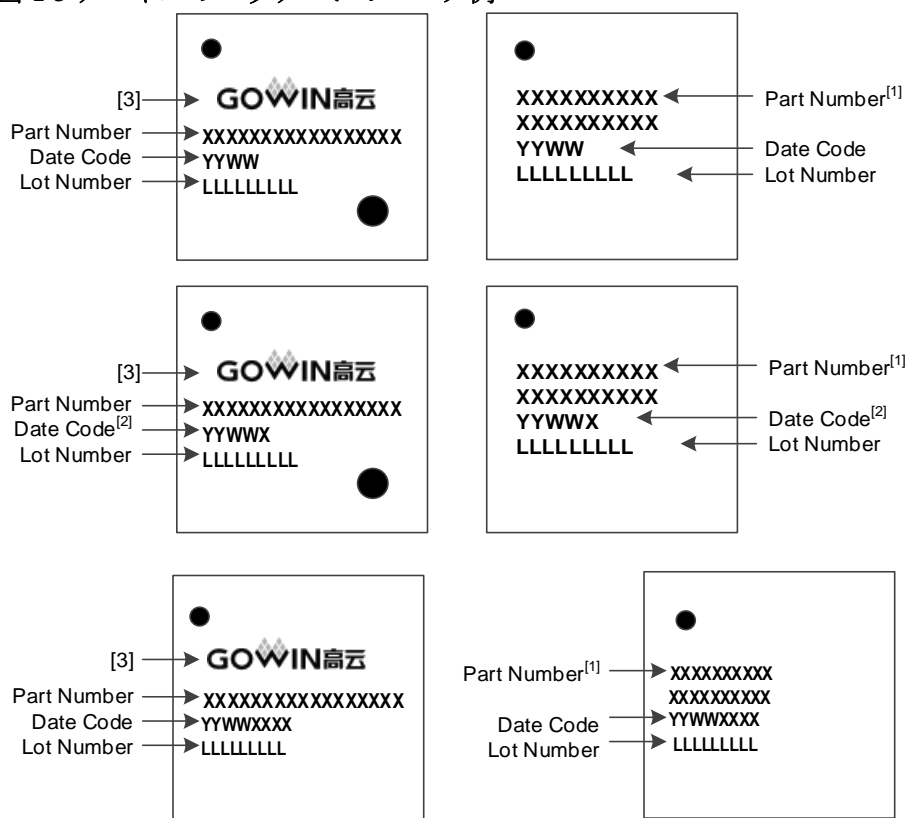
図 4-2 デバイス・オーダー・コード - Production



4.2 デバイスパッケージのマーク例

GOWIN セミコンダクターのチップの表面にデバイス情報が印刷されています(図 4-3)。

図 4-3 デバイスのパッケージのマーク例



注記：

- ^[1]上の右図の一行目と二行目は両方とも「Part Number」(部品番号)です。

- ^[2] **Date Code** の 5 番目の文字は、デバイスのバージョンを示します。
- ^[3] パッケージのマークに **Gowin** ロゴが付いているかどうかは、パッケージタイプ、パッケージサイズ、部品番号の長さによって決まります(上記の図はパッケージマークの一例にすぎません)。

5 本マニュアルについて

5.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクター GW2AR シリーズ FPGA 製品を使いこなせるよう、その特徴、リソース情報、内部構造、電気特性、コンフィギュレーション・インターフェースのタイミング、及びデバイス購入情報について説明しています。

5.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))
- GW2AR-18 デバイス Pinout([UG115](#))

5.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 5-1 に示します。

表 5-1 用語、略語

用語、略語	正式名称	意味
ALU	Arithmetic Logic Unit	算術論理演算装置
BSRAM	Block Static Random Access Memory	ブロック SRAM
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット

用語、略語	正式名称	意味
CLS	Configurable Logic Section	コンフィギュラブル論理セクション
CRU	Configurable Routing Unit	コンフィギュラブル配線ユニット
CS	WLCSP(Wafer-Level Chip Scale Package)	ウェハーレベル CSP
DCS	Dynamic Clock Selector	ダイナミック・クロック・セクタ
DP	True Dual Port 16K BSRAM	16K のデュアル・ポート BSRAM
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオドラント・クロック・イネーブル
DSP	Digital Signal Processing	デジタル信号処理
EQ	ELQFP(E-pad Low-profile Quad Flat Package)	E-pad ロープロファイル・クワッド・フラット・パッケージ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable IO	Gowin プログラマブル汎用 IO
IOB	Input/Output Block	入出力ブロック
LQ	LQFP(Low-profile Quad Flat Package)	ロープロファイル・クワッド・フラット・パッケージ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
MG	MBGA(Micro Ball Grid Array Package)	マイクロ BGA パッケージ
PG	PBGA(Plastic Ball Grid Array Package)	プラスチック BGA パッケージ
PLL	Phase-locked Loop	位相同期回路
QN	QFN(Quad Flat No-lead)	クワッドフラットノーリードパッケージ
REG	Register	レジスタ
SDP	Semi Dual Port 16K BSRAM	16K のセミ・デュアル・ポート BSRAM
SDRAM	Synchronous Dynamic RAM	同期ダイナミック RAM
SIP	System in Package	システムインパッケージ
SP	Single Port 16K BSRAM	16K のシングル・ポート BSRAM
SSRAM	Shadow Static Random Access Memory	分散 SRAM
TDM	Time Division Multiplexing	時分割多重化
UG	UBGA(Ultra Ball Grid Array Package)	ウルトラ BGA パッケージ

5.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

