


# GW2AR シリーズ FPGA 製品パッケージ及 びピンアウト **ユーザーガイド**

UG229-1.6.2J, 2023-02-02

## 著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2016/10/21	1.0J	初版。
2019/03/27	1.1J	EQ176 パッケージを追加。
2020/03/10	1.2J	最大ユーザーI/O の説明を更新。
2020/06/30	1.2.1J	QN88/EQ144(PSRAM 内蔵)を QN88P/EQ144P に更新。
2020/08/07	1.3J	QN88PF パッケージと EQ144PF パッケージを追加。
2021/05/14	1.4J	PG256S パッケージを追加。
2022/09/27	1.5J	<ul style="list-style-type: none"><li>● GW2AR-18 デバイス PG256S パッケージを削除。</li><li>● QN88 パッケージの厚さに関する注記を追加。</li><li>● EQ144/EQ144P/EQ144PF パッケージおよび EQ176 パッケージの外形図を変更。</li></ul>
2023/03/10	1.6J	GW2AR-18 デバイス LQ144 パッケージおよび LQ176 パッケージを削除。
2023/12/28	1.6.1J	<ul style="list-style-type: none"><li>● セクション「2.5 I/O BANK の説明」の説明を最適化。</li><li>● 推奨 PCB レイアウトを追加。</li></ul>
2024/02/02	1.6.2J	図 4-4 EQ144/EQ144P/EQ144PF パッケージの推奨 PCB レイアウトを更新。

# 目次

目次 .....	i
図一覧 .....	ii
表一覧 .....	iii
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアルの内容 .....	1
1.2 関連ドキュメント .....	1
1.3 用語、略語 .....	1
1.4 テクニカル・サポートとフィードバック .....	2
<b>2 概要 .....</b>	<b>3</b>
2.1 無鉛パッケージ .....	3
2.2 各パッケージの最大ユーザー I/O 数、(LVDS ペア数) .....	3
2.3 電源ピン .....	4
2.4 ピン数 .....	4
2.5 I/O BANK の説明 .....	6
<b>3 ピン配置図 .....</b>	<b>8</b>
3.1 GW2AR-18 デバイスのピン配置図 .....	8
3.1.1 QN88(SDRAM 内蔵)のピン配置図 .....	8
3.1.2 QN88P(PSRAM 内蔵)のピン配置図 .....	9
3.1.3 QN88PF(PSRAM 内蔵)のピン配置図 .....	10
3.1.4 EQ144(SDRAM 内蔵)のピン配置図 .....	11
3.1.5 EQ144P(PSRAM 内蔵)のピン配置図 .....	12
3.1.6 EQ144PF(PSRAM 内蔵)のピン配置図 .....	13
3.1.7 EQ176(SDRAM 内蔵)のピン配置図 .....	14
<b>4 パッケージ外形図 .....</b>	<b>16</b>
4.1 QN88/QN88P/QN88PF パッケージの外形図(10mm x 10mm) .....	16
4.2 EQ144/EQ144P/EQ144PF パッケージの外形図(20mm x 20mm) .....	18
4.3 EQ176 パッケージの外形図(20mm x 20mm) .....	20

## 図一覧

図 3-1 GW2AR-18 デバイス QN88 パッケージ(SDRAM 内蔵)のピン配置図.....	8
図 3-2 GW2AR-18 デバイス QN88P パッケージ(PSRAM 内蔵)のピン配置図.....	9
図 3-3 GW2AR-18 デバイス QN88PF パッケージ(PSRAM 内蔵)のピン配置図 .....	10
図 3-4 GW2AR-18 デバイス EQ144 パッケージ(SDRAM 内蔵)のピン配置図.....	11
図 3-5 GW2AR-18 デバイス EQ144P パッケージ(PSRAM 内蔵)のピン配置図.....	12
図 3-6 GW2AR-18 デバイス EQ144PF パッケージ(PSRAM 内蔵)のピン配置図.....	13
図 3-7 GW2AR-18 デバイス EQ176 パッケージ(SDRAM 内蔵)のピン配置図 .....	14
図 4-1 QN88/QN88P/QN88PF パッケージの外形図.....	16
図 4-2 QN88/QN88P/QN88PF パッケージの推奨 PCB レイアウト.....	17
図 4-3 EQ144/EQ144P/EQ144PF パッケージの外形図 .....	18
図 4-4 EQ144/EQ144P/EQ144PF パッケージの推奨 PCB レイアウト .....	19
図 4-5 EQ176 パッケージの外形図 .....	20
図 4-6 EQ176 パッケージの推奨 PCB レイアウト.....	21

## 表一覧

表 1-1 用語、略語 .....	1
表 2-1 各パッケージの最大ユーザーI/O 数、(LVDS ペア数) .....	3
表 2-2 GW2AR の電源ピン .....	4
表 2-3 GW2AR-18 デバイス(SDRAM 内蔵)のピン数 .....	4
表 2-4 GW2AR-18 デバイス(PSRAM 内蔵)のピン数 .....	5
表 3-1 GW2AR-18 デバイス QN88 パッケージ(SDRAM 内蔵)の I/O 以外のピン .....	8
表 3-2 GW2AR-18 デバイス QN88P パッケージ(PSRAM 内蔵)の I/O 以外のピン .....	9
表 3-3 GW2AR-18 デバイス QN88PF パッケージ(PSRAM 内蔵)の I/O 以外のピン .....	10
表 3-4 GW2AR-18 デバイス EQ144 パッケージ(SDRAM 内蔵)の I/O 以外のピン .....	11
表 3-5 GW2AR-18 デバイス EQ144P パッケージ(PSRAM 内蔵)の I/O 以外のピン .....	12
表 3-6 GW2AR-18 デバイス EQ144PF パッケージ(PSRAM 内蔵)の I/O 以外のピン .....	13
表 3-7 GW2AR-18 デバイス EQ176 パッケージ(SDRAM 内蔵)の I/O 以外のピン .....	14

# 1 本マニュアルについて

## 1.1 マニュアルの内容

本マニュアルには、主に GW2AR シリーズ FPGA 製品のパッケージの紹介、ピンの定義、ピン数一覧、ピン配置図、及びパッケージの外形図が含まれています。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AR-18 デバイス Pinout([UG115](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))

## 1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
EQ	eLQFP	eLQFP パッケージ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
QN	QFN	QFN88 パッケージ

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)



# 2 概要

Arora ファミリーの第一世代製品である GW2AR シリーズの FPGA 製品は、GW2A シリーズをもとに大容量の SDRAM チップを統合したシステムインパッケージ・チップです。また、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなどの組み込みリソースが備わっています。合理化された FPGA アーキテクチャ、55nm プロセス、およびこれらの組み込みリソースを特徴とした GW2AR シリーズ FPGA 製品は高速、低コストのアプリケーションに最適です。

また、GOWIN セミコンダクターは、合成、配置配線、ビットストリームファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

## 2.1 無鉛パッケージ

GW2AR シリーズの FPGA 製品は、無鉛技術パッケージを採用した、環境にやさしい製品で、EU の RoHS 指令に準拠しています。GW2AR シリーズ FPGA 製品に使用されている物質は、IPC-1752 スタンドに準拠しています。

## 2.2 各パッケージの最大ユーザーI/O 数、(LVDS ペア数)

表 2-1 各パッケージの最大ユーザーI/O 数、(LVDS ペア数)

パッケ ー ジ	ピッチ(mm)	サイズ(mm)	E-pad サイズ(mm)	GW2AR-18
EQ144	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144P	0.5	20 x 20	9.74 x 9.74	120(35)
EQ144PF	0.5	20 x 20	9.74 x 9.74	120(35)
QN88	0.4	10 x 10	6.74 x 6.74	66(22)
QN88P	0.4	10 x 10	6.74 x 6.74	66(22)
QN88PF	0.4	10 x 10	6.74 x 6.74	66(22)
EQ176	0.4	20 x 20	6 x 6	140(45)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、[1.3 用語、略語](#)を参照してください。
- JTAGSEL\_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL\_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。

## 2.3 電源ピン

表 2-2 GW2AR の電源ピン

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCIO6
VCCIO7	VCCX	VSS	NC
VCCPLLL0	VCCPLLL1	VCCPLLR0	VCCPLLR1

## 2.4 ピン数

表 2-3 GW2AR-18 デバイス(SDRAM 内蔵)のピン数

ピンタイプ		GW2AR-18		
		QN88	EQ144	EQ176
シングルエンド/差動ペア/LVDS <sup>[1]</sup>	BANK0	8/4/2	19/8/4	19/9/6
	BANK1	9/4/4	12/6/6	18/9/8
	BANK2	4/2/1	12/6/3	12/5/3
	BANK3	17/6/3	24/11/6	20/8/4
	BANK4	8/3/3	17/8/6	19/9/8
	BANK5	10/5/5	16/8/5	18/8/5
	BANK6	9/4/4	12/6/3	17/8/6
	BANK7	1/0/0	8/4/2	17/6/5
最大ユーザー I/O 数 <sup>[2]</sup>		66	120	140
差動ペア		28	57	62
True LVDS 出力		22	35	45
VCC		4	0	4
VCC/VCCPLLL1 <sup>[3]</sup>		0	4	0
VCCX		0	0	4
VCCX/ VCCIO2/ VCCIO6/VCCIO7 <sup>[3]</sup>		3	4	0
VCCIO2/VCCIO3/VCCIO6/VCCIO7		0	0	8
VCCX/VCCIO2/VCCIO3/VCCIO6/VCCIO7		0	0	0
VCCIO0		1	1	2
VCCIO1		1	1	2
VCCIO2		0	0	0
VCCIO3		1	2	0
VCCIO4		1	1	2
VCCIO5		1	1	2

ピンタイプ	GW2AR-18		
	QN88	EQ144	EQ176
VCCIO6	0	0	0
VCCIO7	0	0	0
VCCPLLL0	0	1	0
VCCPLLL1	1	0	1
VCCPLLR0	0	1	1
VCCPLLR1	1	1	1
VCCPLLL	0	0	0
VCCPLLR	0	0	0
VSS	7	6	8
MODE0	1	1	1
MODE1	1	1	1
MODE2	0	1	1
EXTR	1	1	1
JTAGSEL_N	0	0	0
NC	0	0	0

表 2-4 GW2AR-18 デバイス(PSRAM 内蔵)のピン数

ピンタイプ		GW2AR-18			
		QN88P	EQ144P	QN88PF	EQ144PF
シングルエンド /差動ペア /LVDS <sup>[1]</sup>	BANK0	8/4/2	19/8/4	8/4/2	19/8/4
	BANK1	9/4/4	12/6/6	9/4/4	12/6/6
	BANK2	4/2/1	12/6/3	4/2/1	12/6/3
	BANK3	17/6/3	24/11/6	17/6/3	24/11/6
	BANK4	8/3/3	17/8/6	8/3/3	17/8/6
	BANK5	10/5/5	16/8/5	10/5/5	16/8/5
	BANK6	9/4/4	12/6/3	9/4/4	12/6/3
	BANK7	1/0/0	8/4/2	1/0/0	8/4/2
最大ユーザーI/O 数 <sup>[2]</sup>		66	120	66	120
差動ペア		28	57	28	57
True LVDS 出力		22	35	22	35
VCC		4	0	4	0
VCC/VCCPLLL1 <sup>[3]</sup>		0	4	0	4
VCCX		0	0	0	0
VCCX/VCCIO1/VCCIO6 <sup>[3]</sup>		2	0	2	0
VCCX/VCCIO4/VCCIO6 <sup>[3]</sup>		0	2	0	2
VCCIO2/VCCIO7 <sup>[3]</sup>		2	3	0	0
VCCIO0		1	1	1	1
VCCIO1		0	1	0	1

ピンタイプ	GW2AR-18			
	QN88P	EQ144P	QN88PF	EQ144PF
VCCIO2	0	0	1	1
VCCIO3	1	2	1	2
VCCIO4	1	0	1	0
VCCIO5	1	1	1	1
VCCIO6	0	0	0	0
VCCIO7	0	0	1	2
VCCPLLL0	0	1	0	1
VCCPLLL1	1	0	1	0
VCCPLLR0	0	1	0	1
VCCPLLR1	1	1	1	1
VSS	7	6	7	6
MODE0	1	1	1	1
MODE1	1	1	1	1
MODE2	0	1	0	1
EXTR	1	1	1	1
JTAGSEL_N	0	0	0	0

注記：

- <sup>[1]</sup> シングルエンド/差動/LVDS I/O の数には、CLK ピンとダウンロードピンが含まれています。
- <sup>[2]</sup> JTAGSEL\_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL\_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- <sup>[3]</sup> ピンの多重化。


## 2.5 I/O BANK の説明

GW2AR シリーズ FPGA には 8 つの I/O BANK があります。

BANK の詳細については、『GW2AR シリーズ FPGA 製品データシート([DS226](#))』 > 2.4 入出力ブロックを参照してください。

このマニュアルには、GW2AR シリーズ FPGA 製品の各パッケージのピン配置図が記載されています。GW2AR シリーズ FPGA 製品の BANK は異なる色で区別されています。

ユーザー I/O、電源、グラウンドは異なる記号と色により区別されています。GW2AR シリーズ FPGA 製品のピン配置図のピンの定義は以下の通りです：

- “” は BANK0 内の I/O を表します。
- “” は BANK1 内の I/O を表します。
- “” は BANK2 内の I/O を表します。

- “” は BANK3 内の I/O を表します。
- “” は BANK4 内の I/O を表します。
- “” は BANK5 内の I/O を表します。
- “” は BANK6 内の I/O を表します。
- “” は BANK7 内の I/O を表します。
- “” は VCC、VCCX、VCCIO を表します。
- “” は VSS を表します。
- “” は NC を表します。
- “” は専用ピン EXTR を表します。

# 3ピン配置図

## 3.1 GW2AR-18 デバイスのピン配置図

### 3.1.1 QN88(SDRAM 内蔵)のピン配置図

図 3-1 GW2AR-18 デバイス QN88 パッケージ(SDRAM 内蔵)のピン配置図

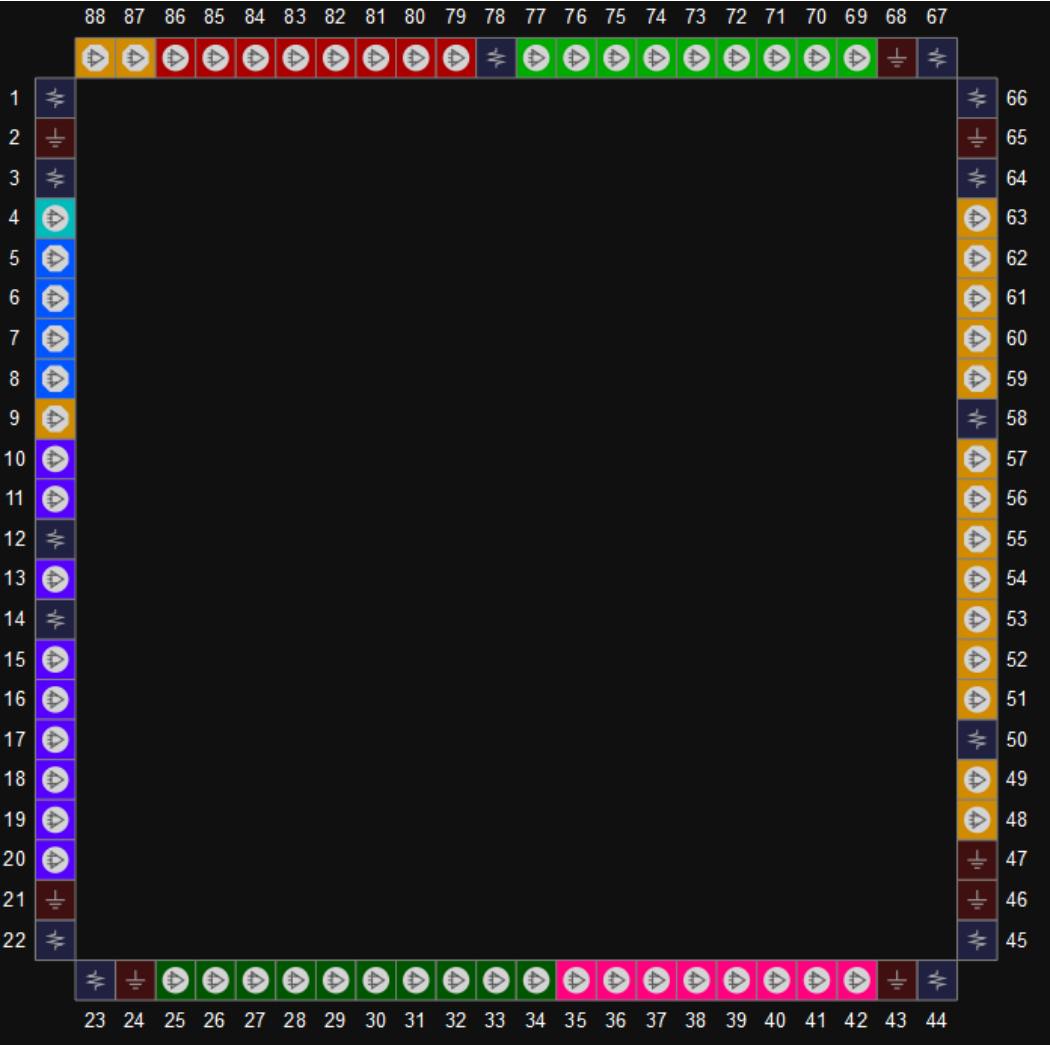


表 3-1 GW2AR-18 デバイス QN88 パッケージ(SDRAM 内蔵)の I/O 以外のピン

VCC	1, 22, 45, 66
-----	---------------

VCCIO0	78
VCCIO1	67
VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCX/VCCIO2/VCCIO6/VCCIO7	3, 12, 64
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

### 3.1.2 QN88P(PSRAM 内蔵)のピン配置図

図 3-2 GW2AR-18 デバイス QN88P パッケージ(PSRAM 内蔵)のピン配置図



表 3-2 GW2AR-18 デバイス QN88P パッケージ(PSRAM 内蔵)の I/O 以外のピン

VCC	1, 22, 45, 66
VCCIO0	78

VCCIO2/VCCIO7	3, 64
VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCX/VCCIO1/VCCIO6	12, 67
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

### 3.1.3 QN88PF(PSRAM 内蔵)のピン配置図

図 3-3 GW2AR-18 デバイス QN88PF パッケージ(PSRAM 内蔵)のピン配置図



表 3-3 GW2AR-18 デバイス QN88PF パッケージ(PSRAM 内蔵)の I/O 以外のピン

VCC	1, 22, 45, 66
VCCIO0	78
VCCIO2	64



VCCIO3	58
VCCIO4	44
VCCIO5	23
VCCIO7	3
VCCX/VCCIO1/VCCIO6	12, 67
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

### 3.1.4 EQ144(SDRAM 内蔵)のピン配置図

図 3-4 GW2AR-18 デバイス EQ144 パッケージ(SDRAM 内蔵)のピン配置図



表 3-4 GW2AR-18 デバイス EQ144 パッケージ(SDRAM 内蔵)の I/O 以外のピン

VCC/VCCPLLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109

VCCIO3	77, 91
VCCIO4	55
VCCIO5	37
VCCX/VCCIO2/VCCIO6/ VCCIO7	5,19,31,103
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

### 3.1.5 EQ144P(PSRAM 内蔵)のピン配置図

図 3-5 GW2AR-18 デバイス EQ144P パッケージ(PSRAM 内蔵)のピン配置図

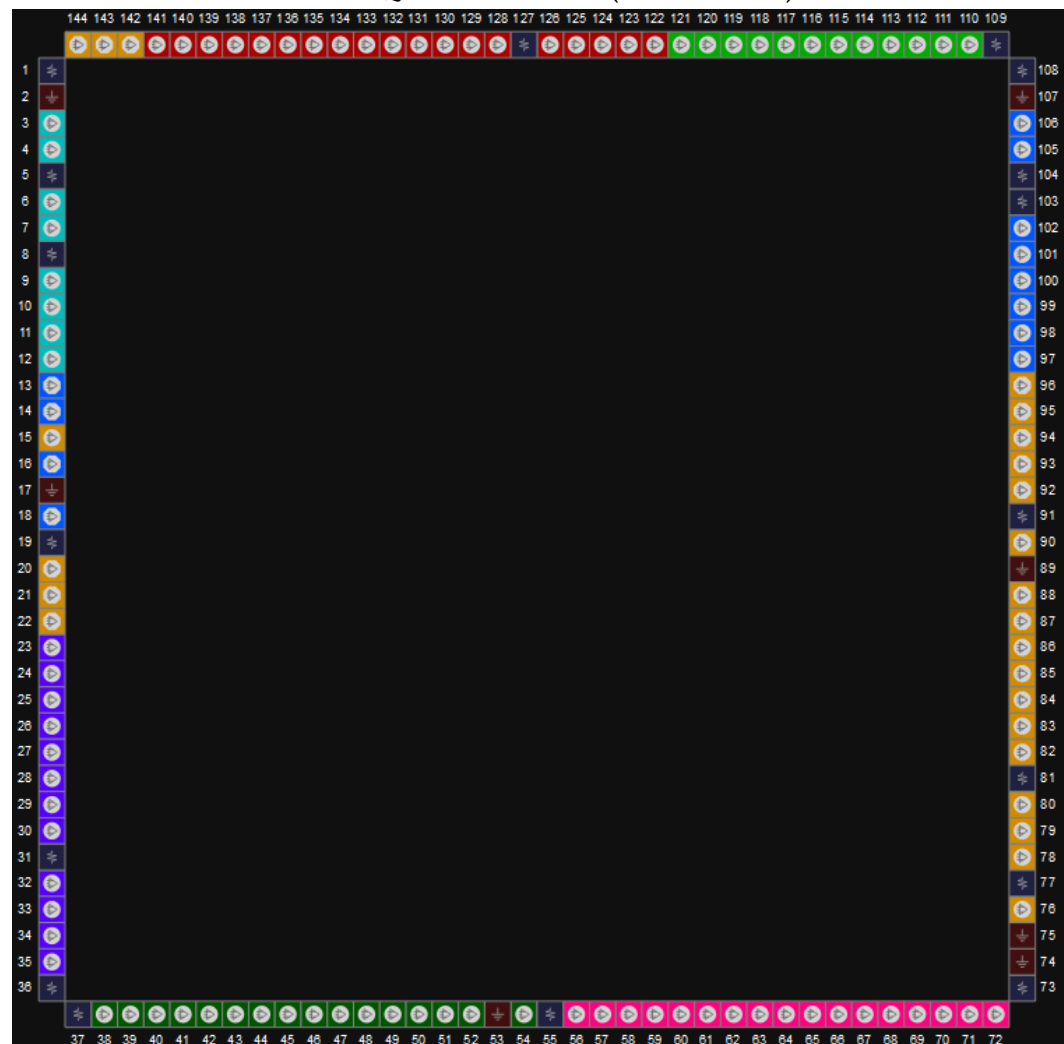


表 3-5 GW2AR-18 デバイス EQ144P パッケージ(PSRAM 内蔵)の I/O 以外のピン

VCC/VCCPLLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109
VCCIO3	77, 91

VCCIO5	37
VCCIO2/VCCIO7	5,19,103
VCCX/VCCIO4/VCCIO6	31,55
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

図 3-6 GW2AR-18 デバイス EQ144PF パッケージ(PSRAM 内蔵)のピン配置図

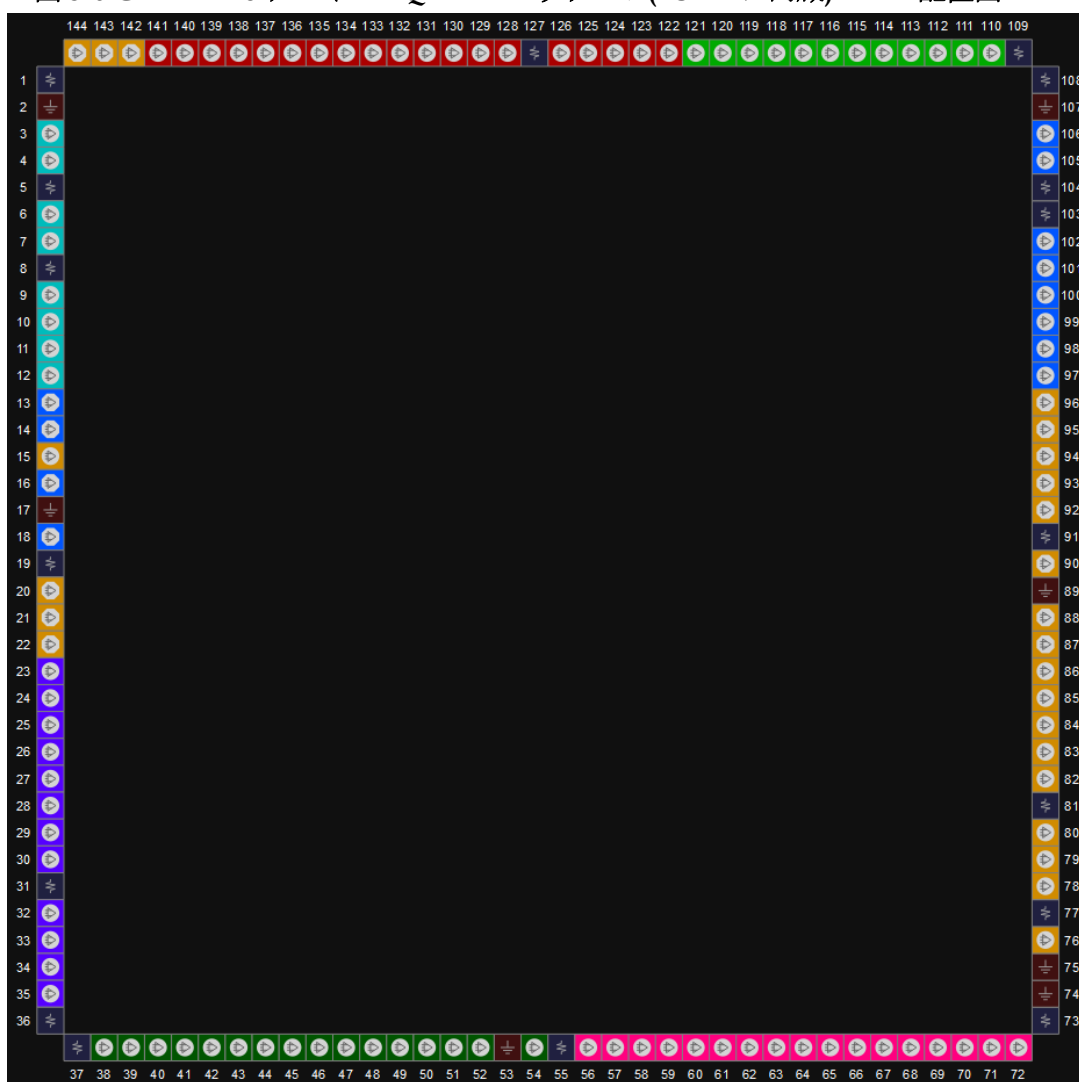


表 3-6 GW2AR-18 デバイス EQ144PF パッケージ(PSRAM 内蔵)の I/O 以外のピン

VCC/VCCPLL1	1, 36, 73, 108
VCCIO0	127
VCCIO1	109
VCCIO2	103
VCCIO3	77, 91

VCCIO5	37
VCCIO7	5, 19
VCCX/VCCIO4/VCCIO6	31, 55
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

### 3.1.7 EQ176(SDRAM 内蔵)のピン配置図

図 3-7 GW2AR-18 デバイス EQ176 パッケージ(SDRAM 内蔵)のピン配置図

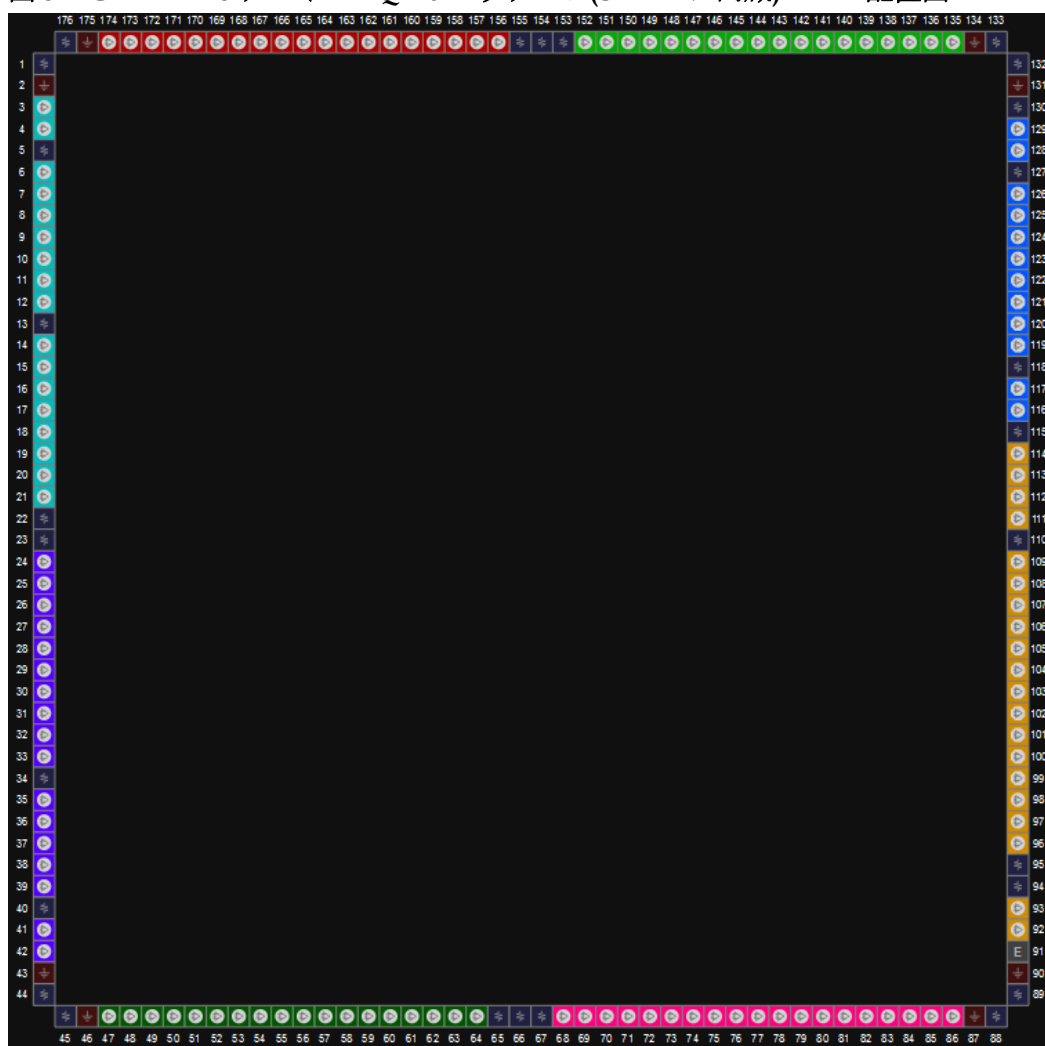


表 3-7 GW2AR-18 デバイス EQ176 パッケージ(SDRAM 内蔵)の I/O 以外のピン

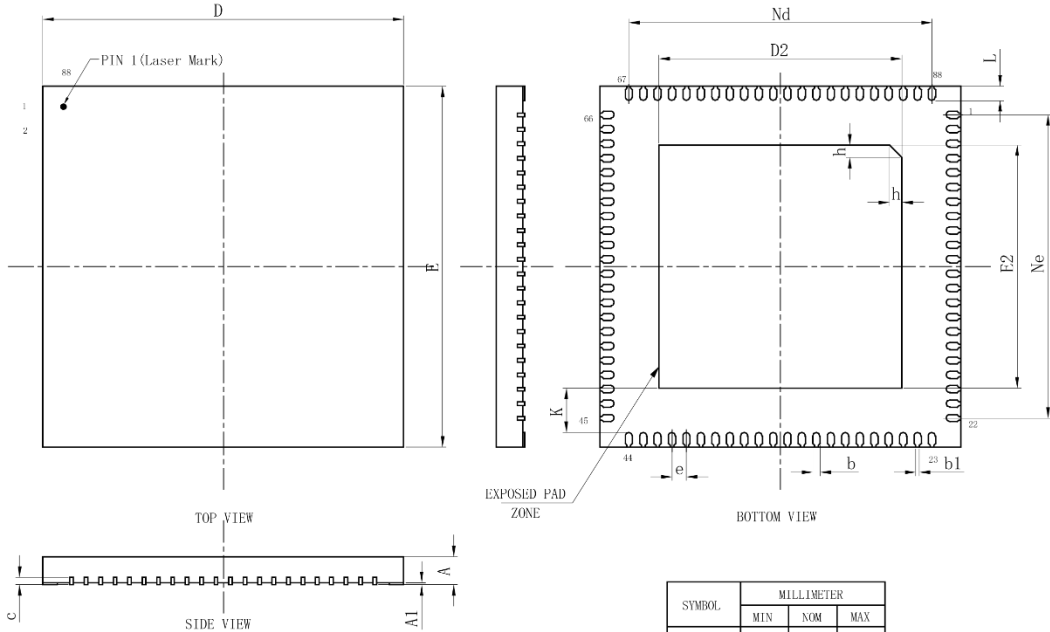
VCC	1, 44, 89, 132
VCCIO0	155, 176
VCCIO1	133, 153
VCCIO4	67, 88
VCCIO5	45, 65

VCCX	23, 66, 115, 154
VCCIO2/VCCIO3/VCCIO6/VCCIO7	5, 13, 22, 40, 95, 110, 130
VCCPLLL1	34
VCCPLLR0	127
VCCPLLR1	94
VSS	2, 43, 46, 87, 90, 131, 134, 175
EXTR	91
MODE	111, 112, 113

# 4パッケージ外形図

## 4.1 QN88/QN88P/QN88PF パッケージの外形図(10mm x 10mm)

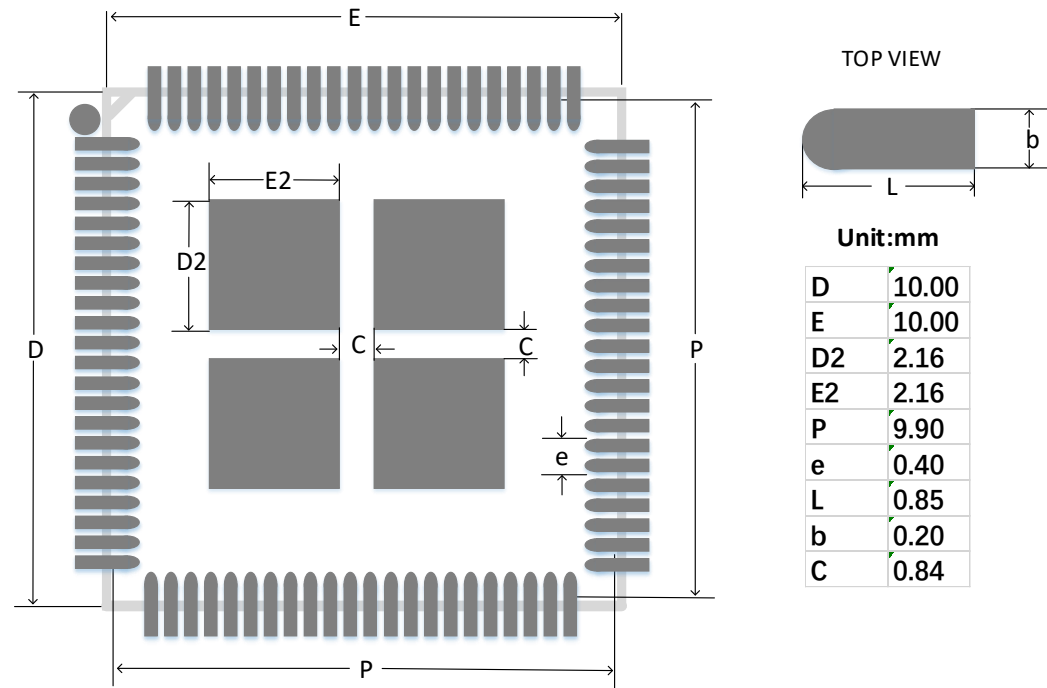
図 4-1 QN88/QN88P/QN88PF パッケージの外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
	0.80	0.85	0.90
	0.85	0.90	0.95
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1	0.10REF		
c	0.18	0.20	0.25
D	9.90	10.00	10.10
D2	6.64	6.74	6.84
e	0.40BSC		
Ed	8.40REF		
E	9.90	10.00	10.10
E2	6.64	6.74	6.84
Ne	8.40REF		
L	0.30	0.40	0.50
K	0.20	-	-
h	0.30	0.35	0.40

- 注記：
- GW2AR-LV18QN88 の場合、A(NOM)の値は 0.9mm です。
  - GW2AR-LV18QN88P および GW2AR-LV18QN88PF の場合、A(NOM)の値は 0.9mm です。

図 4-2 QN88/QN88P/QN88PF パッケージの推奨 PCB レイアウト



## 4.2 EQ144/EQ144P/EQ144PF パッケージの外形図(20mm x 20mm)

図 4-3 EQ144/EQ144P/EQ144PF パッケージの外形図

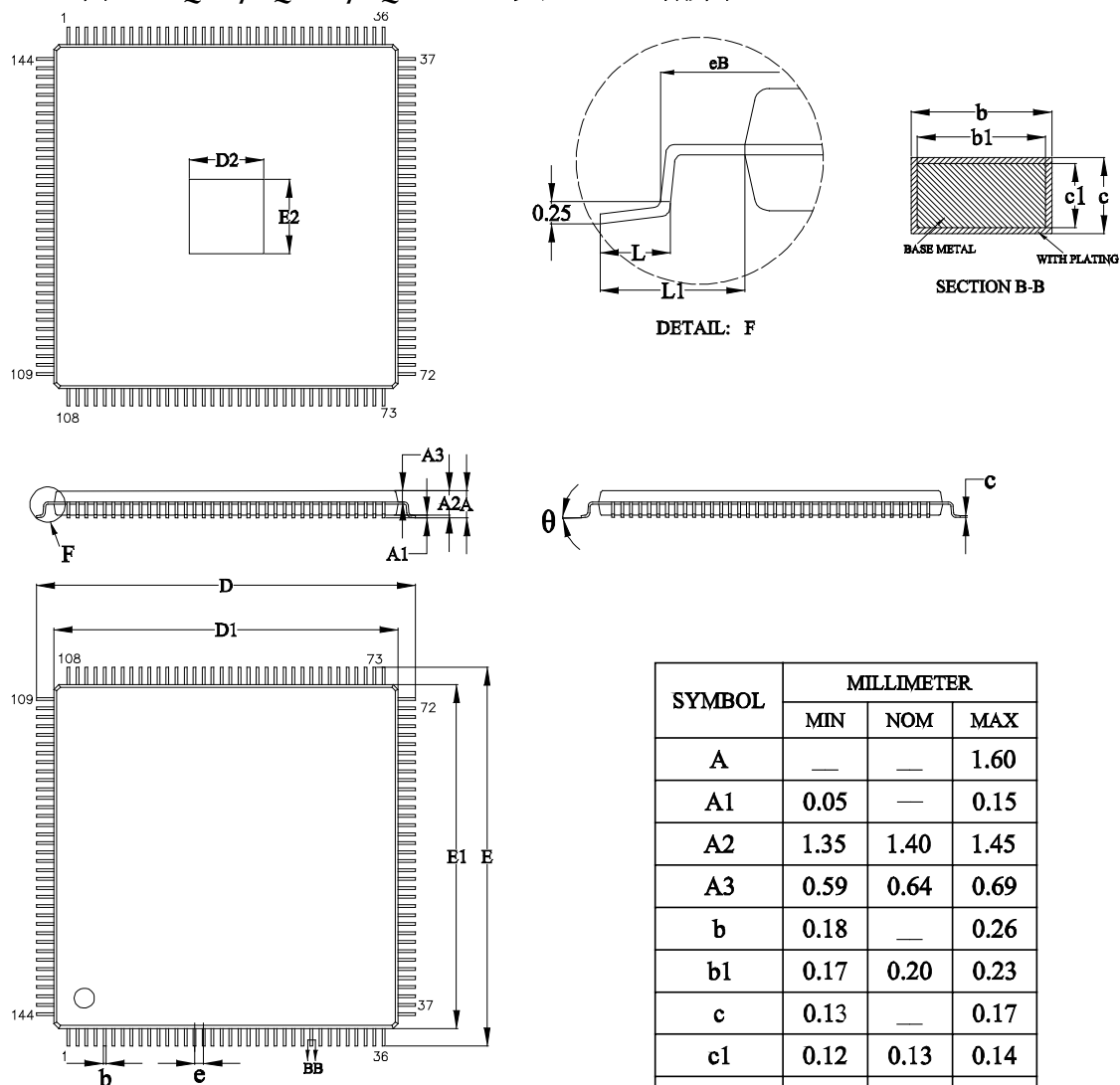
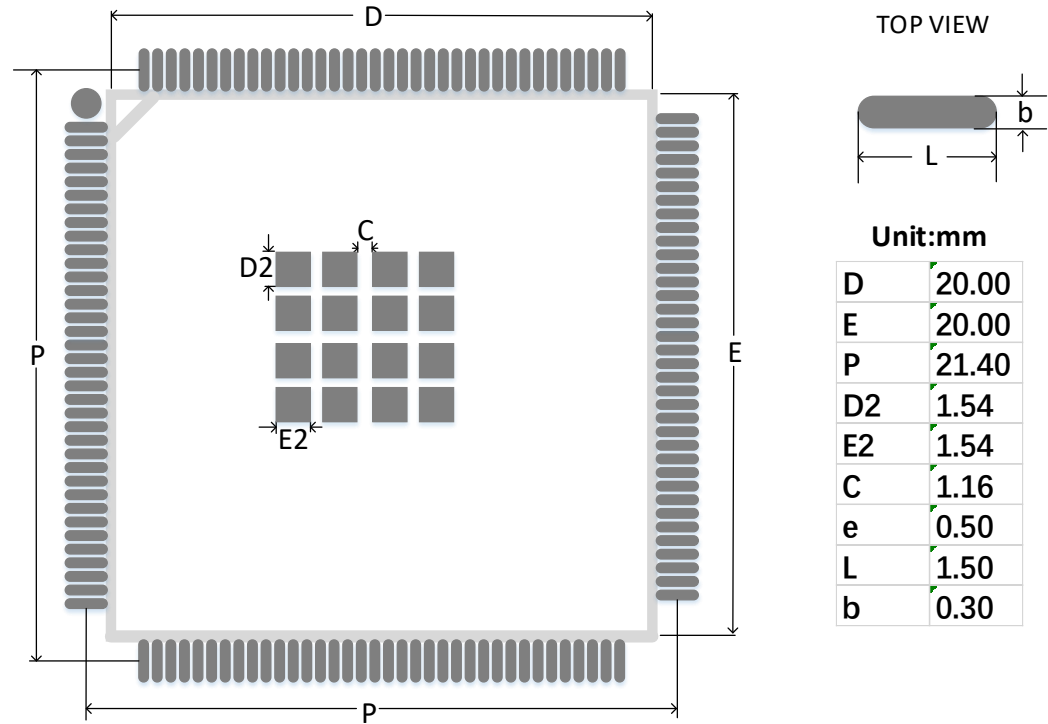




図 4-4 EQ144/EQ144P/EQ144PF パッケージの推奨 PCB レイアウト



## 4.3 EQ176 パッケージの外形図(20mm x 20mm)

図 4-5 EQ176 パッケージの外形図

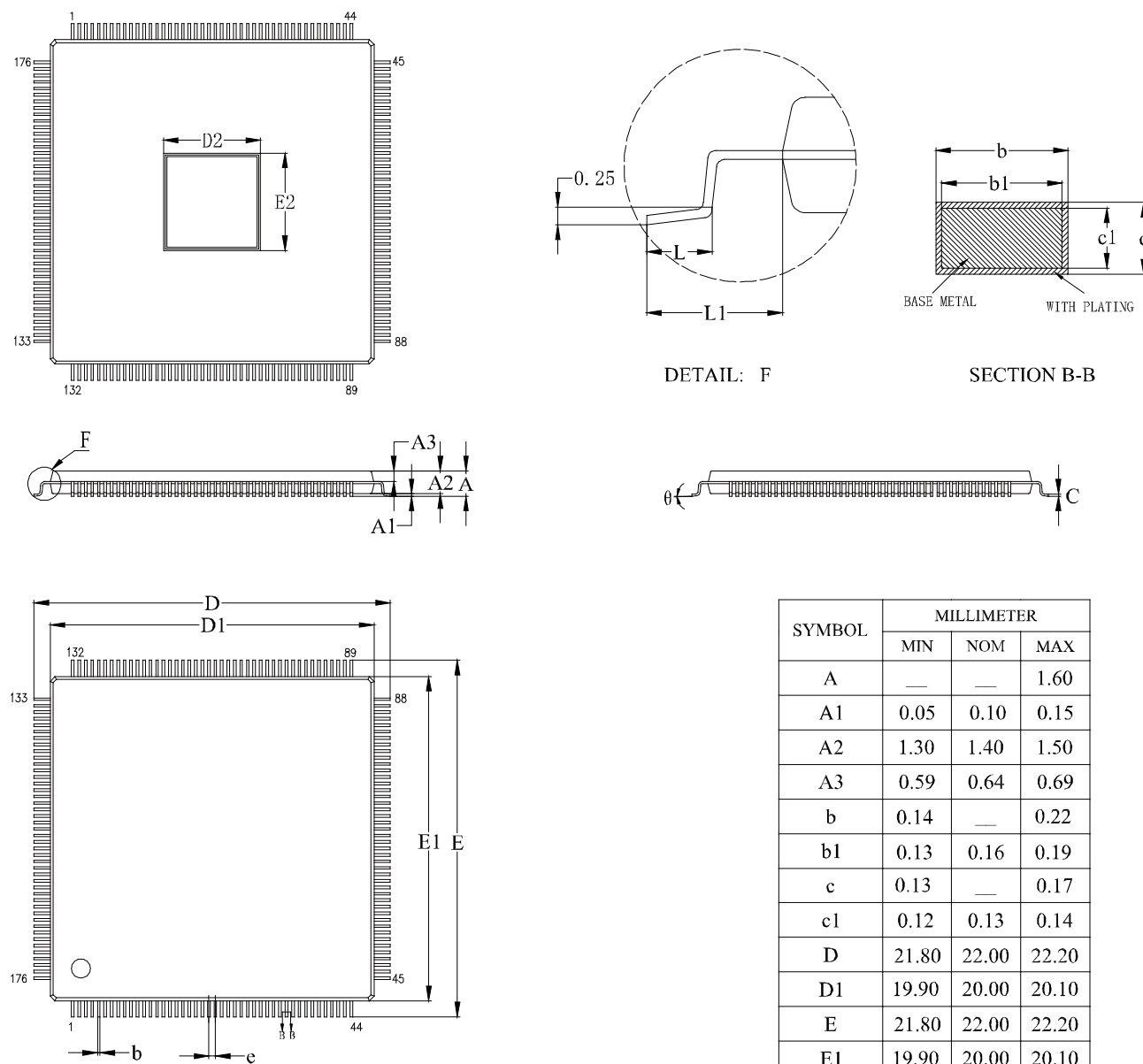


図 4-6 EQ176 パッケージの推奨 PCB レイアウト

