

店长“小梅哥”推荐

全功能教学级FPGA开发板

一千多页PDF教程文档，数十个基础和实用性实验例程
一百多集教学视频（含实地培训班全套实录）
十多个可选配套模块，实时在线技术支持。



专业的FPGA自学平台

精心打造 用心服务 只为您轻松学习

修订记录

V1.4	2017/5/26	增加 Modelsim 仿真问题第 9 点
V1.5	2017/10/23	增加学习资料说明和开发板使用部分的硬件图例
V1.6	2018/1/24	细化开发板驱动安装部分说明，增加了几个 Modelsim 常见问题，细化了 Quartus 开发板安装和破解指导书内容
V2.0	2018/4/4	<p>1、优化文档结构，将 Modelsim 和 Quartus 相关内容全部制作为独立文档，并从本手册中移除，方便随时更新最新知识内容。独立出来的文档，可在芯路恒各大 FPGA 技术支持群下载，也可在 www.corecourse.cn 网站搜索下载。</p> <p>2、丰富各个扩展模块与 AC620 开发板连接的说明，基本覆盖了当前 AC620 开发板支持的所有扩展模块。</p> <p>3、替换手册中所有原“芯航线”名称为“芯路恒”</p>
V2.1	2018/8/2	修复细节 bug
V2.2	2019/6/13	更新完善一些细节内容。
V3.0	2020/7/25	更改为 AC620V2 开发板用户手册，所描述内容全部更新对应 AC620V2 开发板硬件
V3.1	2021/5/27	优化测试说明章节的内容结构，更适合新手

AC620V2 全功能 FPGA 实验平台使用教程

目录

AC620V2 全功能 FPGA 实验平台使用教程	3
【第一部分】先把环境搭起来	5
第一步：给开发板供电	5
第二步：测试开发板功能	6
第三步：安装开发软件	8
第四步：安装开发板所需驱动	8
一、连接开发板硬件到电脑	9
一、FPGA 下载器 USB Blaster 驱动安装说明	10
二、CH340 USB 转串口芯片驱动安装说明	14
第五步：了解我们提供的学习资料	16
视频教程	16
教程文档	17
例程源码	17
第六步：学习建议	17
第七步：关于开发板引脚分配	18
第八步：关于学习或实验中遇到的问题	19
第九步：关于各个扩展模块与主板的连接	19
【第二部分】熟悉下板子各个电路结构	20
一、芯路恒 AC620 开发板功能特点	20
1.1 布局及组件	20
1.2 AC620V2 开发板器件资源	22
1.3 核心板接口资源	23
二、开发板使用	23
2.1 开发板烧写配置	24
2.2 轻触按键	24
2.3 用户 LED	25
2.4 时钟输入	26
2.5 GPIO 接口	27
2.6 红外接收	29
2.7 SDRAM	30
2.8 IIC 总线（EEPROM+RTC+WM8731）	31
2.9 通用显示扩展接口	32
2.10 摄像头接口	34
2.11 USB to UART	36
2.12 电源拓展端口	37
2.13 无源蜂鸣器驱动电路	38
2.14 音频编解码电路	39
2.15 以太网收发器	40
2.16 RS232 接口	41

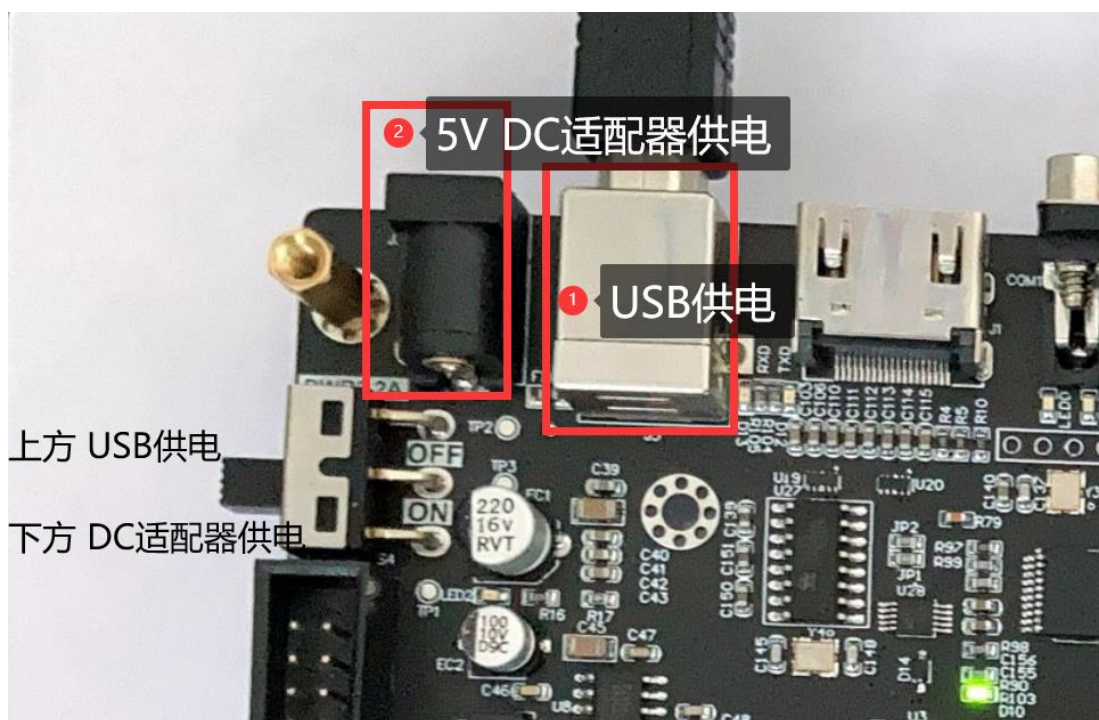
2.17 HDMI/DVI 输出	42
2.18 12 位 8 通道 ADC.....	43
2.19 12 位 2 通道 DAC.....	44
2.20 7 段 8 位数码管.....	46

【第一部分】先把环境搭起来

本须知主要针对用户在学习和使用芯路恒 AC620V2 开发板时若干常见问题进行说明，避免大家走弯路。希望大家依次阅读。

第一步：给开发板供电

AC620V2 开发板支持两种供电模式，需要使用标配的外接 5V 直流电源供电。开发板输入电源电压最高不能超过 5.5V，请务必使用开发板标配的 5V/1A 电源适配器供电。



开发板正常工作要素：

- 1、连接 5V 电源适配器或者 USB 数据线
- 2、开发板左上角的电源开关拨动到对应位置（上方 USB 供电，下方 DC 适配器供电）

当然，您也可以使用移动电源（充电宝）替代电源适配器，或者，也可以将接适配器一端的 USB 口连接到电脑的 USB 接口上给开发板供电。

特别提醒：

下述情况请**务必使用 DC 适配器供电**：

1. 当您在开发板上连接了扩展模块，例如 5 寸/4.3 寸显示屏，AD9226 高速 ADC 模块、AD9767 高速 DAC 等较大功耗的模块时。
2. 开发板上资源使用率超过 80%，且运行频率较高时，此时开发板自身功耗较大。
3. 进行以太网、摄像头、音频接口等实验时。

4. 其他可能存在的大功率情况。
5. 开发板原配的 USB 数据线损坏或丢失，用户自行购买的代用线材品质不可靠时。

USB 供电在功耗太大的情况下，可能因为 PC 的 USB 接口供电不足，导致开发板工作异常。我们原装配套的 USB 线都是 2428 规格的，能够确保开发板工作电流在 500mA 以内时压降在可接受范围内，用户自行购买的类似线材，如果规格不达标，则可能出现更大的线缆压降，导致开发板因为供电不足而不能正常工作。

第二步：测试开发板功能

如果测试有疑问，或者有其他需求，可以看看这个帖子，我们会更新一些相关说明。

【开发板使用】AC620V2 开发板出厂测试方法

<http://www.corecourse.cn/forum.php?mod=viewthread&tid=28310>

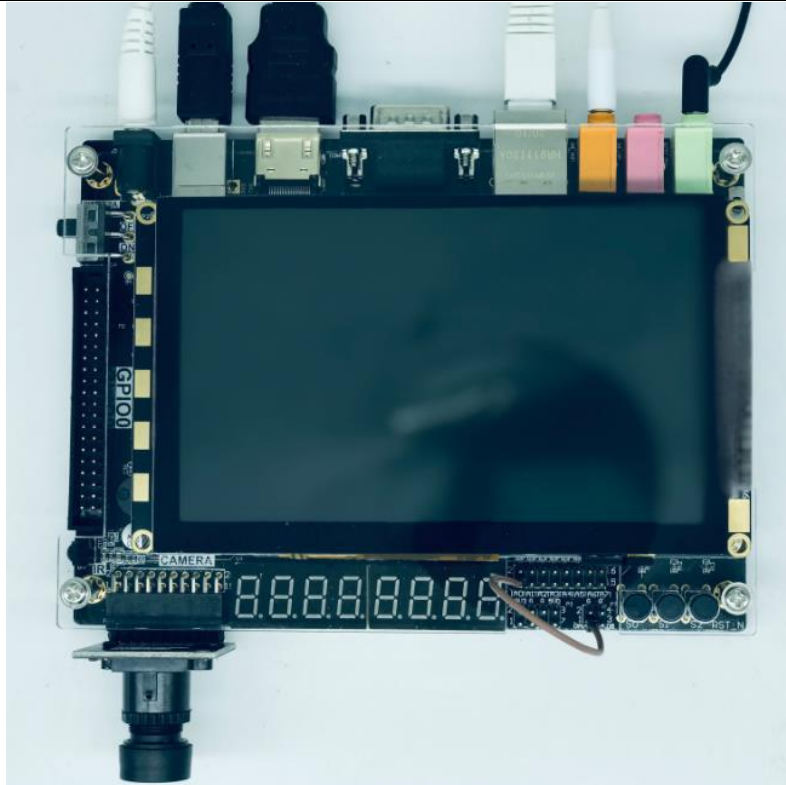
(出处: 芯路恒电子技术论坛)

(强烈建议先打开本帖子，然后对着帖子内容进行测试)

测试前准备：用圆孔的电源线给开发板供电，用 type-B 接口线（方口）连接电脑和开发板

- 1、使用配套的圆孔电源线给开发板供电
- 2、使用配套的方口 USB 线连接开发板的 USB 接口和电脑的 USB 接口
- 3、使用配套的音频线，一端插入开发板上 3 个彩色音频接口中最左侧接口（Link_IN），另一端插入电脑的耳机接口，或者手机的圆孔耳机接口。
- 4、连接耳机或音响(用户自备)到开发板上 3 个彩色音频接口中最右侧的接口(Link_OUT)，（如用户自己无合适的耳机可省略此步骤）
- 5、使用配套的网线，一端插入开发板的网口，另一端插入电脑的网口（如电脑无网口可省略此步骤）
- 6、从配套的彩色杜邦线中分离出一根，一端插入开发板上 DAC 电路的 DA 脚，一端插入 ADC 电路的 A0 脚。
- 7、使用配套的 HDMI 视频线，一端插入开发板的 HDMI 接口，另一端插入独立的 HDMI 显示器的 HDMI 输入接口。（特别提醒，是插入专用显示器的 HDMI 接口，而非您电脑主机或笔记本上的 HDMI 接口。如您暂时没有 HDMI 接口显示器可用，可省略此步骤）。
- 8、如果您购买的套餐中含有 OV5640 摄像头，请将其插入到开发板左下方的 CAMERA 接口。
- 9、如果您购买的套餐中含有 5 寸触摸显示屏，请将其插入到开发板右侧的 LCD 接口。

全部插接好后的开发板实物图如下图所示。



测试过程

- 1、给开发板上电，大约 2 秒后开发板完成自检，数码管上显示当前时间值，按下一次按键 S0，数码管上切换为显示日期。再按下 S0，回到实时时间显示状态。（**RTC 测试通过、数码管测试通过**）
- 2、在按下 S0 的过程中，会听到蜂鸣器发出了清脆的声音。（**蜂鸣器测试通过**）
- 3、将配套的红外遥控器尾部的透明塑料条拉出扔掉，对着开发板左下角按下任意键，能听到蜂鸣器鸣叫。（**红外遥控接收功能测试通过**）
- 4、观察 4 个蓝色 LED 灯的状态，循环快速依次亮灭。（**LED 测试通过**）
- 5、按下按键 S1，数码管切换到显示电压值状态（高 4 位默认显示的是 0.128），在杜邦线链接无误的情况下，低 4 位数码管的值应也在 0.128 左右（可能有+0.020 左右偏差）。
- 6、按下按键 S0，高 4 位数码管显示值以乘 2 的倍数变化，低 4 位数码管的值变化为与高四位相近（可能有+0.020 左右偏差）。（**ADC 和 DAC 测试通过**）。
- 7、按下按键 S2/RST_N：系统重新回到刚上电状态（**按键 S2 测试通过**）
- 8、如果您购买的套餐中有 OV5640 摄像头，在插上 OV5640 摄像头的情况下，TFT 显示屏（如果购买了有）和 HDMI 显示器（如果您接上了 HDMI 显示器）中会实时显示采集到的图像值。（**OV5640、TFT 显示屏、HDMI 输出、SDRAM 测试通过**）
- 9、用手指触摸并滑动显示屏，会出现红色十字坐标跟随手指位置变动。（**触摸显示屏的触摸功能测试通过**）。
- 10、使用连接了音频线的手机或电脑播放音乐，在开发板连接的耳机中能听到对应播放的音乐内容。（**音频芯片输入输出功能测试通过**）。
- 11、如果开发板上的时间显示不准确，可以自行校对。校对方法为：**先按照本手册“第**

第四步 安祖航开发板所需驱动”一节的内容安装好串口驱动，然后打开“05_常用软件”文件夹中提供的“AC620 设置时间工具 TimeSet_V3.exe”，查看设备管理器中开发板识别的串口号与软件打开的 COM 号是否一致，如果不一致，请点击关闭按钮，然后在 port 下拉框中选择正确的 com 号。然后再单击打开按钮，此时窗口上会实时显示开发板发送的时间信息。点击更新时间按钮，会自动将电脑上的实时准确时间下发到开发板并更新开发板的时间。此时数码管上会显示电脑当前的时间，如果没显示，多尝试再次点击更新时间按钮试试，能显示电脑当前的时间说明没有问题，（**串口发送和接收测试通过**）。

- 12、 确认开发板右上角的开关拨到上方（GMII 这边），然后重新给开发板上电，以**管理员身份**运行“05_常用软件”文件夹下的“AC620 静态 IP 地址和 ARP 绑定设置.bat”文件(运行前最好先关闭无线网一下，运行完了再打开)。打开“05_常用软件”文件夹下的“网络助手软件（NetAssist）”软件，软件中的本地 IP 部分填 192.168.0.3，本地端口填 6102，点击连接，然后在目标主机填 192.168.0.2，目标端口填 5000，接着点击发送按钮，此时会在接收区接收到您发送出去的数据内容。（**千兆以太网收发测试通过**）。

网卡测试相对较为复杂，测试过程中可能会因电脑权限和电脑硬件配置，出现部分用户无法完成测试的情况，这个不必担心。出厂前我们针对每个开发板的网卡都专门进行过测试，确保到达您手里的板子网卡本身是不会有问题的。您在后续学习了以太网的调试课程之后，再来做网卡相关的实验就不会有问题了。

第三步：安装开发软件

开发板配套开发软件为 Quartus II 13.0.请用户自行下载并安装，详细下载和安装教程见：

《Quartus II 13.0 安装和破解指导书.pdf》

该文档已经提供在开发板标注配套资料盘里“盘 A_AC620V2 开发板标准配套资料\01_教材文档”下 06 号文档，同时，大家也可在芯路恒各大 FPGA 技术支持群内或 www.corecourse.cn 论坛搜索下载。



第四步：安装开发板所需驱动

开发板与电脑连接需要安装 2 个驱动，分别是 USB 转串口驱动和 USB Blaster 下载器驱动，

USB 转串口驱动是为了实现 USB 转串口功能，实现 FPGA 和电脑通过串口进行通信，USB Blaster 驱动是给 FPGA 下载程序时候用的。不安装的话会无法下载程序到 FPGA。**大家在安装时候千万要把硬件和驱动文件对应起来，不要闹用 USB 转串口的驱动去安装 USB-**

店铺：<https://xiaomeige.taobao.com>

技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：www.corecourse.cn

技术群组：615381411

Blaster 下载器驱动的笑话!!!!

接下来分别介绍两个驱动的安装方法。

一、连接开发板硬件到电脑

使用开发板提供的方口 USB 数据线连接开发板和电脑的 USB 口，如下图所示。



连接好线缆之后，无论开发板的电源开关是在上方还是下方，电脑上都将识别出 2 个新硬件。如下图所示：



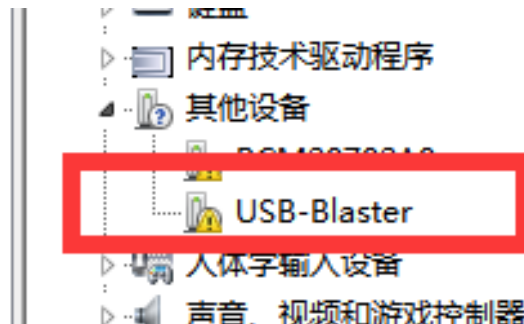
图中左图就是给开发板上 FPGA 芯片下载程序和调试程序需要用到的 USB Blaster 设备，右图则是用来实现和 PC 进行串口通信需要的 USB 转串口设备。

如果用户在插上电脑后没有发现上述 2 个设备或者其中一个，可以查看设备管理器的通用串行总线控制器下有没有 Altera USB-Blaster 设备，如果有，则是驱动已经自动装好了，可能的原因是之前该电脑就已经安装过 USB Blaster 的驱动，如下图作图所示。同样的，如果没有看到 USB2.0-Serial 设备，则检查设备管理器中的端口（COM 和 LPT）下有没有“USB-SERIAL CH340（COMx）”设备，如下图右图所示。如果有，则可能的原因是该电脑之前已经安装过该设备的驱动，或者您的操作系统自带了该设备的驱动。

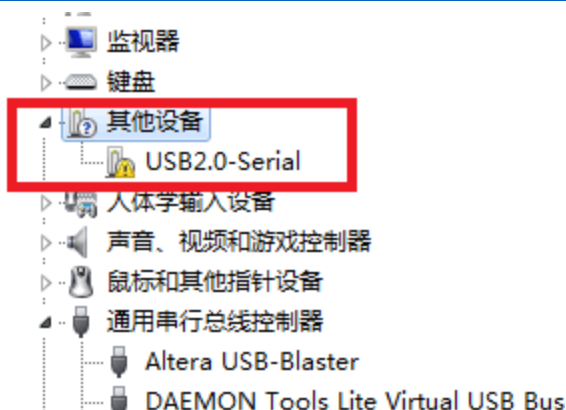


接下来分别介绍这两个设备驱动的安装。

一、FPGA 下载器 USB Blaster 驱动安装说明(点击本标题快速到达)



二、CH340 USB 转串口芯片驱动安装说明(点击本标题快速到达)

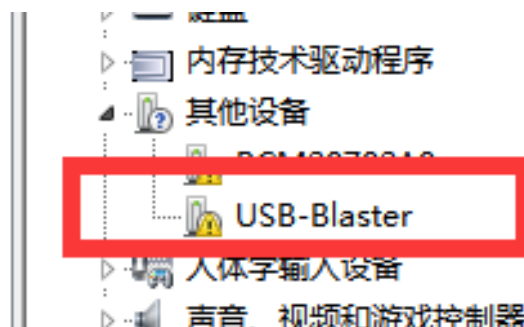


一、FPGA 下载器 USB Blaster 驱动安装说明

AC620V2 开发板板载的下载器和大家常用的独立版下载器功能和性能都是完全一样，驱动安装方法和使用方法也完全一样。要想安装该驱动程序，比较推荐的方式就是安装好 Quartus II 软件，那么该软件的安装目录下就会自带 USB Blaster 驱动程序。当我们安装驱动程序时，直接从该路径下安装即可。

在设备管理器中查看硬件

我们假设用户已经安装好了 Quartus II 软件。那么当开发板首次插到电脑上时，会提示安装驱动，这个时候，我们在 windows 系统的设备管理器中可以查看到如下设备：

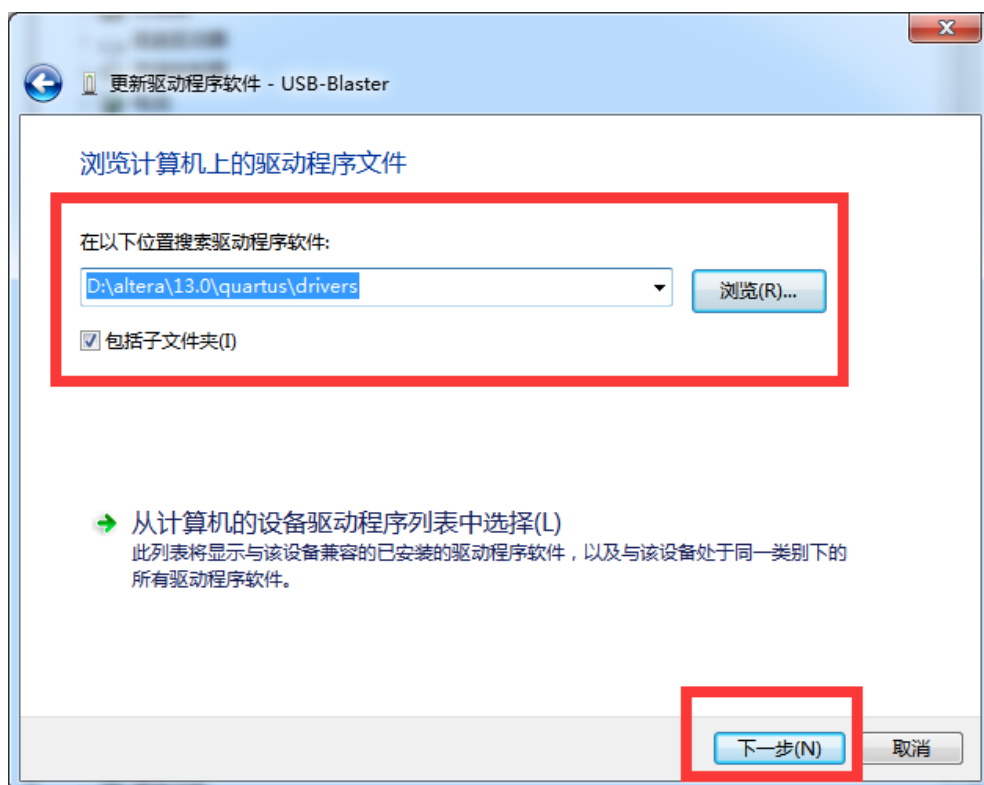


安装驱动

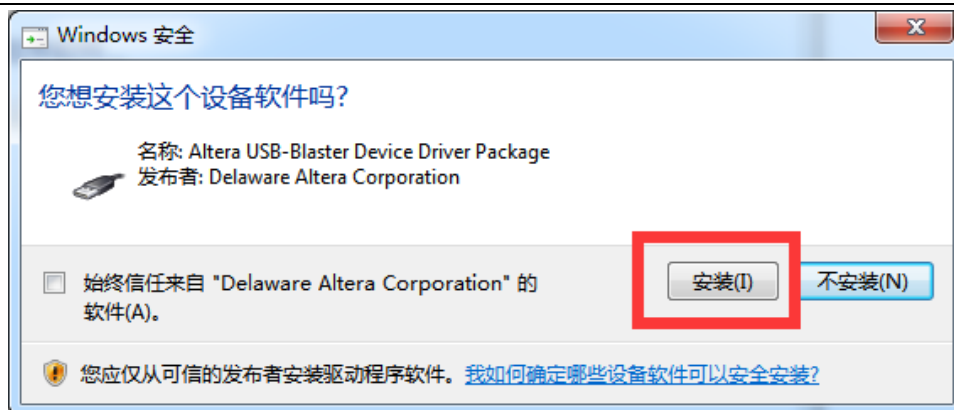
带黄色感叹号表示设备驱动不正常，这个时候我们就需要手动安装该设备驱动。选中 USB-Blaster，单击鼠标右键，选择更新驱动程序。在弹出的界面中，选择浏览计算机以查找驱动程序软件：

→ 浏览计算机以查找驱动程序软件(R)
手动查找并安装驱动程序软件。

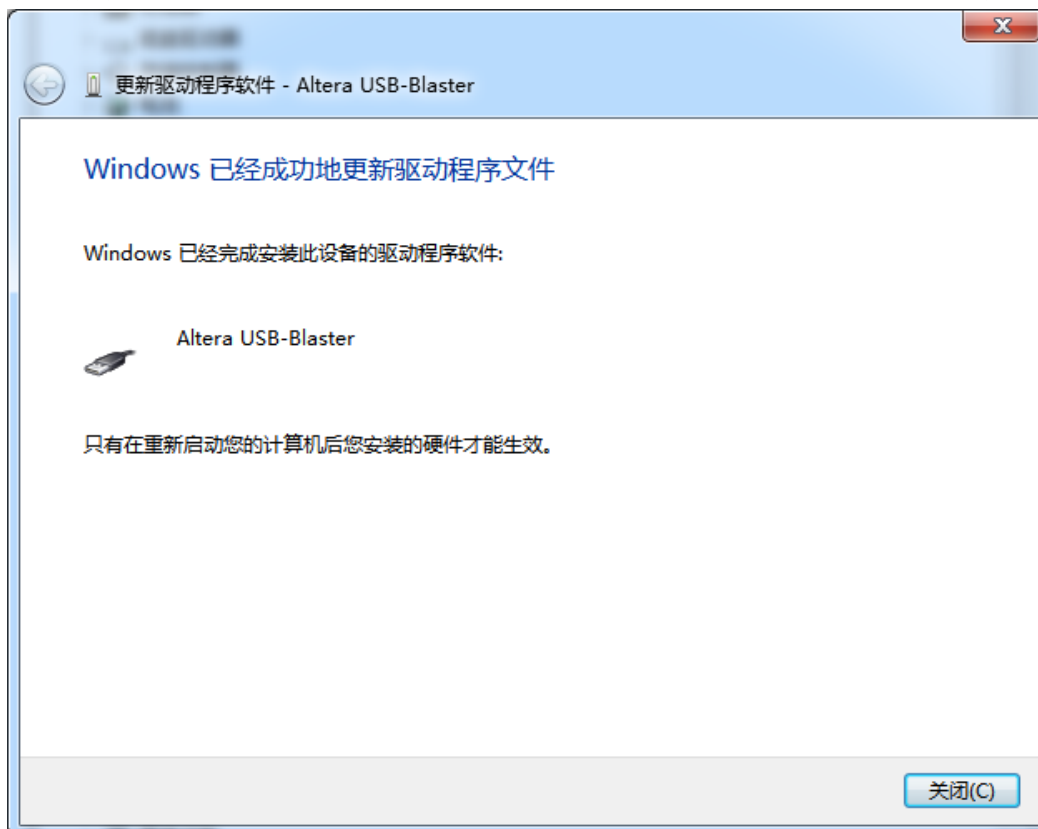
在弹出的窗口中，点击浏览，将路径定位到你电脑上 Quartus II 软件的安装目录下的 drivers 文件夹，例如我的电脑上该路径为：D:\altera\13.0\quartus\drivers，(敲黑板，看清楚，路径只到 Drivers 这一级，没有再深入到下一级)，勾选“包括子文件夹”选项，然后点击下一步，如下图所示：



然后会弹出如下对话框，我们选择“安装”即可。



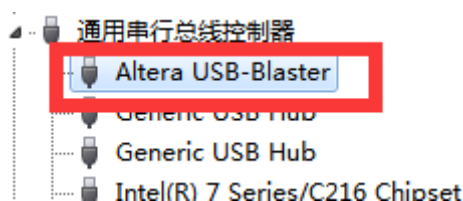
软件将自动开始搜索驱动文件并安装，安装完成后弹出如下界面提示安装已经完成：



虽然界面提示电脑需要重启才能使用硬件，但是实测无需重启，驱动安装好之后就可以立即使用了。

检查安装结果

点击关闭即可。虽然这里说需要重启计算机硬件才能生效，但是我们在使用时发现，不重启计算机也是可以生效的。在设备管理器中可以看到如下已经就绪设备：



自此，USB Blaster 下载器驱动安装完毕。接下来就可以使用该下载器进行配置文件的烧写和单板的调试了（不用慌，教程教做实验的时候会讲的）。

二、CH340 USB 转串口芯片驱动安装说明

目前很多的开发板都使用 CH340 作为 USB 转串口的方案，芯路恒 FPGA 开发板上也使用该芯片实现了一路 USB 转串口接口，该电路和 USB Blaster 公用同一根 USB 数据线，所以只要上一步接好了 USB 线缆，这一步无需再做任何硬件连接工作。

在设备管理器中查看硬件

当插上电脑后，部分电脑能够自动识别芯片并安装驱动。如果你的电脑没有正确自动安装驱动，在设备管理器中将看到如下信息：



有的网友电脑可能之前已经安装过该芯片的驱动了，所以插上之后会直接在设备管理器的“端口（COM 和 LPT）”下面显示找到对应的 COM 口，这样就不需再安装驱动。如果出现的是上述感叹号的内容，请继续执行下文操作。

另外，如果“端口（COM 和 LPT）”和“其他设备”中均没有该硬件，请再次确认开发板和 PC 是否已经使用 USB 线接到一起了。如果都接好了，考虑使用的 USB 线是否存在不良。可以尝试更换 USB 线测试。

3、运行驱动安装包

在开发板配套资料里面找到 CH340 驱动(USB 串口驱动)_XP_WIN7 共用.rar 文件，解压后，运行文件中的 setup.exe 文件。如果找不到，打开 SETUP.EXE 时提示 INF 文件为 CH341SER.INF，我们不需要理会（341，340 共用的），所以直接点安装即可！

4、查看驱动安装结果

安装成功后设备管理器中显示如图所示：

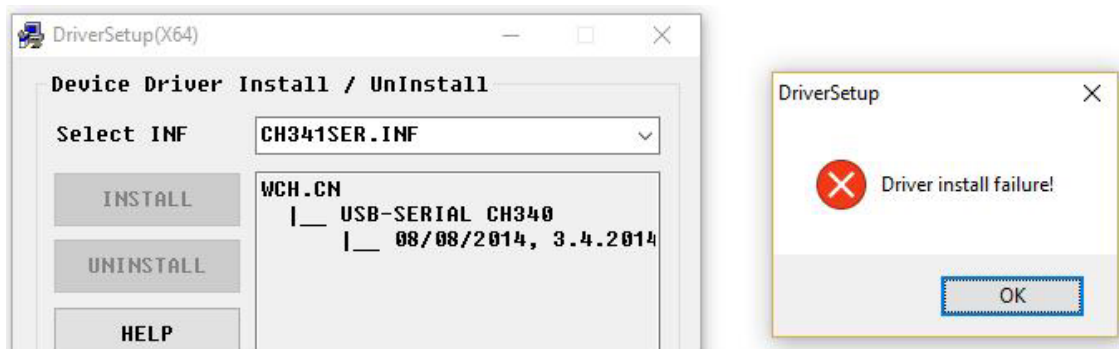


如果提示：预安装成功，主要考虑 USB 数据线没有连接成功，考虑没有插接好开发板，或者更换 USB 数据线测试。

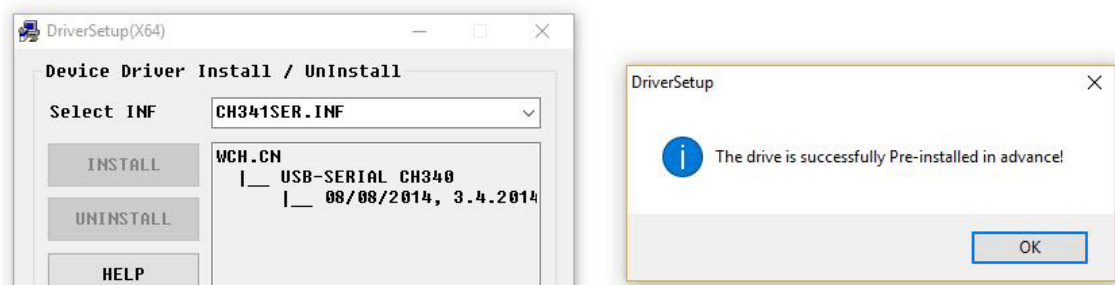
对于 WIN8 系统，安装失败，可参考此贴：

<http://www.openedv.com/posts/list/0/45091.htm>

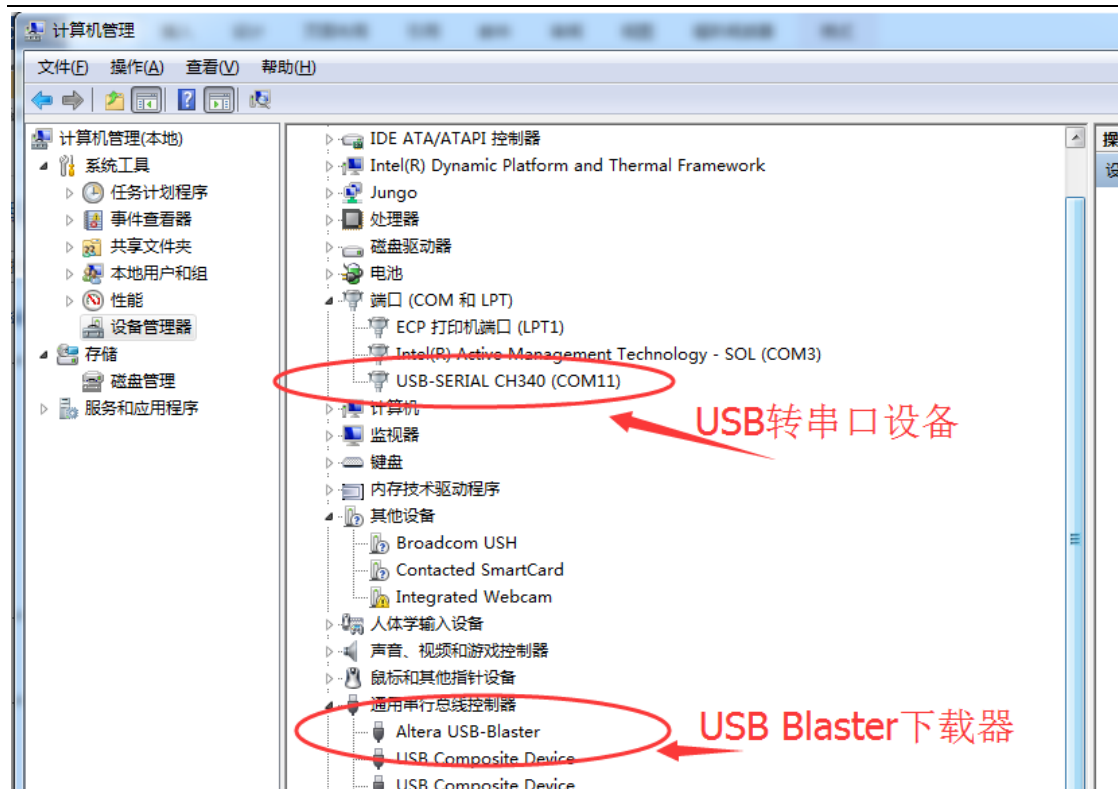
根据用户反馈，有用户反馈安装失败（win10, 64 位环境），截图如下所示：



后面，只要先点击下 UNINSTALL 按钮，然后在重新点击 INSTALL 就可正确安装了，如下图：



如果两个驱动都安装好以后，在电脑设备管理器中应该能够看到如下两个设备：



第五步：了解我们提供的学习资料

AC620V2 开发板主要提供 3 类资料

- 1、视频教程
- 2、教程文档和书籍
- 3、例程源码

视频教程

视频教程主要分为 3 大块

- 1、AC620V2 开发板入门视频，5 讲，主要通过细致的理论和实例讲解带领客户详细的了解 AC620V2 开发板的软硬件特点，以及如何使用 AC620V2 开发板进行学习。同时，该 5 集也对 Verilog 语法有较为详细的讲解
- 2、《小梅哥 FPGA 培训实录视频》，该视频是小梅哥 2017 年 7 月月在武汉开展的实地培训的全程实录，全部都是电脑屏幕的高清实录，包含 Verilog 数字系统设计教程和基于 NIOS II CPU 的 SOPC 系统教程总共，2 个月内容。属于独家重量级配套资料，适合希望参加实地培训但又受现实限制的网友进行接近于培训班式的学习。此部分视频内容为一机一码加密，提供前 5 天试看内容。加密部分需要购买开发板才能够获取密码。
- 3、《FPGA 设计思想与验证方法视频教程》，该视频教程由小梅哥专为 0 基础学员录制，全程都是一点一点讲原理，一行一行写代码，一步一步做仿真，非常的细致深入，包含了软件使用和开发思路以及调试技巧。学员评价非常高。

店铺：<https://xiaomeige.taobao.com>

技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：www.corecourse.cn

技术群组：615381411

教程文档

- 1、《AC620FPGA 开发板用户手册》，详细介绍了 AC620V2 开发板的所有软硬件信息，包括电路设计方案，引脚分配信息，使用注意事项等。使用 AC620V2 开发板时，需要经常参考此手册。对于新上手用户，建议先浏览该文件一遍，了解文件讲述的内容范围。
- 2、《FPGA 自学笔记——设计与验证》，AC620 开发板完全配套书籍，北航出版社出版，从 0 开始，以 30 多个实验详细讲解了 FPGA 的开发和验证过程。涉及到 DDS、IIC、SDRAM 控制器的设计和验证。（当前 458 页）
- 3、《AC620 扩展和补充设计教程》，该文档包含了《FPGA 自学笔记——设计与验证》一书中未能完全收录的设计教程。例如矩阵键盘、VGA 控制器、触摸屏等。
- 4、《AC620 以太网设计与应用教程》该文档详细讲解了使用 Verilog 设计以太网协议的教程，包括 MAC 层、IP 层和 UDP 层。绝非说明书式的例程介绍，而是真正的手把手设计和分析教程。
- 5、《AC620 SOPC 嵌入式系统设计教程》介绍了使用 AC620 开发板进行 SOPC 开发的相关内容。
- 6、《ModelSim 仿真使用常见问题解答》，新手在学习过程中，使用 modelsim 仿真遇到问题或错误时，先看本文，查找对应错误的解释说明。

说明：对于 2、3、4 文档，我们现在已经将其合并为一个大的 pdf 文档，名为《FPGA 系统设计与验证实战指南》。大家可以直接看这个合并后的大文档。内容还更丰富一点（加入了图像处理，USB 相关的内容）

例程源码

太多了，不一一列举，简单说下分类

- 1、《FPGA 自学笔记——设计与验证》书中实例配套源码
- 2、《AC620V2 扩展和补充设计教程》配套源码
- 3、《AC620V2 以太网设计与应用教程》配套源码
- 4、AC620V2 图像视频监控系统源码
- 5、小梅哥 FPGA 暑期培训班视频源码（Verilog+SOPC）
- 6、AC620V2 图像处理相关例程

第六步：学习建议

1. 观看 AC620 的盘符下的 5 集“AC620 配套视频教程”，了解如何使用本开发板进行开发和学习；
2. 能力强的，看完这 5 集视频后，可以观看“小梅哥 2017 暑期培训视频”；
3. 如果观看暑期培训视频发现难以跟上，建议回头将《FPGA 设计思想与验证方法视频教程》先学习一遍，然后再回来看培训视频；
4. 书本内容的话，可以作为不习惯看视频的学员的独立的完整学习教材；
5. 建议先看下书本目录，很多时候书里的内容就是视频讲过的，很多时候视频也就

是对着书里的内容进行展开的

第七步：关于开发板引脚分配

我们提供一个专用的引脚分配表格《AC620V2 全功能引脚分配表》，用户可以直接打开该文件，切换到自己需要的相关设备页面，从中查看相关信息并输入到 Quartus 软件的引脚分配窗口中，Quartus 的引脚分配工具支持直接从 Excel 中直接复制引脚信息粘贴到分配工具中。

文件

开始

插入

页面布局

公式

数据

审阅

视图

福昕阅读器

剪贴板

剪切

复制

格式刷

宋体

11

A

A

B

I

U

下

背景色

文字颜色

文

文

自动换行

合并后居中

常规

%

0.00

0.0

条件格式

套用表格格式

常规

计算

字体

对齐方式

数字

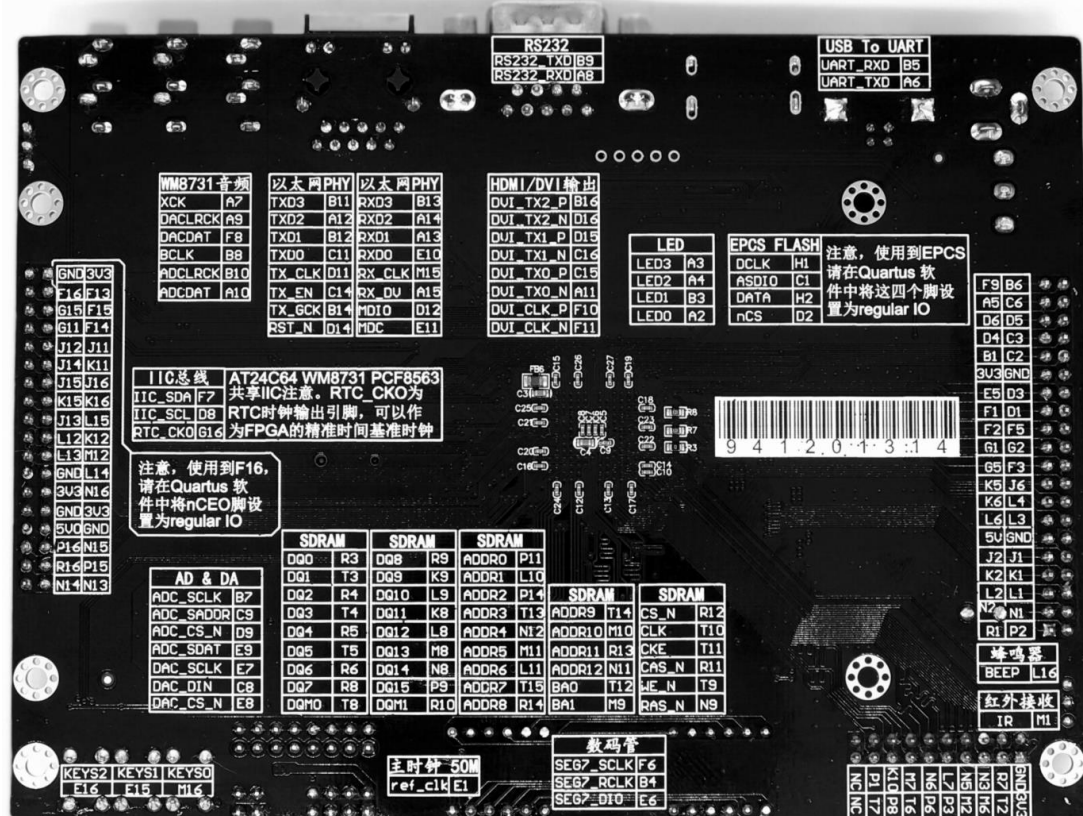
I37

快速到达指定硬件电路引脚信息按钮

	A	B	C	D	E	F	G	H	I	
1	直通车	按照信号名顺序分组			GPIO0按照接口物理排序分组					
2	基本接口	信号名	FPGA管脚		信号名	FPGA管脚	信号名	FPGA管脚		
3		GPIO0-0	PIN_R1		GPIO0-35	PIN_B6	GPIO0-34	PIN_F9		
4	GPIO0	GPIO0-1	PIN_P2		GPIO0-33	PIN_C6	GPIO0-32	PIN_A5		
5		GPIO0-2	PIN_N2		GPIO0-31	PIN_D5	GPIO0-30	PIN_D6		
6	GPIO02	GPIO0-3	PIN_N1		GPIO0-29	PIN_C3	GPIO0-28	PIN_D4		
7		GPIO0-4	PIN_L2		GPIO0-27	PIN_C2	GPIO0-26	PIN_B1		
8	正点原子lcd (扩展)	GPIO0-5	PIN_L1		GND		3.3V			
9		GPIO0-6	PIN_K2		GPIO0-25	PIN_D3	GPIO0-24	PIN_E5		
10	VGA (扩展)	GPIO0-7	PIN_K1		GPIO0-23	PIN_D1	GPIO0-22	PIN_F1		
11		GPIO0-8	PIN_J2		GPIO0-21	PIN_F5	GPIO0-20	PIN_F2		
12	SDRAM	GPIO0-9	PIN_J1		GPIO0-19	PIN_G2	GPIO0-18	PIN_G1		
13		GPIO0-10	PIN_L6		GPIO0-17	PIN_F3	GPIO0-16	PIN_G5		
14	ATK-5640模块	GPIO0-11	PIN_L3		GPIO0-15	PIN_J6	GPIO0-14	PIN_K5		
15		GPIO0-12	PIN_K6		GPIO0-13	PIN_L4	GPIO0-12	PIN_K6		
16	芯航线TFT V1.1	GPIO0-13	PIN_L4		GPIO0-11	PIN_L3	GPIO0-10	PIN_L6		
17		GPIO0-14	PIN_K5		GND		5V			
18	以太网	GPIO0-15	PIN_J6		GPIO0-9	PIN_J1	GPIO0-8	PIN_J2		
19		GPIO0-16	PIN_G5		GPIO0-7	PIN_K1	GPIO0-6	PIN_K2		
20	通用CMOS摄像头	GPIO0-17	PIN_F3		GPIO0-5	PIN_L1	GPIO0-4	PIN_L2		
21		GPIO0-18	PIN_G1		GPIO0-3	PIN_N1	GPIO0-2	PIN_N2		
22	通信扩展卡V1.1	GPIO0-19	PIN_G2		GPIO0-1	PIN_P2	GPIO0-0	PIN_R1		

另外，用户也可以查看本文档“芯路恒 AC620V2 FPGA 开发板规格书——>开发板使用”章节，该章节中也对每个硬件电路的引脚分配信息有讲解。

当然，更加快速直观的方式就是——在开发板的背面，我们将所有功能电路的引脚分配信息都以印字的方式印在了开发板背面，用户直接对着开发板背面的引脚分配信息即可输入相应引脚到 Quartus 引脚分配工具中。



第八步：关于学习或实验中遇到的问题

经过一年多的整理归纳，目前新手在学习 FPGA 的过程中经常遇见的问题我们已经整理归纳并收录在三份文档中。由于这三份文档会经常更新，因此用户可以在我们的技术群中查找最新版本。

- ◆ Modelsim 相关问题参见：《Modelsim 使用常见问题及解决办法集锦.pdf》
- ◆ Quartus II 相关问题参见：《Quartus II 使用常见问题及解决办法集锦.pdf》
- ◆ SOPC 学习相关问题：《SOPC 嵌入式系统设计常见问题解决办法集锦.pdf》

上述文档可在开发板配套资料包的盘 A 的 01 文件夹或芯路恒各大 FPGA 技术支持群内以及 www.corecourse.cn 论坛搜索下载。

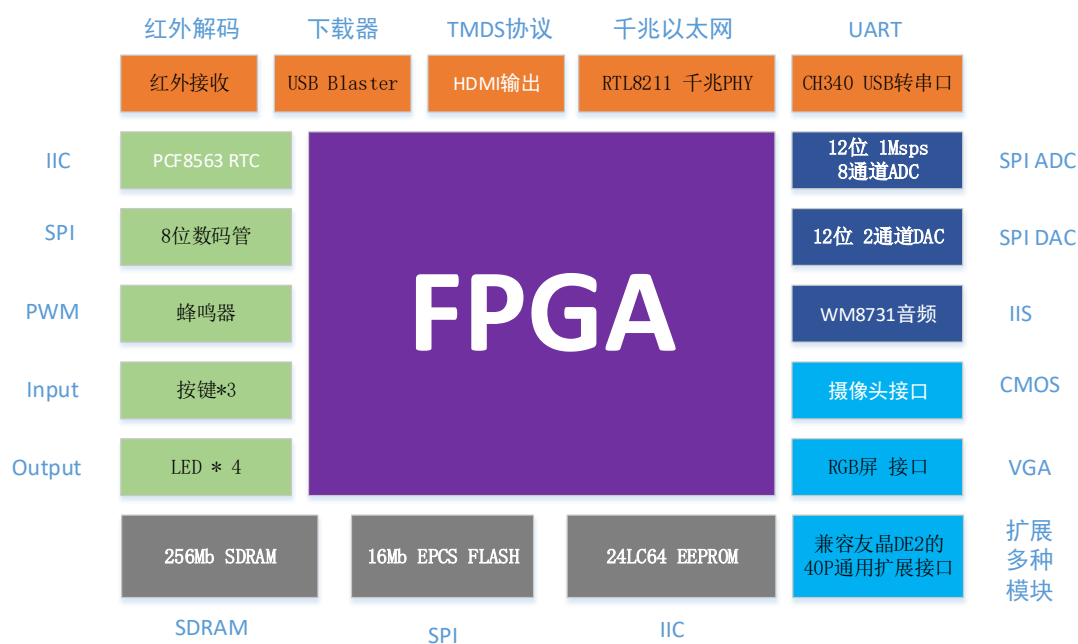
第九步：关于各个扩展模块与主板的连接

对于各个扩展模块如显示屏、摄像头、AD/DA 等模块与摄像头的连接，可以参看开发板资料 A 盘下 01 文件夹下的 09 号文档《09_【扩展功能】各扩展功能模块与 AC620 开发板的应用说明.pdf》

【第二部分】熟悉下板子各个电路结构

一、芯路恒 AC620 开发板功能特点

本章说明了芯路恒 AC620V2 开发板的功能以及设计特点



1.1 布局及组件

图 1-1 展示了芯路恒核心开发板的图片，它们描绘出了开发板布局以及一些接插件和关键元件的位置信息。

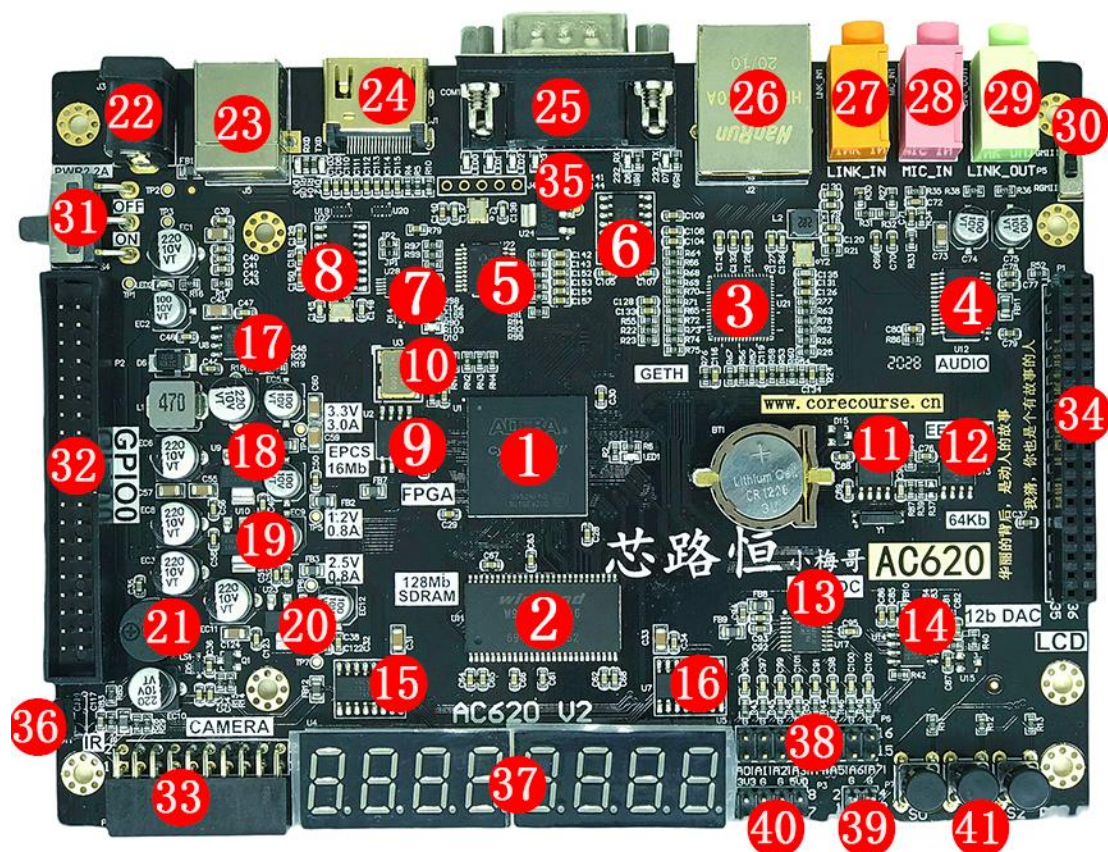


图 1-1 芯路恒 AC620V2 开发板顶层视图

1	EP4CE10F17 (FPGA)	17	MP1484 3.3V	33	摄像头接口
2	(SDRAM)	18	AMS1117-1.2	34	显示屏接口
3	RTL8211EG (网络芯片)	19	AMS1117-2.5	35	用户 LED
4	WM8731S (音频芯片)	20	AMS1117-3.3	36	HS38B (红外
5	USB Blaster 芯片	21	无源蜂鸣器	37	数码管
6	SP3232 (232 通信芯)	22	5V 电源输入	38	ADC 输入接口
7	CH340E (USB 转串口)	23	Blaster/UART	39	DAC 输出接口
8	SL2.1A (usb hub 芯片)	24	HDMI 输出接口	40	电源输出接口
9	W25Q16 (EPCS 芯片)	25	RS232 接口	41	用户按键
10	50MHz 有源时钟晶振	26	RJ45 网口		
11	PCF8563 (RTC 时钟)	27	音频输入接口		
12	24LC64 (EEPROM)	28	麦克风输入接口		
13	ADC128S102 (模数转换)	29	音频输出接口		
14	TLV5618 (数模转换)	30	MII/RGMII 切换		
15	74HC595 串转并芯片	31	电源开关		
16	74HC595 串转并芯片	32	通用扩展 IO		

AC620V2 开发板拥有非常丰富的功能，从简单的逻辑到各种各样的多媒体项目，允许使用者在一个较为宽广的领域内进行数字逻辑设计。

1.2 AC620V2 开发板器件资源

<p>FPGA 主芯片 EP4CE10F17C8N, 拥有 10K 的逻辑单元, 两个独立锁相环, 180 个用户 IO 管脚, 423936bit 嵌入式 RAM, 46 个 9 位嵌入式硬件乘法器.....资源丰富, 完全可以满足绝大部分中小型设计的资源需求。</p>	<p>电可擦除只读存储器 (EEPROM)</p> <p>24LC64, 拥有 64K 位的存储容量, 使用两线制 IIC 接口, 可读可写, 掉电数据不丢失, 可用来存储各种配置数据 (如触摸屏校准参数)</p>
<p>动态刷新随机存取存取存储器 (SDRAM), 拥有 256Mbit 的存储器资源, 最高运行速度 166MHz, 即可使用逻辑直接驱动, 用来进行大量数据存储 (视频图像数据, ADC 采集数据), 也可作为 NIOS II 处理器运行内存, 用来运行较大的 NIOS II 软件系统。</p>	<p>串行 FLASH 芯片 W25Q16, 拥有 2M 字节的存储空间, 使用 SPI 接口, 默认作为 FPGA 芯片的上电配置器件, 当使用 NIOS II 软核时, 还可以作为软件代码的存储空间。同时, 在 NIOS II 中, 还可以使用 EPCS 控制器, 将该存储器当做通用型 FLASH 进行读写, 以存储运行过程中产生的各种数据。</p>
<p>HDMI/DVI 输出, 开发板上使用 FPGA 逻辑和 IO 口直接实现基于 TMDS 编码规范的 HDMI/DVI 输出功能, 输出分辨率可达 1280*720, 刷新速率可达 60Hz。</p>	<p>USB Blaster, 开发板使用成熟的 USB Blaster 实现方案, 实现了板载 USB Blaster 功能, 在最精简的模式下, 用户只需要使用一根 USB 数据线与开发板相连, 就能实现开发和调试了。</p>
<p>RS232 收发器 RS3232, 3.3V 供电的 RS232 收发器, 实现 TTL 电平和 RS232 电平的互转。RS232 接口作为标准的工业设备接口, 存在于当前在大部分工业设备上, 使用该接口, AC620 可以实现对带 RS232 接口的设备控制。</p>	<p>以太网收发器 RTL8211, 千兆以太网收发器, 以太网以其便捷的组网特性, 几乎存在于我们生活的每个角落, 使用 FPGA 实现以太网, 可以方便的实现采集数据的便捷传输。</p>
<p>ADC 芯片 ADC128S102, TI 公司生产的 12 位 8 通道 ADC 芯片, 采样速率高达 1MSPS, 采用标准的 SPI 串行接口, 可实现对模拟信号的采集, 实现对模拟信号的分析处理。</p>	<p>DAC 芯片 TLV5618, TI 公司生产的 12 位 2 通道 DAC 芯片, 采用标准的 SPI 串行接口, 可实现数字信号到模拟信号的转换, 以实现数控系统的设计。</p>
<p>USB 转串口芯片 CH340, 实现 USB 转串口协议, 使得 AC620 开发板能够使用一根普通的 USB mini 数据线即可与 PC 进行通信, 实现方便灵活的通信和控制。</p>	<p>LED 灯, LED 最为最基础的输出设备, 单个 LED 能够显示两种不同的状态, 4 个 LED 组合能够最多显示 16 种状态, 方便设计和调试。</p>
<p>音频编解码器 WM8731, IIS 总线作为一个简单高效的音频传输总线, 目前已经成</p>	<p>红外遥控接收, 开发板自带红外遥控接收器, 可接收 38KHz 的红外遥控信号, 从而为</p>

了各种多媒体设备中进行音频数据传输的标配，学习使用 IIS 接口的音频编解码器，实现对音频数据的处理。	开发板提供红外遥控功能，另外，当开发板上用户按键不够用时，也可以使用红外遥控来作为开发板的扩展键盘。
蜂鸣器 ，当用户有输入请求或者系统有输出请求时，使用一个蜂鸣器发声来提示用户输入或者输出有效。以获得更加直观的输入输出体验。	串行移位寄存器 74HC595 ，使用 SPI 接口，实现串行数据到并口数据的转换，通过 3 个 IO 口扩展得到更多的输出引脚。适用于 IO 需求量巨大的应用，如大屏 LED 显示、多位数码管驱动。AC620 上使用两片 74HC595 驱动 8 位数码管。
实时时钟（RTC）芯片 PCF8563 ，IIC 接口的实时时钟芯片，带后备电池，可掉电走时，为系统提供精准的时钟。	独立按键 ，三个独立按键，可以作为用户控制按键，实现对系统运行状态的控制

1.3 核心板接口资源

同时，为了尽量提升板卡的可扩展性和实用性，芯路恒 AC620V2 开发板上提供了多个通用或专用接插口，用来方便的扩展各种外设模块，接插口主要有：

一个 40Pin 的排针接口 ，该接口与友晶 DE2 的单个 40Pin 接口完全兼容，每个接插口提供 36 个通用 IO 口，一个 5V 供电和一个 3.3V 供电。用户可以使用该接口连接一些扩展模块，以实现自定义功能。	一个 LCD 液晶屏的接口 ，我们设开发的 5 寸 TFT 触摸液晶模组、VGA 输出模块支持该接口，可直接插接在此接口上，进行图像的显示。同时该接口也能兼容正点原子开发的 STM32 开发板配套液晶屏，方便大家使用手头现有的液晶屏插接到开发板上进行数据显示，
一个 CMOS 摄像头的摄像头接口 ，该接口兼容市面上主流的 CMOS 摄像头，方便需要进行图像采集处理的朋友插接摄像头进行项目开发（OV7670，OV7725，OV2640，OV5640 全兼容）	一组 电源接口 ，方便喜欢 DIY 的用户直接从开发板上取电，给外挂模块供电，满足无限创意需求。

二、开发板使用

本章给出了芯路恒开发板的使用说明，同时详细描述了芯路恒的所有组件。

2.1 开发板烧写配置

芯路恒 AC620V2 开发板提供了一个串行配置设备用来对 Cyclone IV E FPGA 芯片进行配置，上电以后配置数据可以自动从配置设备加载到 FPGA，使用 Quartus 软件，我们也可以在任何时候重新配置 FPGA，当然也可以改变串行非易失串行存储设备，下面将描述这两种类型的配置。

1. JTAG 配置：这种编程方法将配置比特流直接下载到了开发板上的 Cyclone IV E FPGA 芯片中，在上电状态下，FPGA 将保留此配置，逻辑功能可以正常运行，但断电以后，配置信息将会丢失，需要上电以后重新进行配置。
2. JIC 配置：Altera 允许我们在 JTAG 下载模式下配置 EPCS 器件，通过 Quartus 软件自带的转换工具，我们可以将编译生成的 .sof 文件转换为 .jic 文件，然后通过 JTAG 口下载到 EPCS 器件，这样就可以做到配置数据掉电不丢失。

关于本开发板固件的烧写（配置），在我们提供的教程《FPGA 系统设计与验证实战指南》中“2.2 Intel FPGA 开发流程”和“2.2 Intel FPGA 开发流程”中有详细说明。

2.2 轻触按键

如 图 2-1 所示，AC620V2 开发板提供了三个轻触按键，三个按键分别被称为 S0、S1、S2。此三个引脚直接与 FPGA 管脚相连，并接上了上拉电阻。在没有按键按下的时候，每个按键端输出的都是高电平，当按键按下的时候，被按下的按键端会输出低电平。

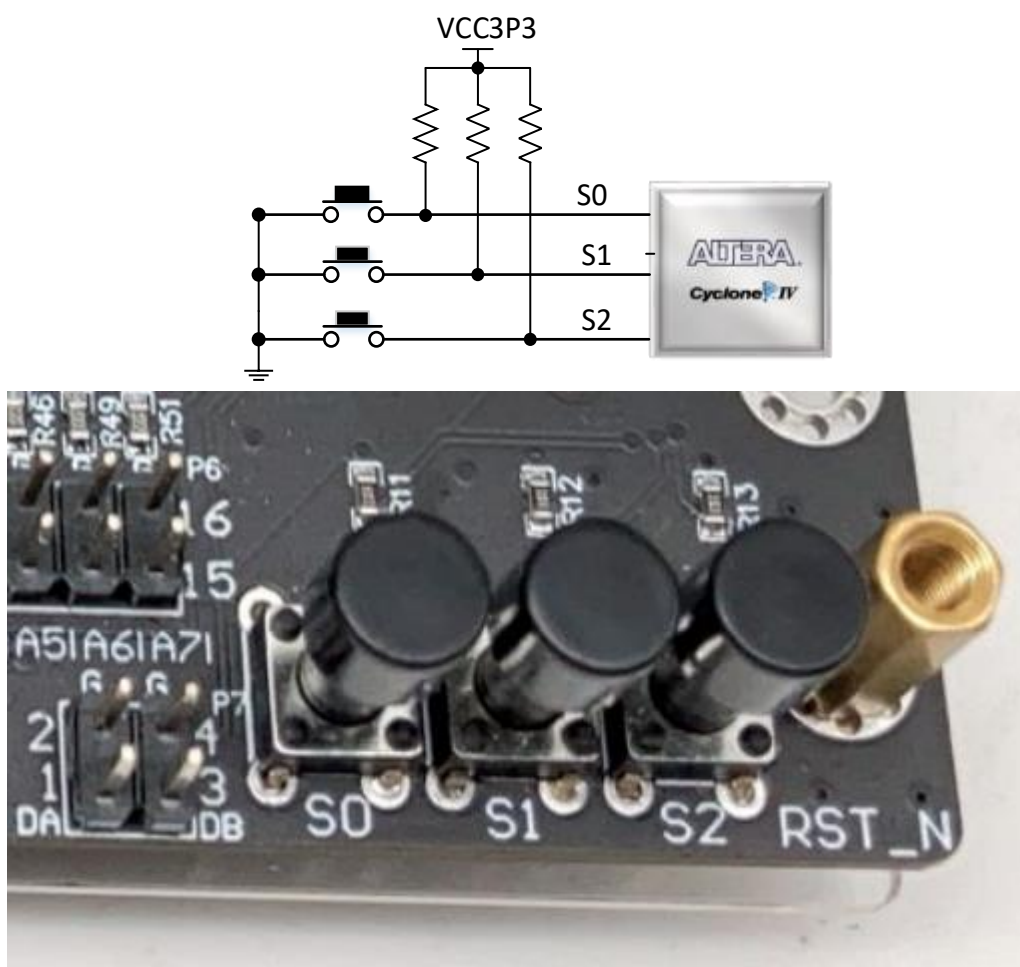


图 2-1 轻触按键和 Cyclone IV E FPGA 连接关系示例

按键管脚分配表

Signal Name	FPGA pin No.
S0	PIN_M16
S1	PIN_E15
S2	PIN_E16

2.3 用户 LED

芯路恒开发板提供了四个红色的 LED 调试灯，所有的 LED 灯都是通过 Cyclone IV E FPGA 直接驱动；当 FPGA 输出低电平时，LED 点亮，当 LED 输出高电平时，LED 灯熄灭。图 2-2 展示了 LED 和 FPGA 的连接关系。

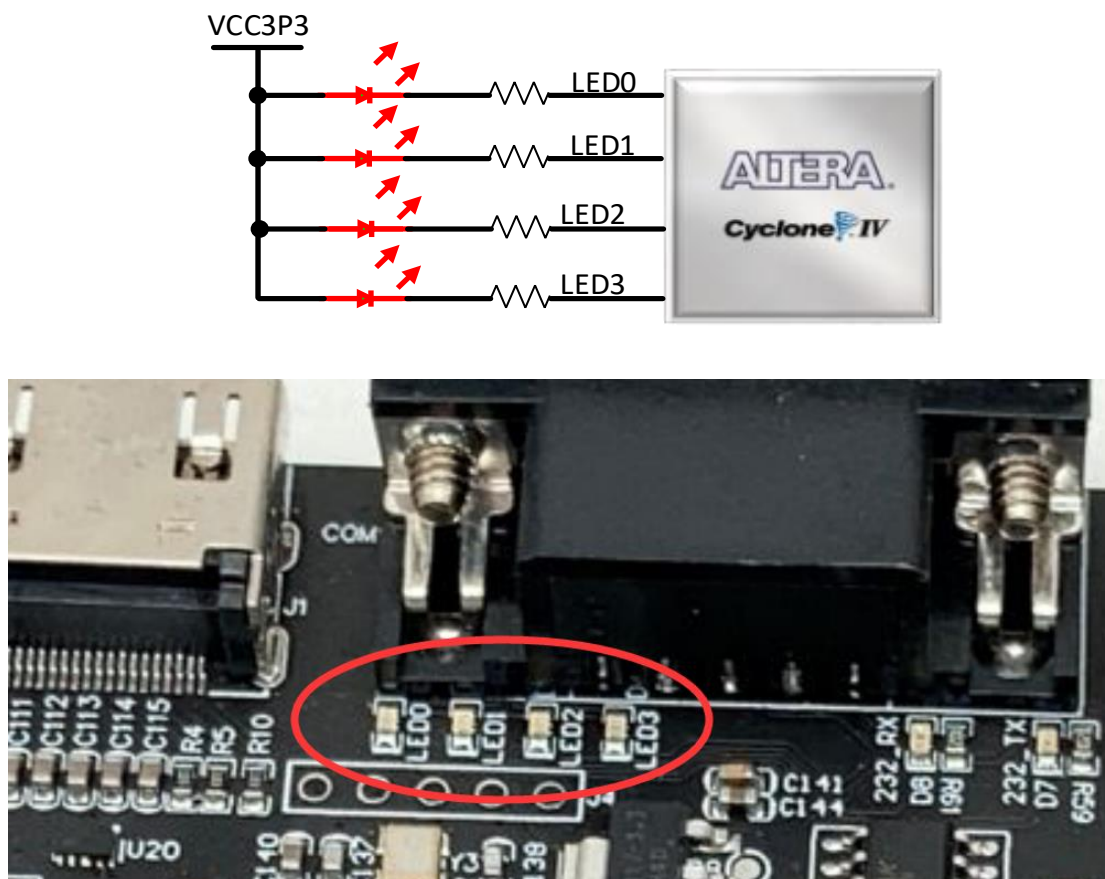


图 2-2 流水灯 和 Cyclone IV E FPGA 连接示例

LED 管脚分配表

Signal Name	FPGA pin No.
LED0	PIN_A2
LED1	PIN_B3
LED2	PIN_A4
LED3	PIN_A3

2.4 时钟输入

AC620V2 开发板设计了 2 路时钟源，第一路由板载 50MHz 有源晶振提供，另外第二路集成在 CMOS 摄像头接口中（一般用于输入 CMOS 摄像头时钟像素时钟）。2 路时钟均通过 Cyclone IV E 专用的时钟引脚进行输入，保证了最好的时钟质量，并保证可以配置到对应的全局时钟链路上。图 2-3 展示了时钟和 FPGA 的连接关系

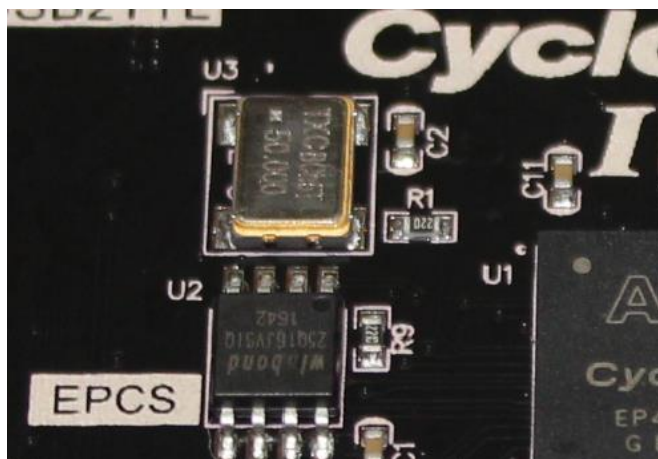
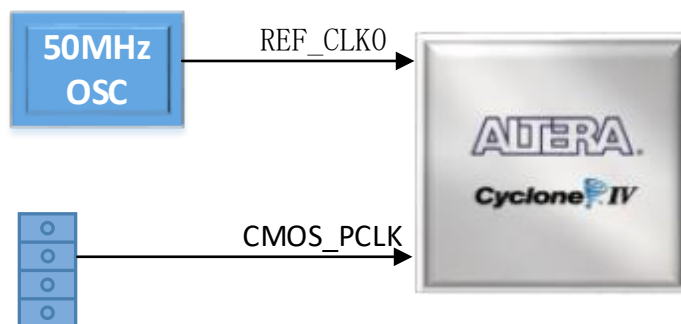


图 2-3 晶振和 Cyclone IV E FPGA 连接示例

时钟管脚分配表

Signal Name	FPGA pin No.
REF_CLK0	PIN_E1
CMOS_PCLK	PIN_M2

2.5 GPIO 接口

芯路恒 AC620V2 开发板提供了 1 个 40Pin 的与友晶科技 DE2 开发板兼容的 GPIO 接口， 端口使用标准的 IDC3-40 接口。该端口除了有 36 个引脚直接连到了 Cyclone IV E FPGA 以外， 还输出了 DC +5V (VCC5)， DC +3.3V (VCC3P3)， 和两个接地的引脚。端口名为 GPIO0。 图 2-4 展示了 GPIO0 的端子 FPGA 管脚连接关系

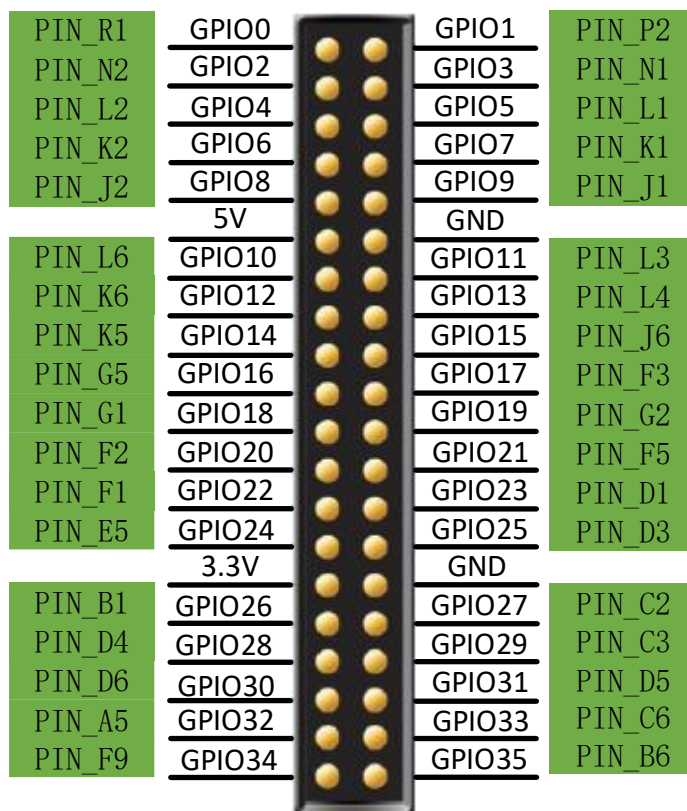


图 2-4 GPIO00 和 Cyclone IV E FPGA 连接示例

GPIO00 管脚分配表

Signal Name	FPGA pin No.		Signal Name	FPGA pin No.
GPIO0	PIN_R1		GPIO18	PIN_G1
GPIO1	PIN_P2		GPIO19	PIN_G2
GPIO2	PIN_N2		GPIO20	PIN_F2
GPIO3	PIN_N1		GPIO21	PIN_F5
GPIO4	PIN_L2		GPIO22	PIN_F1
GPIO5	PIN_L1		GPIO23	PIN_D1
GPIO6	PIN_K2		GPIO24	PIN_E5
GPIO7	PIN_K1		GPIO25	PIN_D3
GPIO8	PIN_J2		GPIO26	PIN_B1
GPIO9	PIN_J1		GPIO27	PIN_C2
GPIO10	PIN_L6		GPIO28	PIN_D4

GPIO11	PIN_L3		GPIO29	PIN_C3
GPIO12	PIN_K6		GPIO30	PIN_D6
GPIO13	PIN_L4		GPIO31	PIN_D5
GPIO14	PIN_K5		GPIO32	PIN_A5
GPIO15	PIN_J6		GPIO33	PIN_C6
GPIO16	PIN_G5		GPIO34	PIN_F9
GPIO17	PIN_F3		GPIO35	PIN_B6

2.6 红外接收

芯路恒 AC620V2 开发板包含一个红外接收模块 IR，图 2-5 展示了 IR 和 FPGA 的电路连接关系。

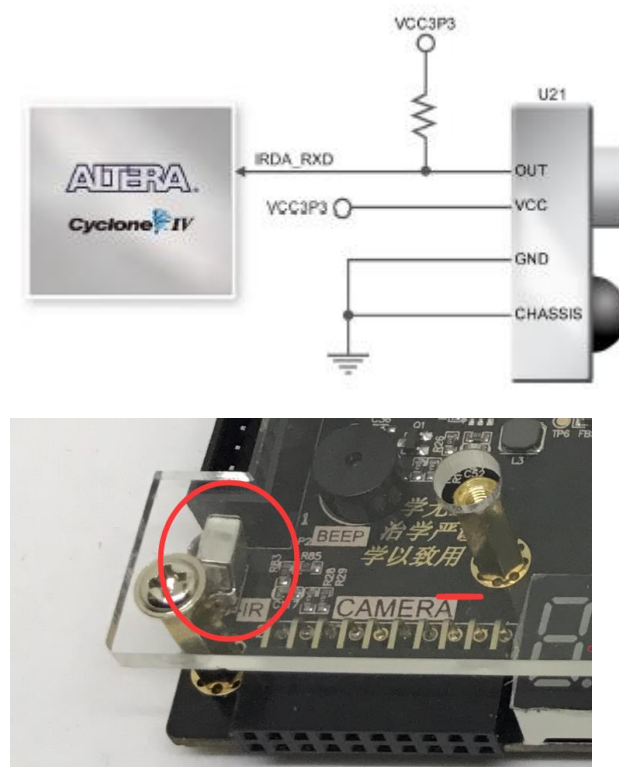


图 2-5 IR 和 Cyclone IV E FPGA 连接示例

IR 管脚分配表

Signal Name	FPGA pin No.
IRDA_RXD	PIN_M1

2.7 SDRAM

AC620V2 开发板设计了一片存储容量高达 256Mb 的 SDRAM 存储器，该芯片与 FPGA 相连的数据总线位宽为 16 bit, 采用 3.3V 供电, 最高运行频率可达 166MHz。

图 2-6 展示了 SDRAM 和 FPGA 之间的连接关系。

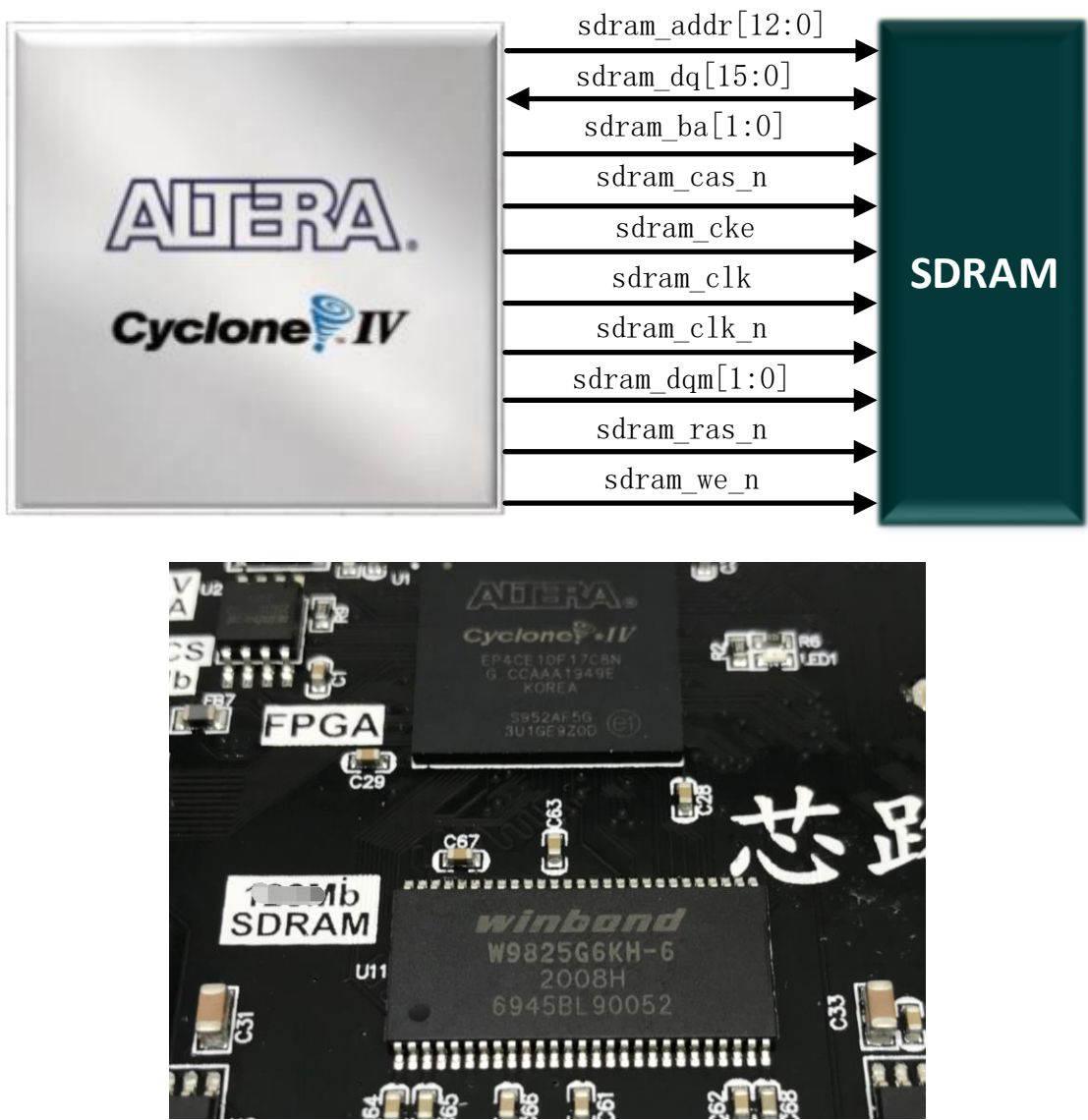


图 2-6 SDRAM 和 Cyclone IV E FPGA 连接示例

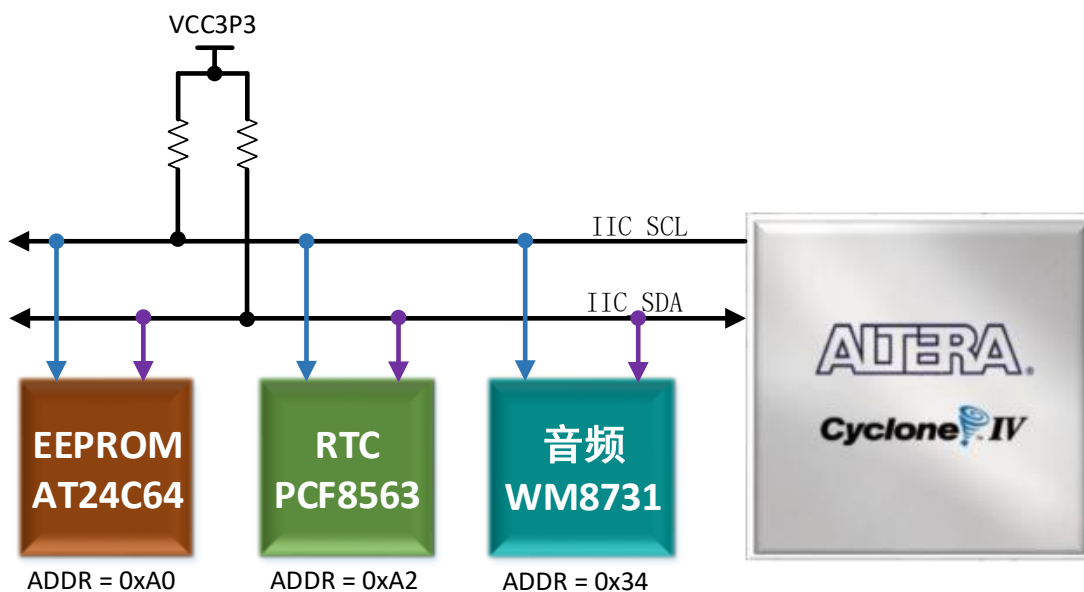
SDRAM 管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
sram_addr0	PIN_P11	sram_dqm0	PIN_T8
sram_addr1	PIN_L10	sram_dqm1	PIN_R10
sram_addr2	PIN_P14	sram_dq0	PIN_R3

sdr _{am} _addr3	PIN_T13	sdr _{am} _dq1	PIN_T3
sdr _{am} _addr4	PIN_N12	sdr _{am} _dq2	PIN_R4
sdr _{am} _addr5	PIN_M11	sdr _{am} _dq3	PIN_T4
sdr _{am} _addr6	PIN_L11	sdr _{am} _dq4	PIN_R5
sdr _{am} _addr7	PIN_T15	sdr _{am} _dq5	PIN_T5
sdr _{am} _addr8	PIN_R14	sdr _{am} _dq6	PIN_R6
sdr _{am} _addr9	PIN_T14	sdr _{am} _dq7	PIN_R8
sdr _{am} _addr10	PIN_M10	sdr _{am} _dq8	PIN_R9
sdr _{am} _addr11	PIN_R13	sdr _{am} _dq9	PIN_K9
sdr _{am} _addr12	PIN_N11	sdr _{am} _dq10	PIN_L9
sdr _{am} _ba0	PIN_T12	sdr _{am} _dq11	PIN_K8
sdr _{am} _ba1	PIN_M9	sdr _{am} _dq12	PIN_L8
sdr _{am} _cas_n	PIN_R11	sdr _{am} _dq13	PIN_M8
sdr _{am} _cke	PIN_T11	sdr _{am} _dq14	PIN_N8
sdr _{am} _clk	PIN_T10	sdr _{am} _dq15	PIN_P9
sdr _{am} _cs_n	PIN_R12	sdr _{am} _ras_n	PIN_N9
sdr _{am} _we_n	PIN_T9		

2.8 IIC 总线（EEPROM+RTC+WM8731）

芯路恒 AC620V2 开发板有 4 个设备使用 IIC 总线,分别为 AT24C64 的 EEPROM 存储器、PCF8563 型实时时钟芯片、WM8731 控制接口以及 CMOS 摄像头接口,其中,CMOS 摄像头接口上的 IIC 配置总线单独与 FPGA 连接,不与其他 IIC 器件共享总线,EEPROM 存储器、PCF8563 型实时时钟芯片、WM8731 控制接口共享同一个 IIC 总线。图 3-10 给出了 EEPROM+RTC+WM8731 与 FPGA 的连接关系



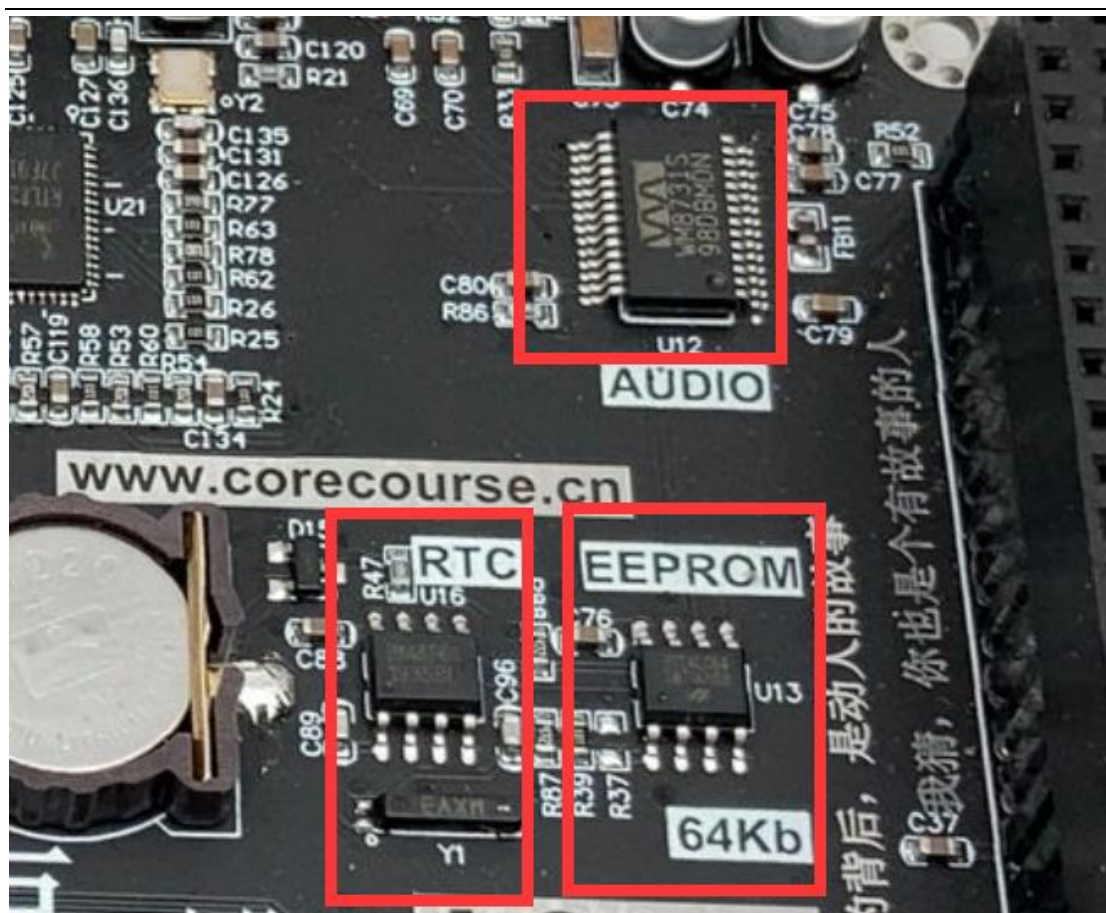


图 2-7 IIC 总线和 Cyclone IV E FPGA 连接示例

IIC 管脚分配表

Signal Name	FPGA pin No.
IIC_SCL	PIN_D8
IIC_SDA	PIN_F7

每个 IIC 设备都有一个设备地址，上述三个设备的设备地址如下表所示：

器件名称	器件地址
AT24C64	0xA0
PCF8563	0xA2
WM8731	0x34

2.9 通用显示扩展接口

AC620V2 开发板上提供了一个兼容性强大的 2*18 通用显示扩展接口，该接口可连接我们推出的 5 寸 800*480 RGB 接口的显示屏（代替 VGA 显示器），或者连接“数码管+8 位 VGA+PS2”三合一模块，还可连接我们推出的 24 位高性能 VGA 输出模块。当然，用户也可以使用该接口作为通用扩展接口连接用户自己的设备。

例如，该接口能够直接连接知名 STM32 开发板正点原子推出的 2.8 寸、3.5 寸 MCU 接口的液晶屏。

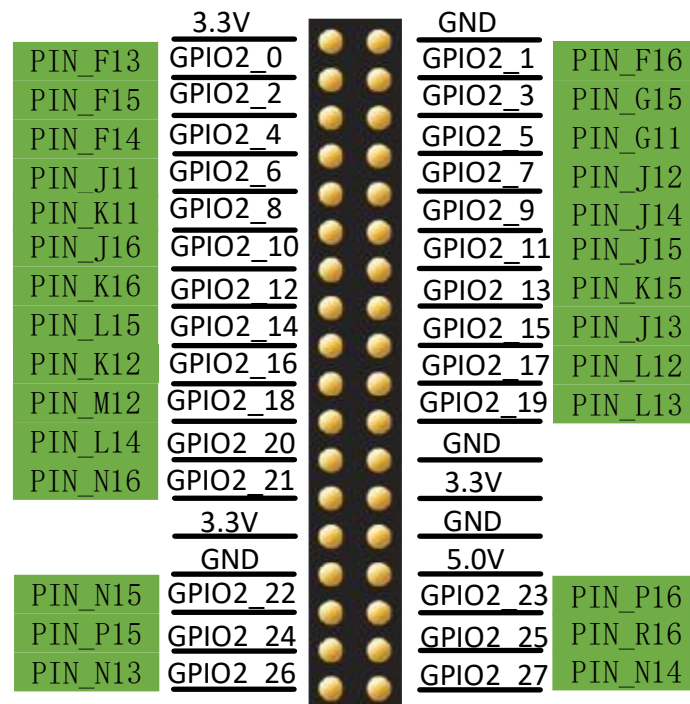


图 2-9 通用显示扩展接口与 FPGA 连接

通用显示扩展接口管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
GPIO2_0	PIN_F13	GPIO2_14	PIN_L15
GPIO2_1	PIN_F16	GPIO2_15	PIN_J13
GPIO2_2	PIN_F15	GPIO2_16	PIN_K12
GPIO2_3	PIN_G15	GPIO2_17	PIN_L12
GPIO2_4	PIN_F14	GPIO2_18	PIN_M12
GPIO2_5	PIN_G11	GPIO2_19	PIN_L13
GPIO2_6	PIN_J11	GPIO2_20	PIN_L14
GPIO2_7	PIN_J12	GPIO2_21	PIN_N16
GPIO2_8	PIN_K11	GPIO2_22	PIN_N15

GPIO2_9	PIN_J14	GPIO2_23	PIN_P16
GPIO2_10	PIN_J16	GPIO2_24	PIN_P15
GPIO2_11	PIN_J15	GPIO2_25	PIN_R16
GPIO2_12	PIN_K16	GPIO2_26	PIN_N13
GPIO2_13	PIN_K15	GPIO2_27	PIN_N14

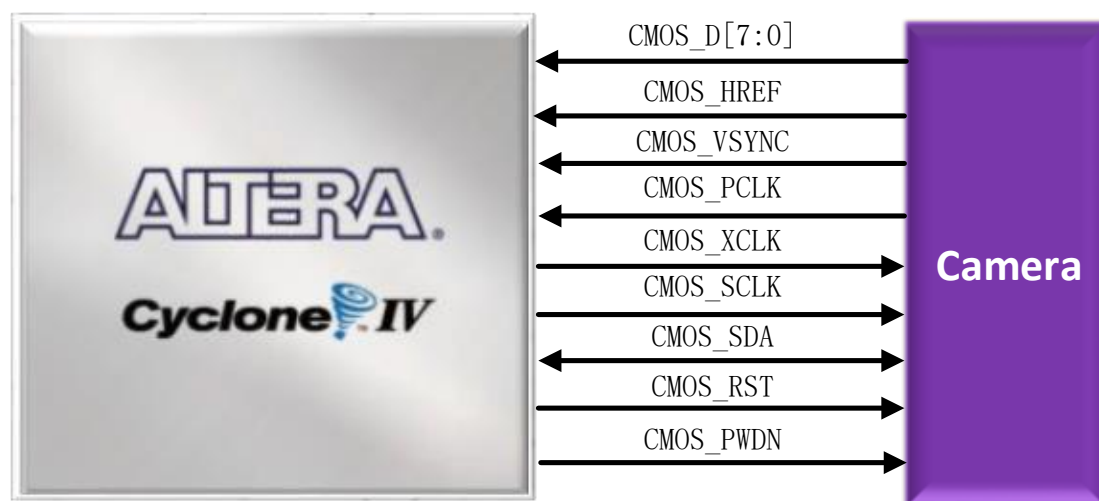
2.10 摄像头接口

芯路恒 AC620V2 开发板支持视频图像项目的开发，板载的 CMOS 接口可以用来连接 OV7670（30W）、OV7725（30W）、OV2640（200W）、OV5640（500W）等常用图像采集摄像头（见图 2-10）。配合芯路恒板载的片外 SDRAM 数据存储器，用户可以进行数字图像的采集处理，也可以很方便地验证图像领域的各种算法。图 2-11 给出了 CMOS 端子和 FPGA 连接关系。





图 2-10 Camera 常见的兼容模组



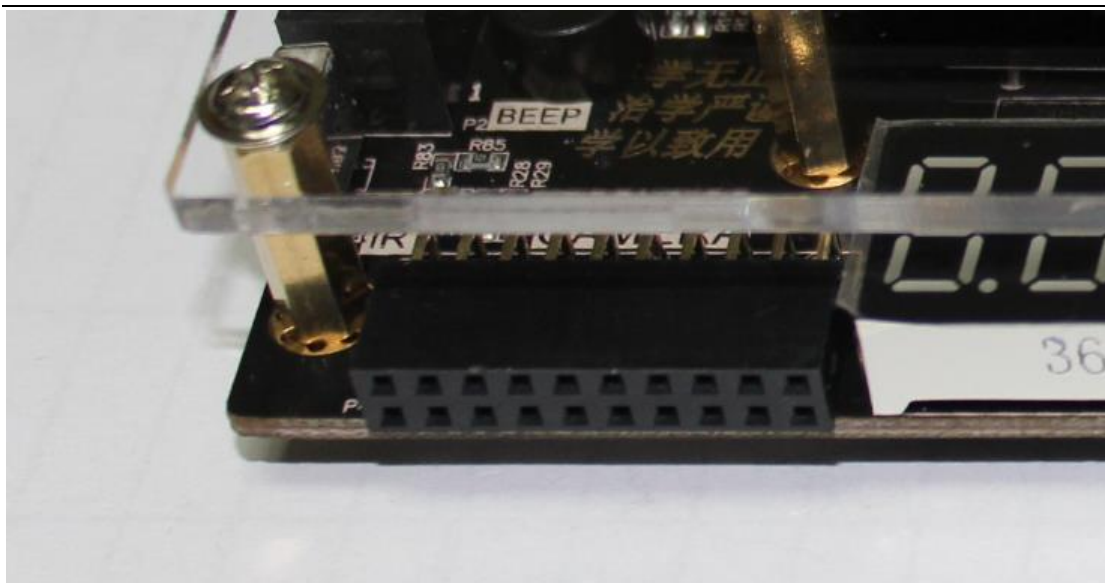


图 2-11 Camera 和 Cyclone IV E FPGA 连接示例

摄像头管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
CMOS_D0	PIN_K10	CMOS_HREF	PIN_N3
CMOS_D1	PIN_P8	CMOS_PCLK	PIN_M2
CMOS_D2	PIN_M7	CMOS_PWDN	PIN_P1
CMOS_D3	PIN_T6	CMOS_SCLK	PIN_T2
CMOS_D4	PIN_N6	CMOS_SDA	PIN_R7
CMOS_D5	PIN_P6	CMOS_RST	PIN_T7
CMOS_D6	PIN_L7	CMOS_VSYNC	PIN_M6
CMOS_D7	PIN_P3	CMOS_XCLK	PIN_N5

2.11 USB to UART

为了方便开发板与 PC 机相连，AC620V2 上提供了一个 USB 转串口的电路，该 USB 可以直接作为开发板供电端口，也可以作为一个串口电路使用，通过串口（UART），可以很方便的实现芯路恒开发板与计算机之间的通信。图 2-12 给出了该转换电路和 FPGA 连接关系

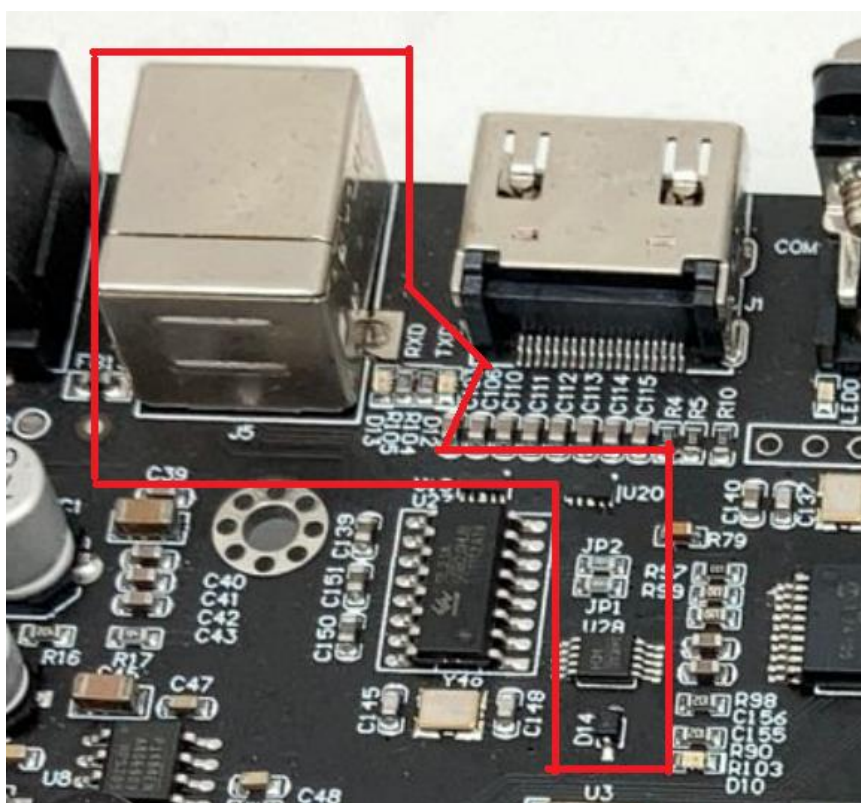
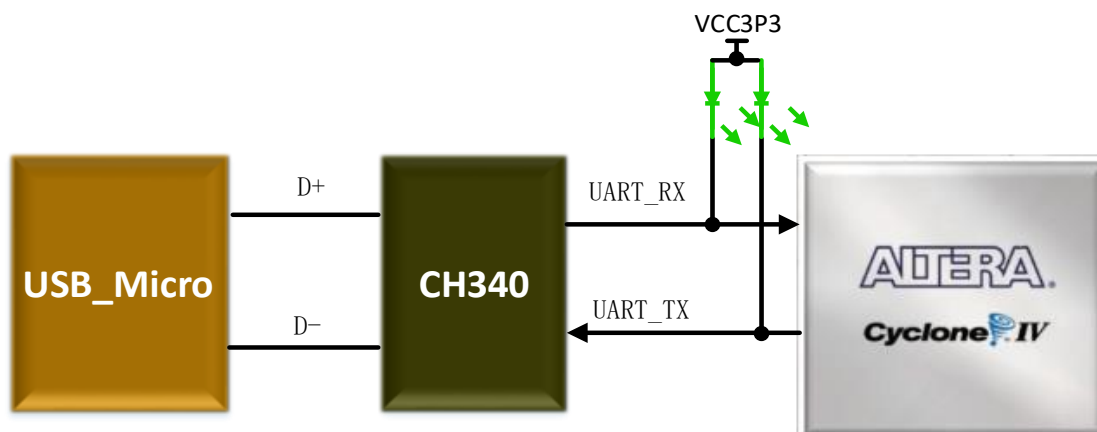


图 2-12 USB、CH340 和 Cyclone IV E FPGA 连接示例

UART 管脚分配表

Signal Name	FPGA pin No.
UART_RX	PIN_B5
UART_TX	PIN_A6

2.12 电源拓展端口

为了方便用户添加 DIY 模块或者其他外设，芯路恒 AC620V2 开发板提供了一组电源拓展端子，通过这些端子，其他类型的开发板或外设可以方便的实现和芯

路恒开发板的共地或者共电源，以此形成一个大型的系统。图 2-13 展示了三组电源拓展端子的连接属性。

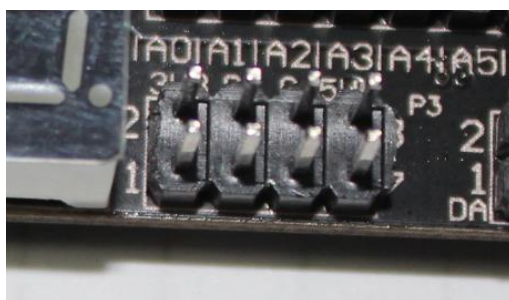
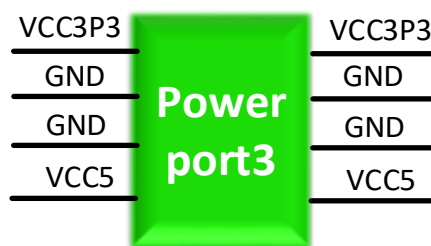


图 2-13 电源拓展端子示例

2.13 无源蜂鸣器驱动电路

芯路恒 AC620V2 开发板为用户配备了发声装置—无源蜂鸣器。用户可以根据自己的喜好播放音乐，也可以将蜂鸣器作为报警装置，在某些需要的时刻发出警报声。图 2-14 给出了无源蜂鸣器和 FPGA 的连接关系



图 2-14 Beep 和 Cyclone IV E FPGA 连接示例

蜂鸣器管脚分配表

Signal Name	FPGA pin No.
BEEP	PIN_L16

2.14 音频编解码电路

AC620V2 开发板上提供了一个高品质的 24 位音频接口,该接口使用 Wolfson 公司的 WM8731 音频编解码芯片。WM8731 带有麦克风输入, 音频输入和音频输出端口, 音频采样率从 8KHz 到 96KHz 可设置。该芯片使用 IIS 接口传输音频, 使用 IIC 接口接受来自 FPGA 的控制, AC620 上, IIC 总线上总共连接了 EEPROM、RTC 和 WM8731 三个设备, 因此当需要同时使用到此三个设备时, 请重点关注 IIC 主机的逻辑设计。图 2-15 为 WM8731 与 Cyclone IV E 的连接关系

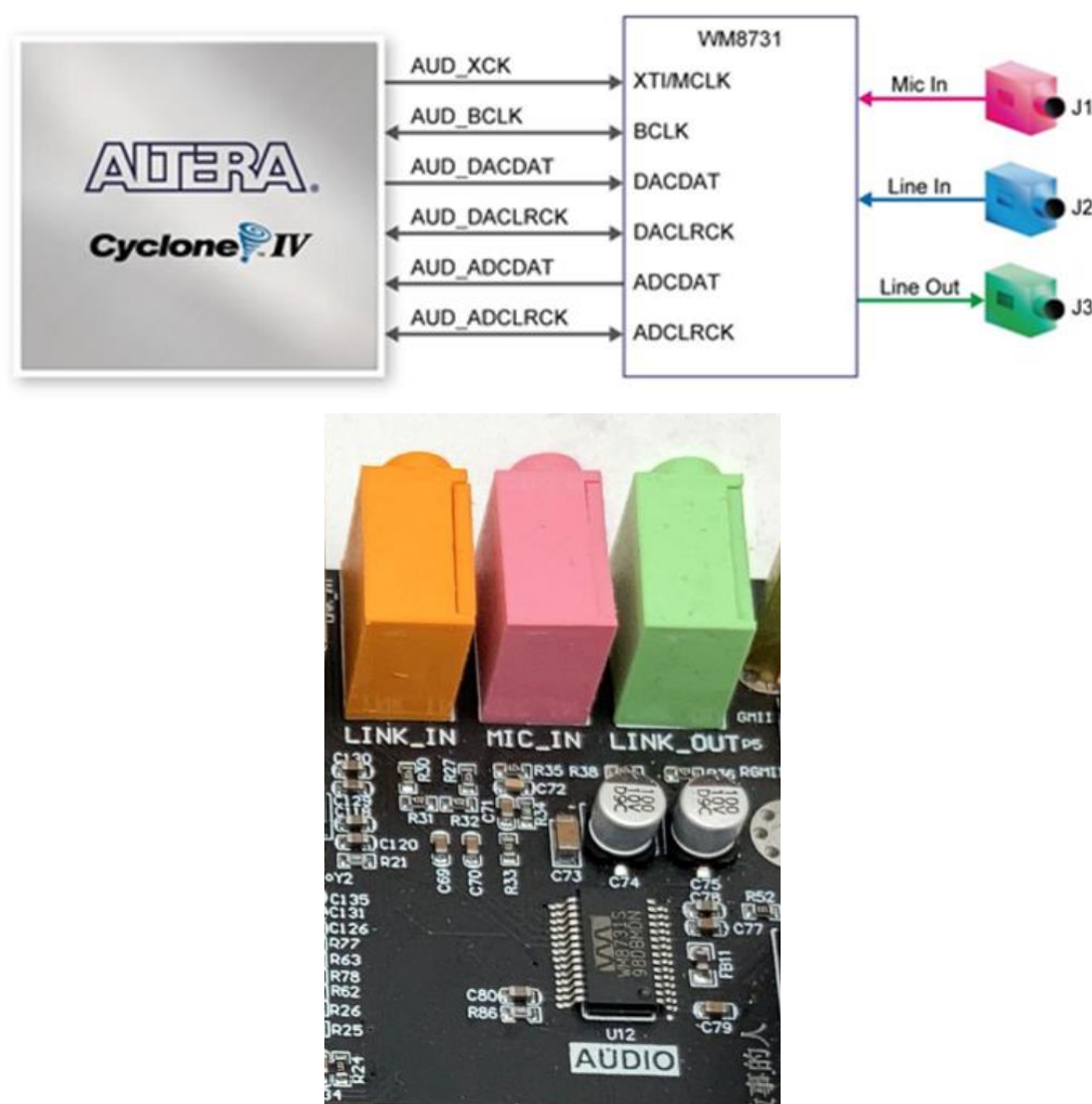


图 2-15 WM8731 与 Cyclone IV E 的连接关系

音频编解码器管脚分配表

Signal Name	FPGA pin No.
AUD_ADCLRCK	PIN_B10
AUD_ADCDAT	PIN_A10
AUD_DACLRCK	PIN_A9

AUD_DACDAT	PIN_F8
AUD_XCK	PIN_A7
AUD_BCLK	PIN_B8
I2C_SCLK	PIN_D8
I2C_SDAT	PIN_F7

2.15 以太网收发器

AC620V2 开发板通过一片 Realtek 的 RTL8211EG 以太网 PHY 提供对以太网连接的支持，RTL8211 是一片 10M/100M/1000M 自适应以太网收发器，提供 GMII/RGMII/MII 接口的 MAC 连接。在 Cyclone IV E 器件中，调用三速以太网 IP 核（MAC），实现完整的以太网连接。或者用户使用 Verilog 编写的自定义用户逻辑来实现以太网连接。图 2-16 为 RTL8211 与 Cyclone IV E 的连接关系。

虽然 RTL8211EG 芯片支持 GMII 接口，但是由于该接口占用的管脚数量较多，现在的使用频率也已经越来越小，更多的被占用管脚数量更少的 RGMII 接口代替。所以 AC620V2 开发板设计时也按照 RGMII 接口进行设计，并没有提供对 GMII 接口的支持。学习如何调试 RGMII 接口更加具有挑战性和学习价值。

另外，该接口也支持 MII 模式，所以用户使用该电路即可学习 RGMII 的千兆以太网通信，也可学习实验基于 MII 接口的百兆以太网通信。

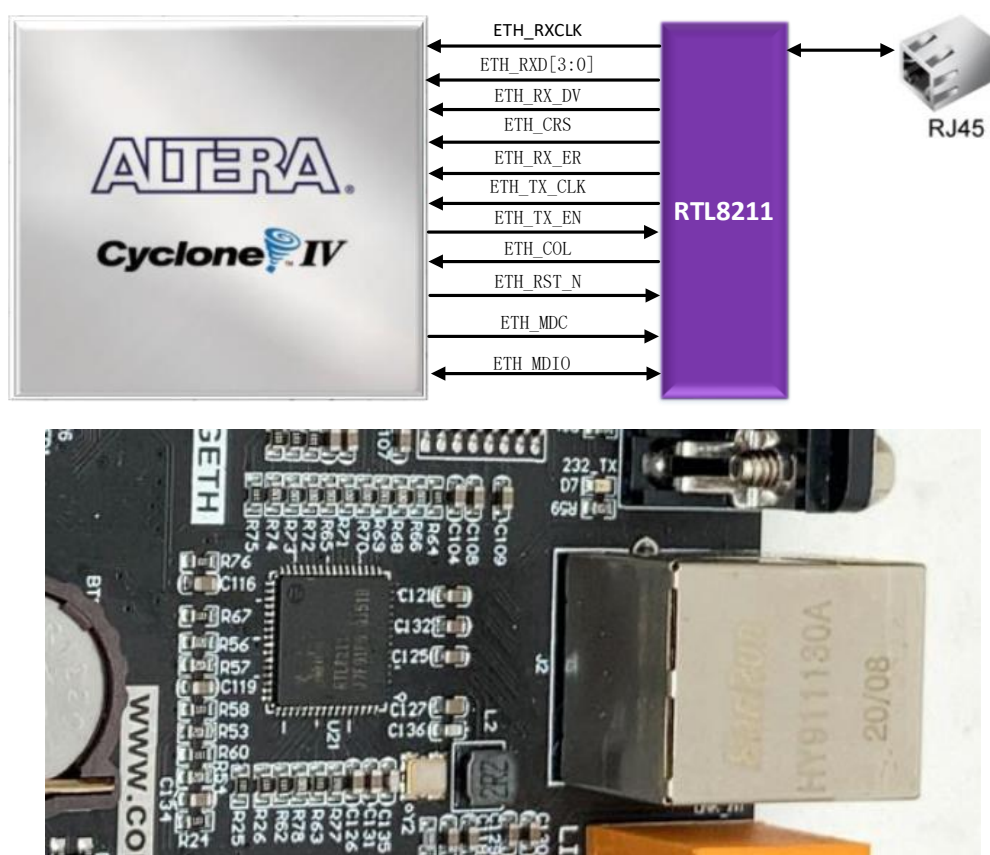


图 2-16 为 RTL8211 与 Cyclone IV E 的连接关系

以太网收发器管脚分配表

Signal Name	FPGA pin No.	Signal Name	FPGA pin No.
ETH0_TX_EN	PIN_C14	ETH0_RX_DV	PIN_A15
ETH0_TXCLK (MII)	PIN_D11	ETH0_RXCLK	PIN_M15
ETH0_TXD0	PIN_C11	ETH0_RXD0	PIN_E10
ETH0_TXD1	PIN_B12	ETH0_RXD1	PIN_A13
ETH0_TXD2	PIN_A12	ETH0_RXD2	PIN_A14
ETH0_TXD3	PIN_B11	ETH0_RXD3	PIN_B13
ETH0_GCK (RGMII)	PIN_B14	ETH0_MDC	PIN_E11
ETH0_RST_N	PIN_D14	ETH0_MDIO	PIN_D12

2.16 RS232 接口

AC620V2 开发板上，提供了一个 RS232 接口，用于实现和带标准 RS232 接口的设备进行连接，以实现相应的数据传输和控制功能。RS232 接口使用标准的 DB9 公口连接器，和 Cyclone IV E 之间使用 SP3232 电平转换芯片，实现 TTL 电平和 RS232 电平之间的转换。图 2-17 为 SP3232 与 Cyclone IV E 的连接关系

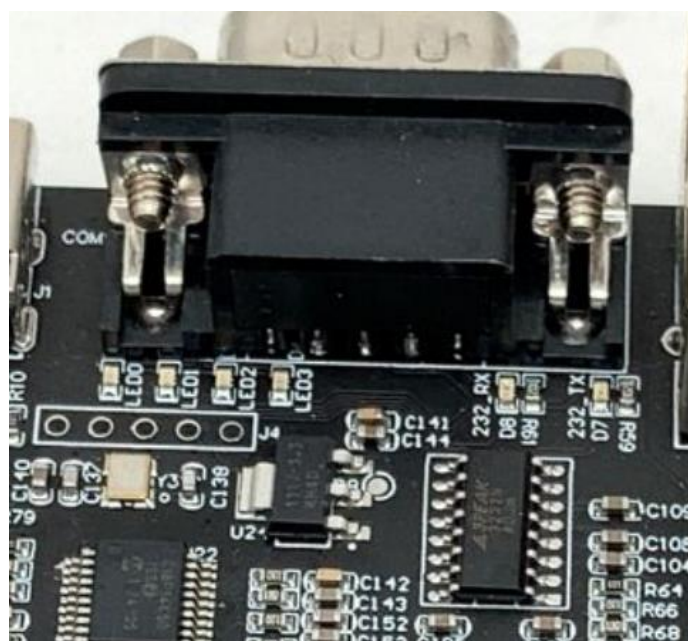
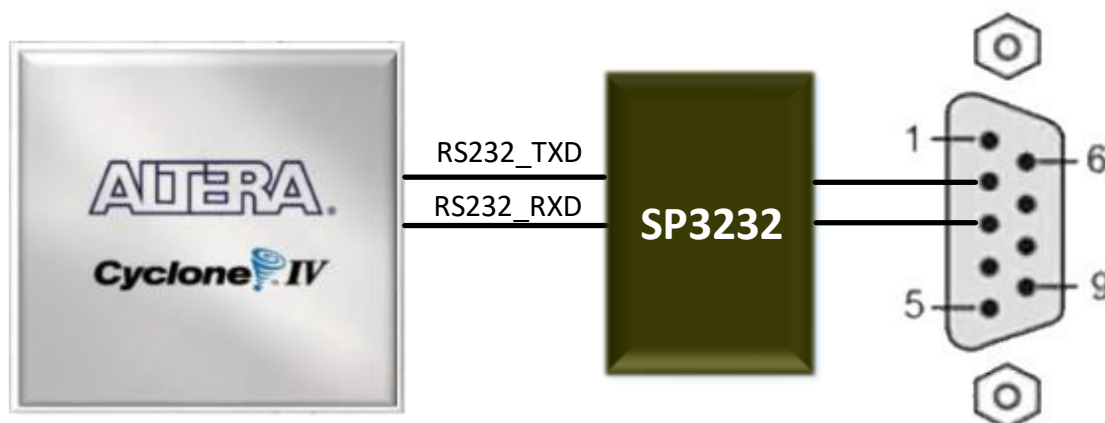


图 2-17 SP3232 与 Cyclone IV E 的连接关系

RS232 管脚分配表

Signal Name	FPGA pin No.
RS232_TXD	PIN_A8
RS232_RXD	PIN_B9

2.17 HDMI/DVI 输出

传统的基于 VGA 接口的模拟视频信号传输在传输过程中存在着传输速率低，易受干扰等问题，在实际使用时，容易出现图像失真、拖影以及干扰条纹的情况。而基于 TMDS 编码的 HDMI/DVI 接口，由于采用高速差分数字编码传输方式，具有更强的抗干扰能力，现阶段已经逐步替代了 VGA 接口，成为了所有数字视频传输设备的标配接口。AC620V2 开发板上也设计了一路 HDMI/DVI 输出接口，能够输出高达 1280*720p 的图像。图 2-18 为 HDMI/DVI 接口在 AC620V2 开发板上的位置。

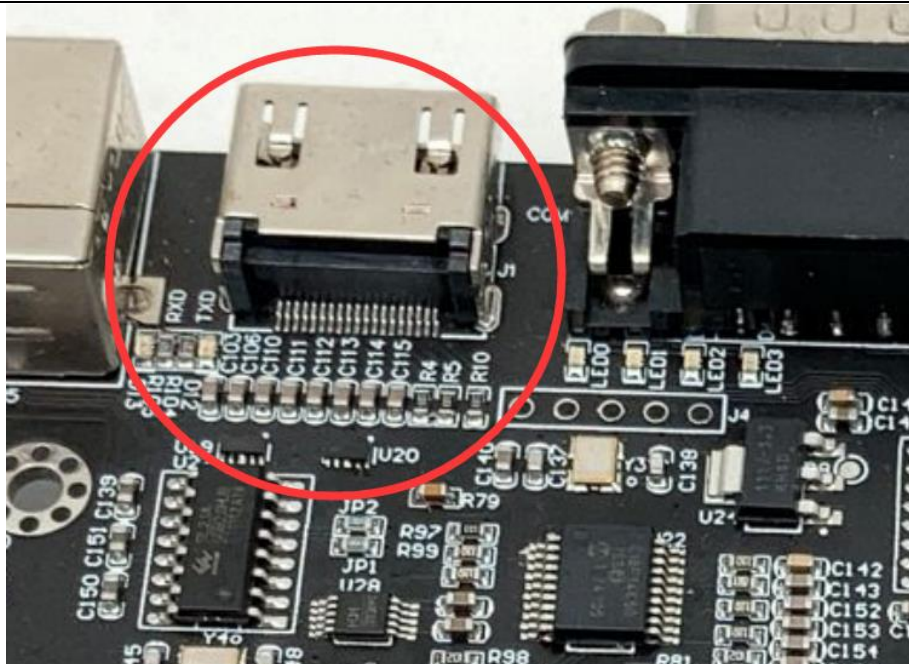


图 2-18 HDMI/DVI 接口在 AC620 开发板上的位置

2.18 12 位 8 通道 ADC

AC620V2 开发板上使用一片 TI 公司生产的 ADC128S102 型 ADC 芯片实现模拟和数字信号之间的转换，该芯片提供一个 12 位采样精度的 ADC 和 8 个模拟输入通道，转换速率最高 1Msps，模拟输入信号电压范围为 0~VA(模拟供电电压)，使用该电路，用户可以非常方便的实现多路模拟电源的高精度测量。ADC128S102 对外提供一个标准的 SPI 数字接口，将该数字接口连接到 Cyclone IV E 上，可以实现通过 Cyclone IV E 控制 ADC128S102 实现模拟电源到数字信号的转换。图 2-20 为 ADC128S102 与 Cyclone IV E 的连接关系

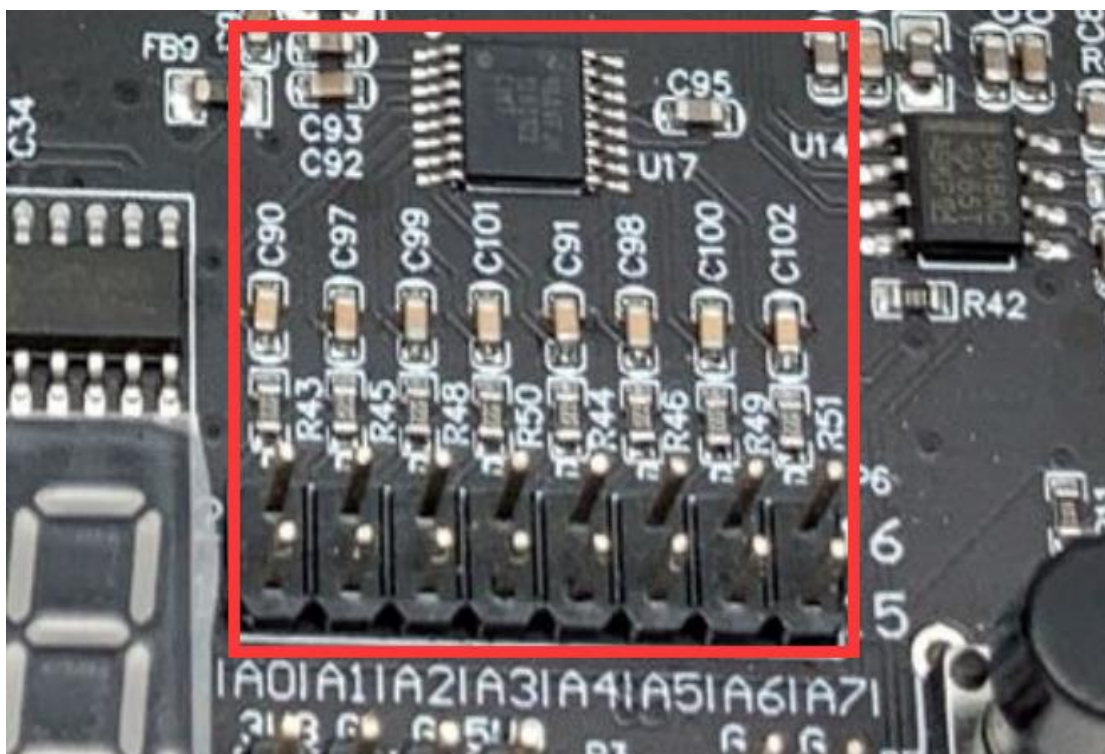
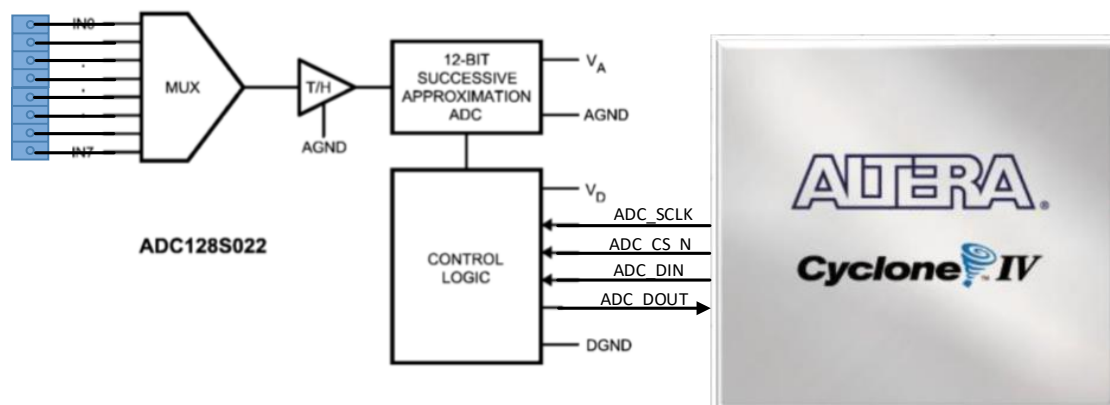


图 2-20 ADC128S102 与 Cyclone IV E 的连接关系

ADC 管脚分配表

Signal Name	FPGA pin No.
ADC_CS_N	PIN_D9
ADC_DIN	PIN_C9
ADC_SCLK	PIN_B7
ADC_DOUT	PIN_E9

2.19 12 位 2 通道 DAC

AC620V2 开发板上使用一片 TI 公司生产的 TLV5618 型 DAC 芯片实现数字信号到模拟信号之间的转换。TLV5618 提供两个 12 位采样精度的 DAC 输出通道，转换速率最短为 1us，模拟输出信号电压范围为 0~2Vref，AC620V2 开发板上使用一颗 LM4040-2.0 精密参考源芯片，为 TLV5618 提供 2.048V 的精密参考源，因此整个 DAC 电路的输出电压范围为 0V~4.096V。

店铺：<https://xiaomeige.taobao.com>

技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：www.corecourse.cn

技术群组：615381411

使用该电路，用户可以非常方便的实现多路模拟信号输出，进行数控系统的设计。TLV5618 对外提供一个标准的 SPI 数字接口，将该数字接口连接到 Cyclone IV E 上，可以实现通过 Cyclone IV E 传输数字信号给 TLV5618，最终得到对应的模拟电压信号的功能。图 2-21 为 TLV5618 与 Cyclone IV E 的连接关系

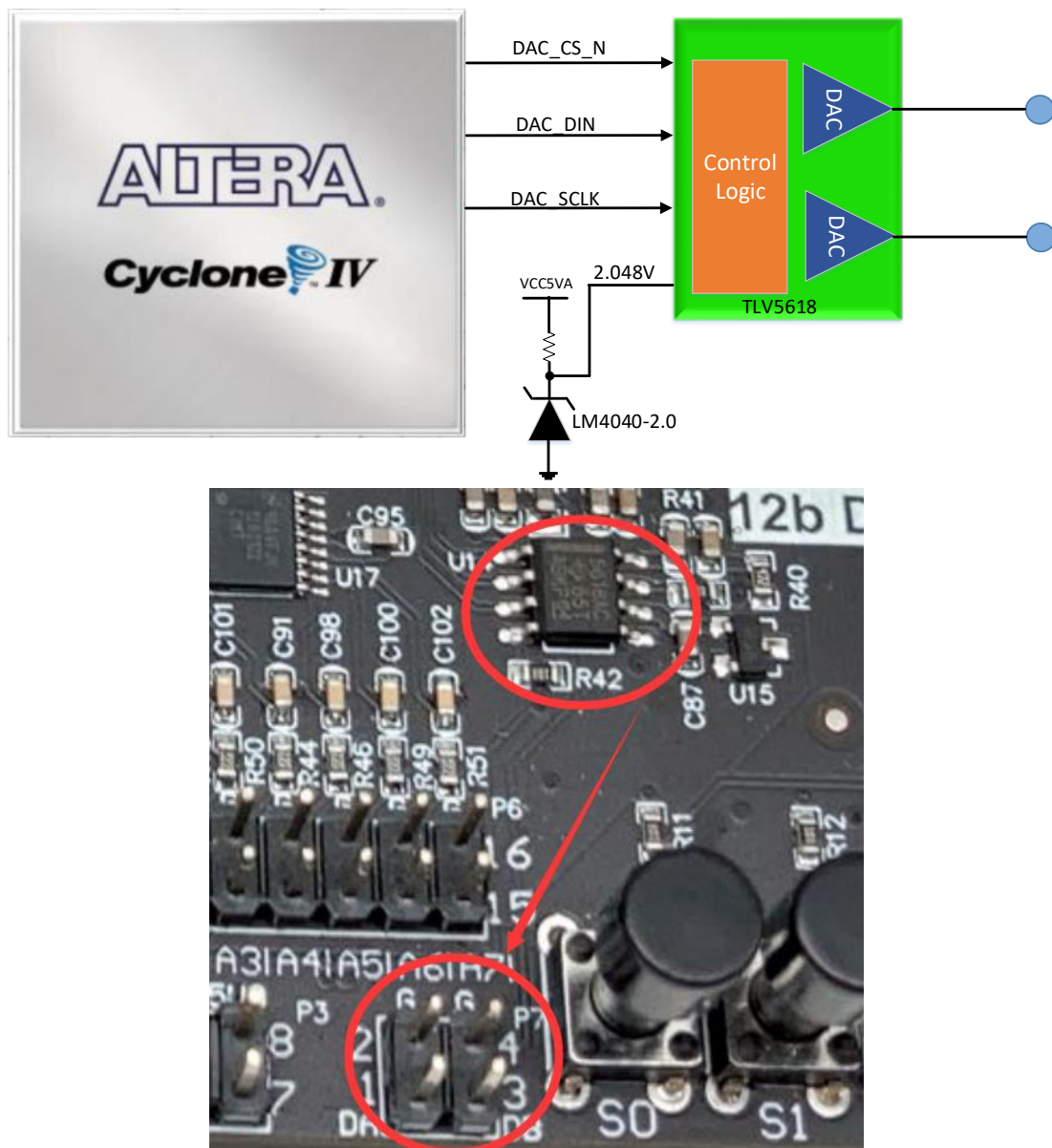


图 2-21 TLV5618 与 Cyclone IV E 的连接关系

DAC 管脚分配表

Signal Name	FPGA pin No.
DAC_CS_N	PIN_E8
DAC_DIN	PIN_C8
DAC_SCLK	PIN_E7

2.20 7 段 8 位数码管

为了提供一种最简单直观的显示，AC620V2 开发板上提供了一个 7 段 8 位共阳极数码管电路，为了减少对 FPGA 引脚资源的占用，AC620V2 开发板上的数码管采用串行移位寄存器芯片将串行数据转化为 16 位并行数据后进行驱动。Cyclone IV E 通过 3 根数据线，连接到两片级联的串行移位器芯片 74HC595 上，再由 74HC595 将每次 16 位串行的数据转化为 16 位并行的数据，分别用以驱动 7 段 8 位数码管的段选和位选，图 2-22 为 74HC595 与 Cyclone IV E 的连接关系

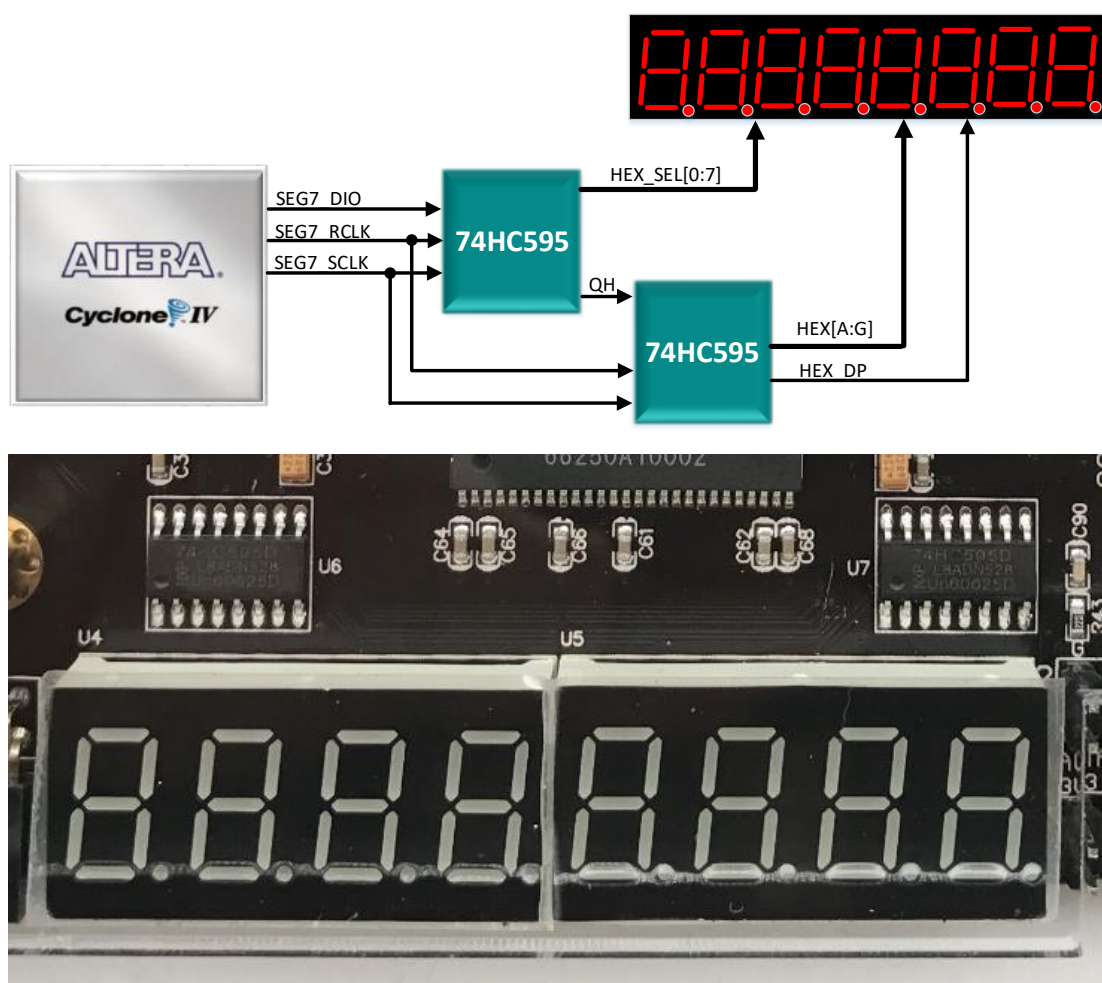


图 2-22 74HC595 与 Cyclone IV E 的连接关系

74HC595 数码管驱动电路管脚分配表

Signal Name	FPGA pin No.
SEG7_SCLK	PIN_F6
SEG7_DIO	PIN_E6
SEG7_RCLK	PIN_B4