计算机组成原理

实验报告

**实验三 存储器扩展及总线互连**

**一、实验内容**

(1)测试 RAM的功能。

(2)设计一个读/写端口分离的128×8位存储模块，前64B为只读空间，并验证设计正确性。

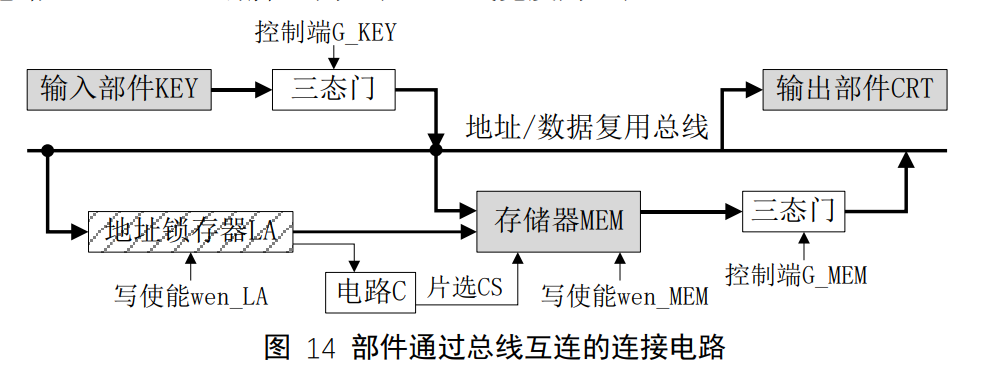
(3)将所设计存储模块、输入部件、输出部件连接到地址/数据复用的8位总线上，通过输入部件对存储器进行读/写操作、通过输出部件查看结果，并验证设计正确性。

**二、电路设计与实现**

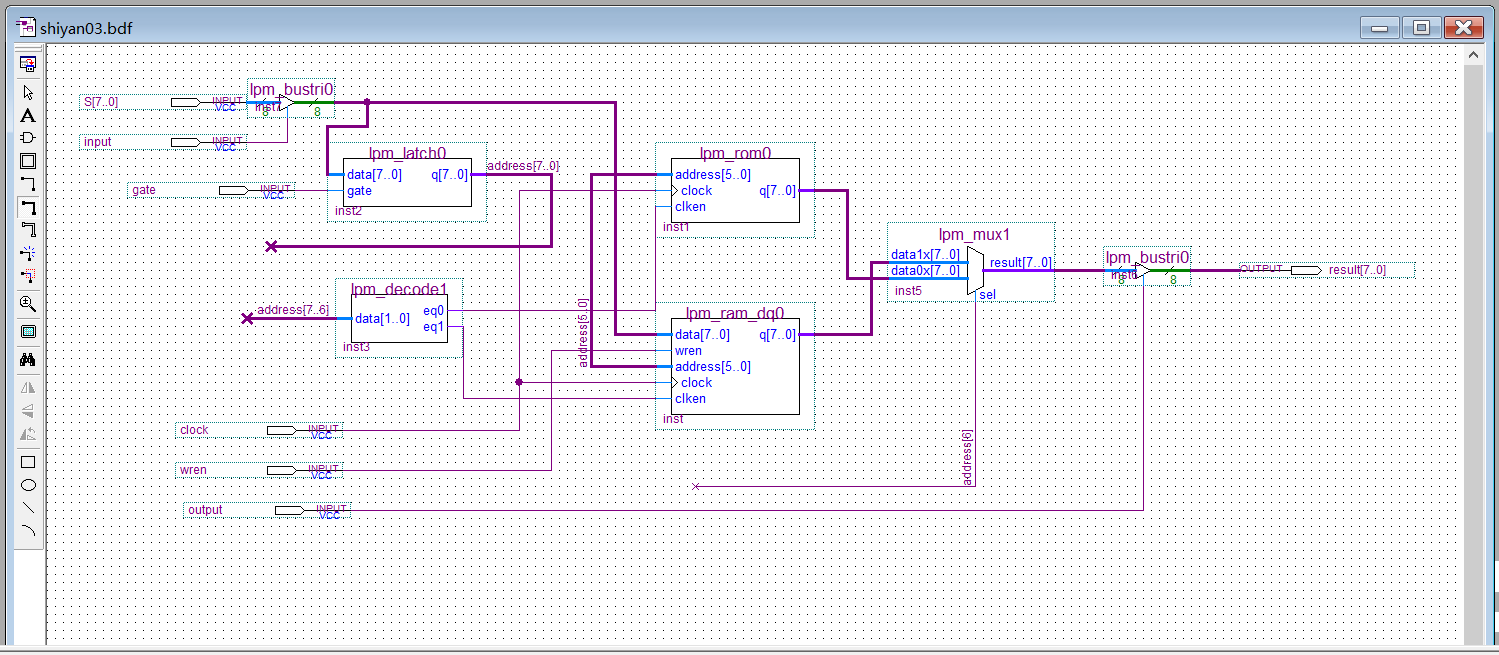
1. 需求分析：（1）QuartusII提供的RAM模块都为同步存储器，即读/写操作都在时钟脉冲信号的上升沿开始；读操作都可以选择是否需要信号控制；读操作的数据输出都可以选择是否带输出锁存功能,根据这些即可轻松测试RAM的功能。

（2）本实验要求设计一个读/写端口分离的128×8位存储模块，前64B为只读空间，由设计要求可知，存储模块可对1片64×8位ROM、1片64×8 位RAM进行字扩展来实现。存储模块的验证包括存储器功能测试、存储模块功能验证两个环节，可通过分别访问不同存储器芯片法方法来实现。验证有电路仿真、结果分析两个步骤，仿真时先采用功能仿真方式得到结果，再采用时序仿真方式查看器件操作的时延特征。

2.模块划分：

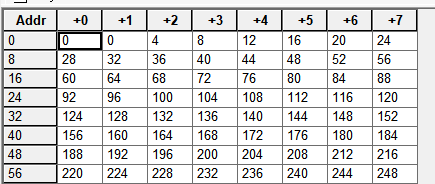
****3.引脚组织：读/写端口分离的64×8位ROM的引脚为：6位地址、8位数据输出、时钟脉冲clock、片选clken，64×8位的RAM的引脚还有8位数据输入、写使能wren。（其余引脚详见电路设计图）

1. 电路设计图：

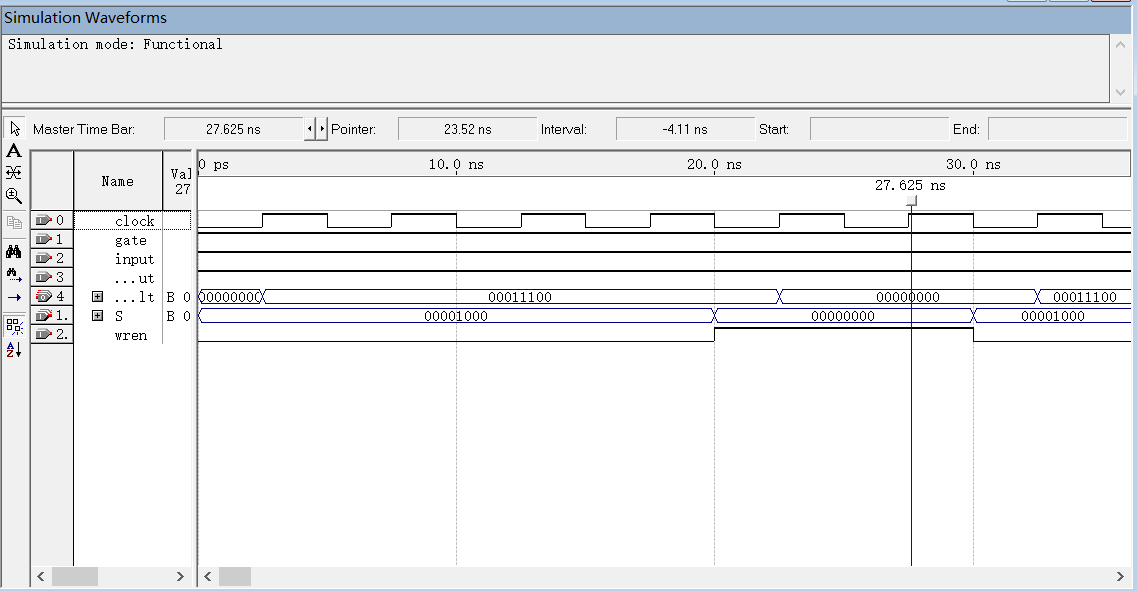


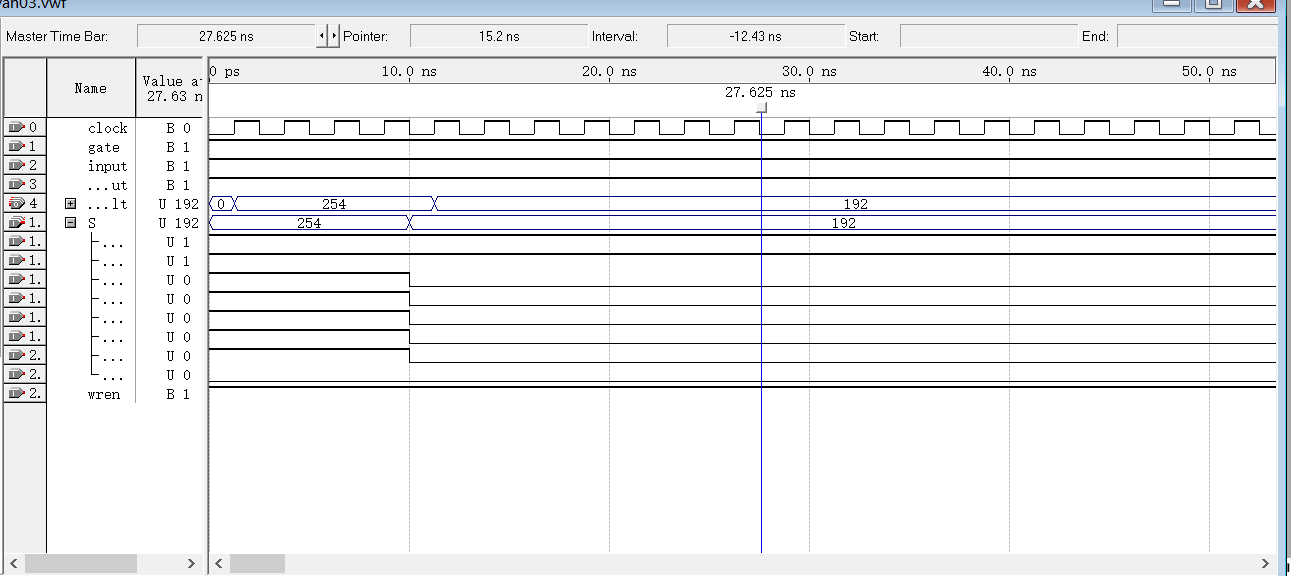
**三、电路正确性验证**

**1、电路仿真**

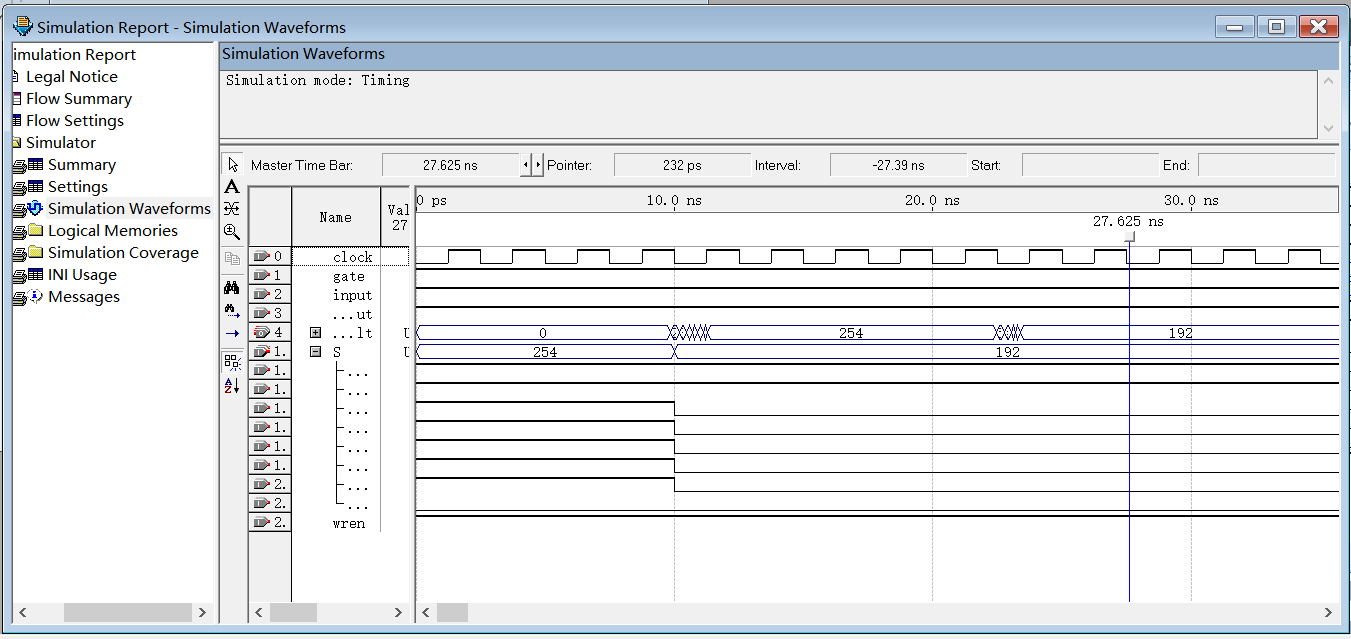


功能仿真：





时序仿真：



**2、结果分析**

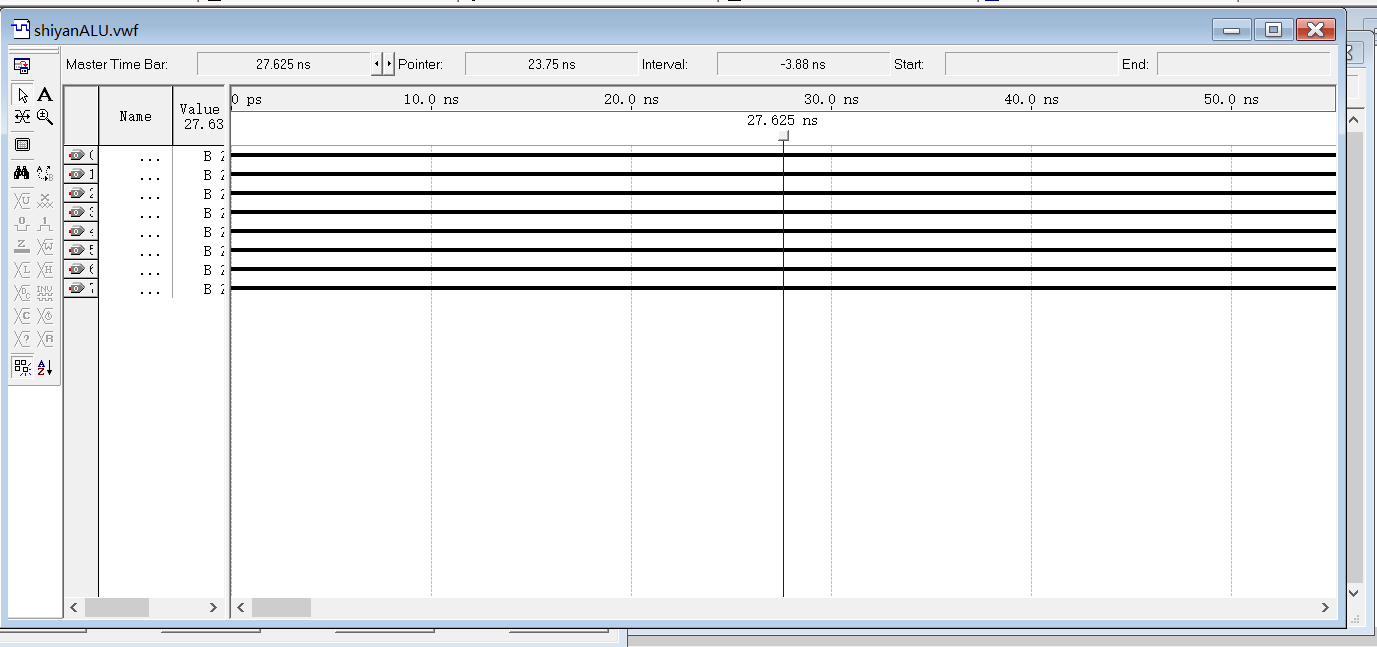
通过两次功能仿真验证，ROM,RAM功能均无问题，时序仿真波形图扰动相对较少，仿真十分成功。

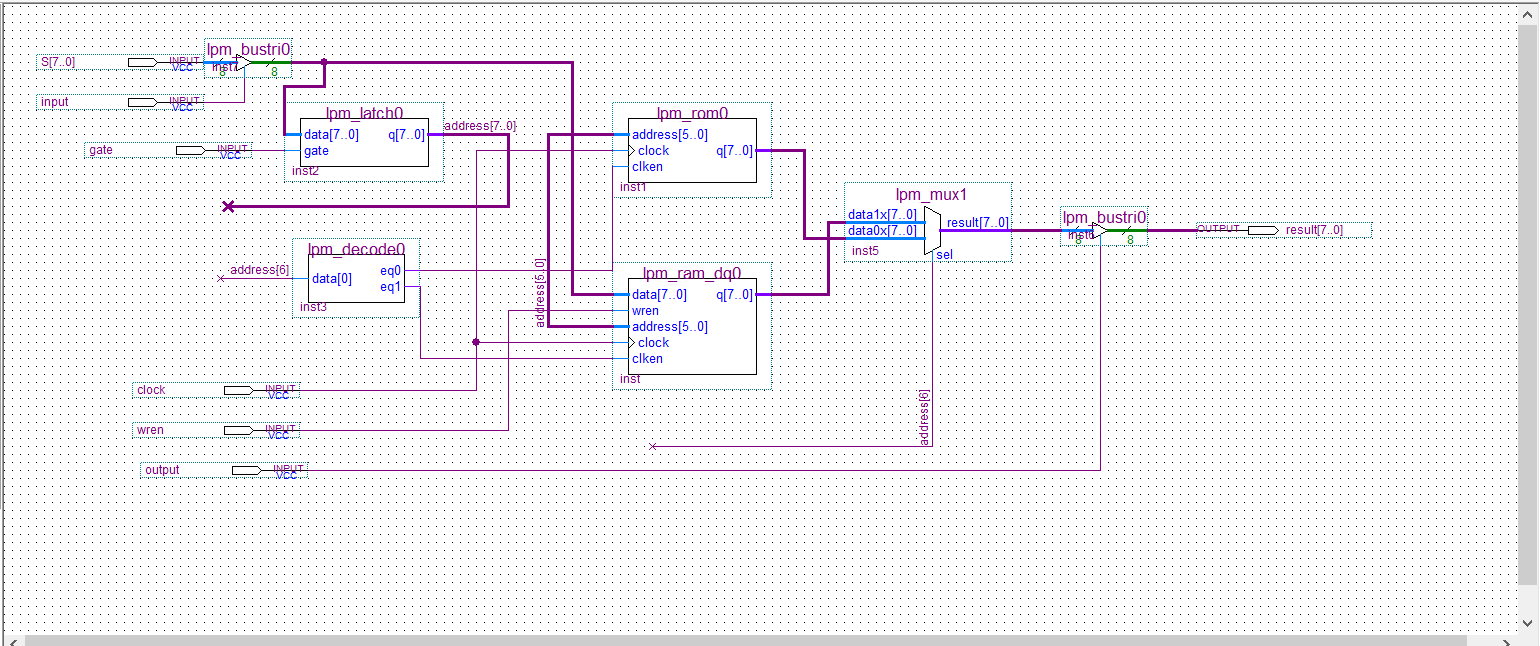
1. **实验小结**

本次实验两位组员在一起完成了实验，彼此都收获了许多。

尤其是刚刚学了存储的部分内容，在设计时，由于采用复用地址，加上字扩展，所以虽然设计上需要address[7..0],但是输入数据部分只需要address[5..0],而address[7..6]则是来作片选。

在实验过程中，其中一位同学在功能仿真时出现了如下问题：



后来经过仔细查看，该同学发现，因为把所有工程建在一个文件夹里，所以在仿真时，忘记修改位置，波形图是第二次实验的，经过改正后，得到了正确的仿真结果。

最初做实验时，两位成员的译码器连接都有问题，只用了address【6】这一条线，在老师的提醒下，将译码器改为了2—8译码器。

**五、教师评语**

教师签字：

日期：