

Design Review

Current Starved VCO for PLL



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA

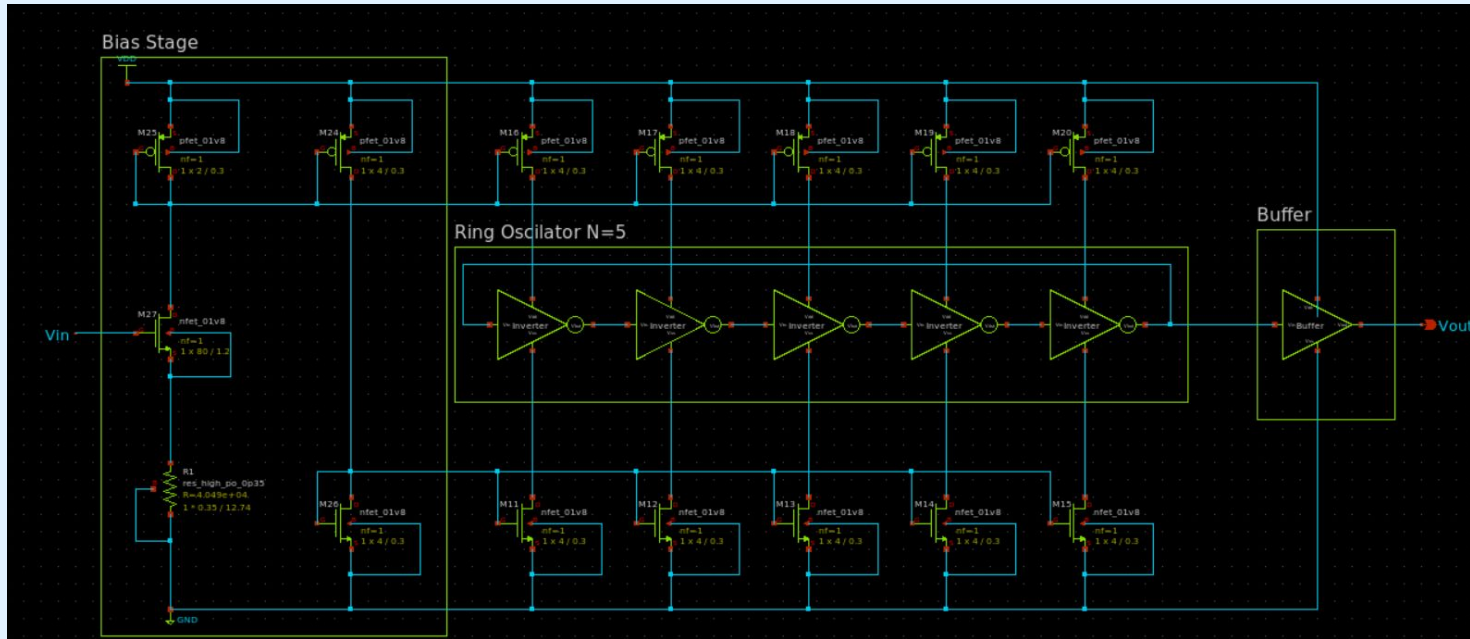
Sebastián Castro
08-12-2023



The background of the slide is a dark blue, high-contrast image of a printed circuit board (PCB). It shows a complex network of fine, light-colored traces and larger, more prominent components like pads and vias. The overall pattern is symmetrical and intricate, typical of modern electronic hardware.

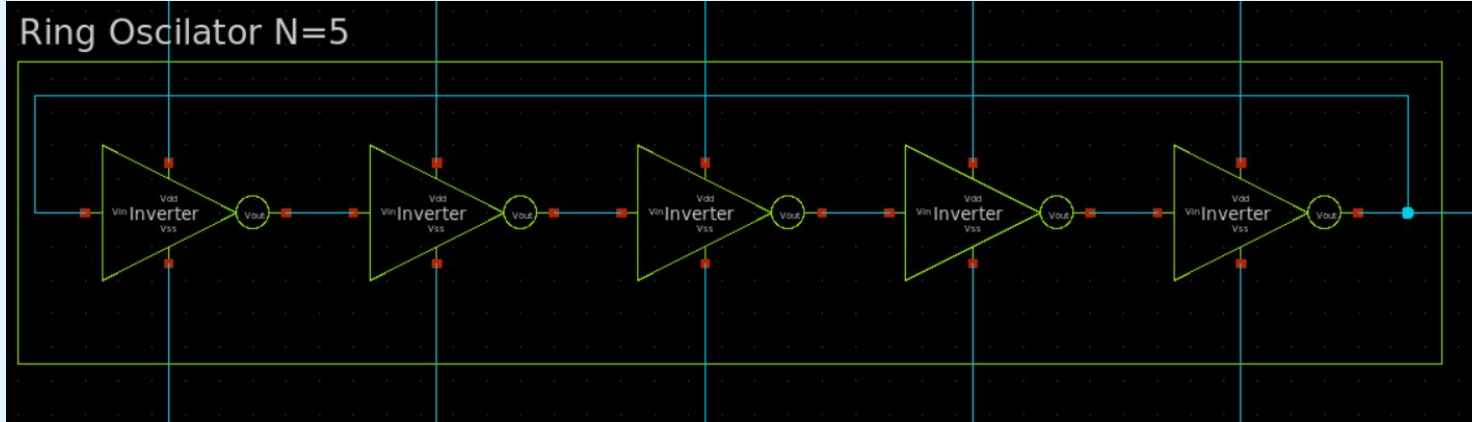
Especificaciones

Topología

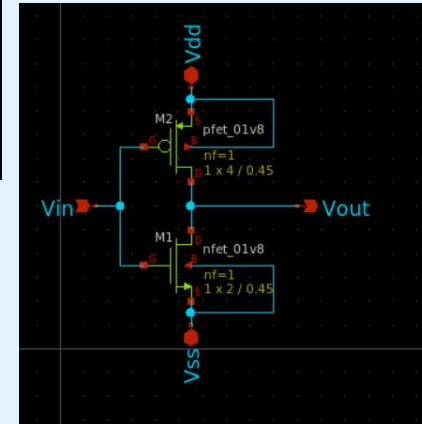


- Bias Stage
- Ring Oscillator
- Buffer
- Current Source

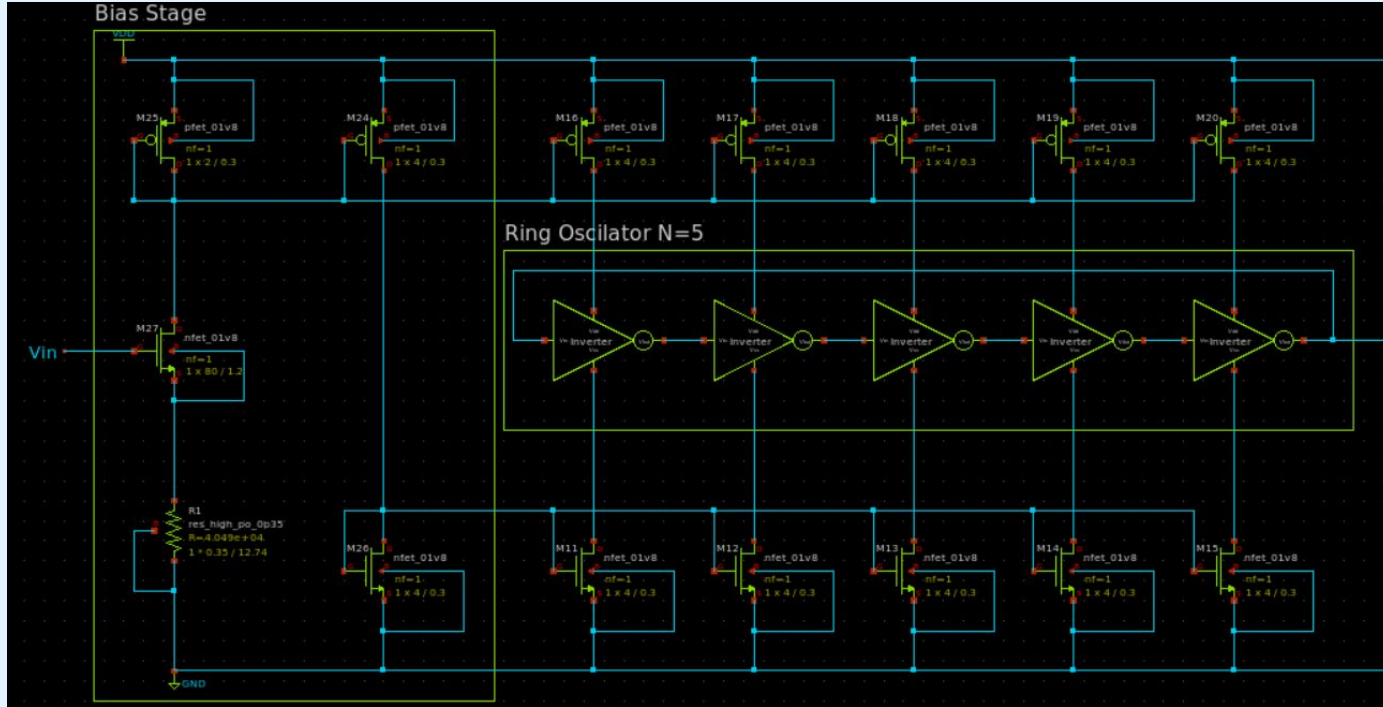
Topología



- Bias Stage
- Ring Oscillator
- Buffer
- Current Source

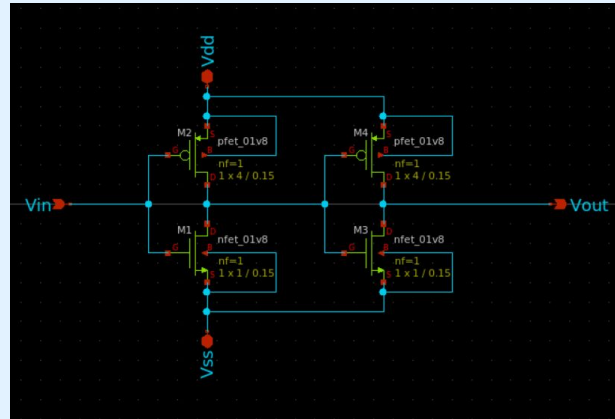
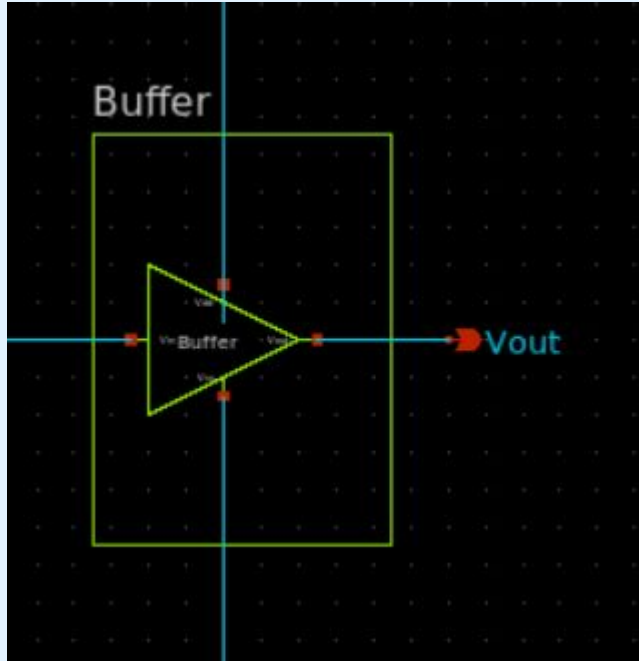


Topología



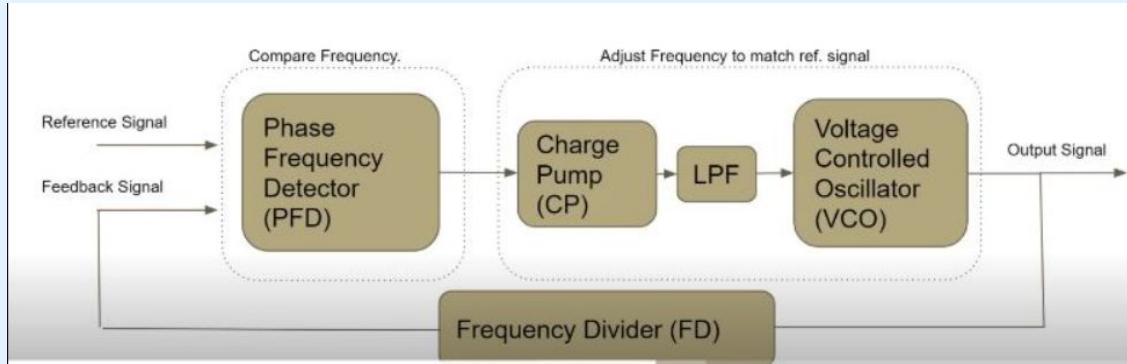
- Bias Stage
- Ring Oscillator
- Buffer
- Current Source

Topología



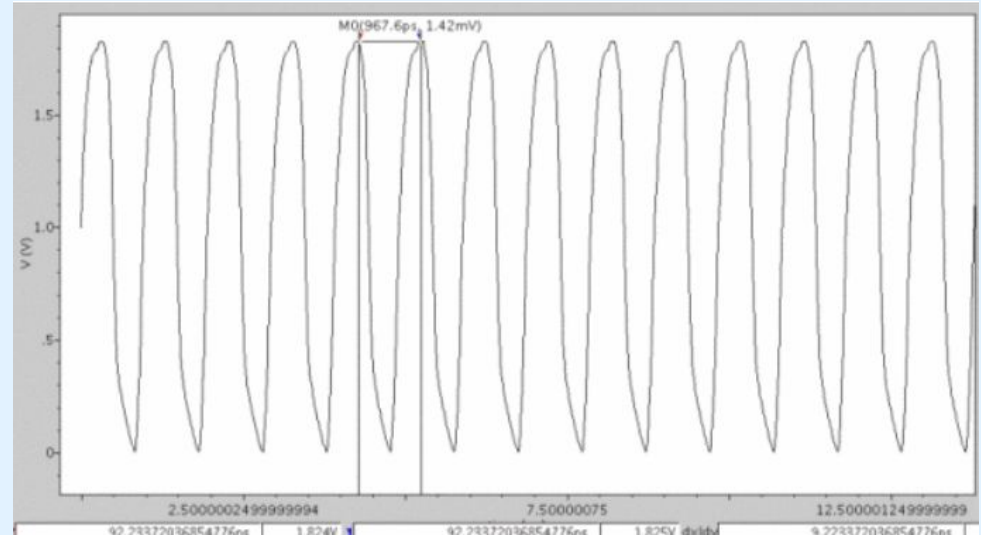
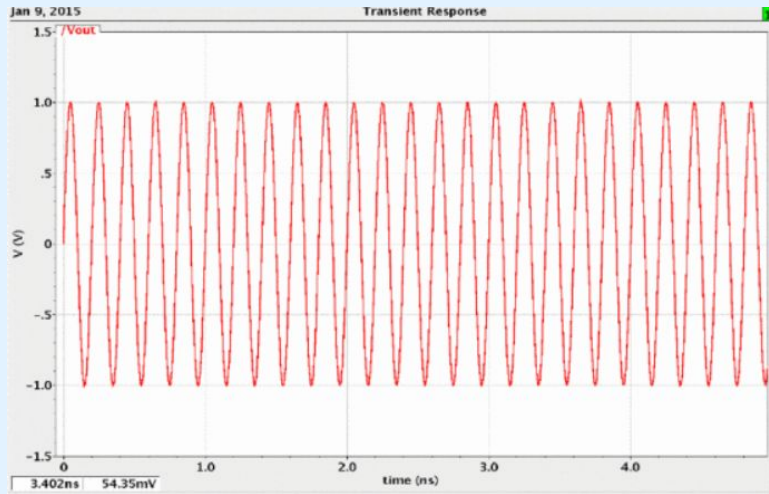
- Bias Stage
- Ring Oscillator
- Buffer
- Current Source

Topología



- Señal periódica para la temporización en circuitos digitales.
- Bloque fundamental en PLL.
- 2 tipos de VCO: Source Coupled y Current Starved.
- Ventajas: Menos ruido y menos consumo.

Topología



Topología

Conferences > 2015 International Conference...

Design and implementation of 1 GHz Current Starved Voltage Controlled Oscillator (VCO) for PLL using 90nm CMOS technology

Publisher: IEEE

Cite This

PDF

Vishwanath Muddi ; Kunjan D. Shinde ; Shivaprasad B K All Authors

1

Cites in
Paper

1659

Full
Text Views



Design and Analysis of Current Starved VCO Targeting SCL 180 nm CMOS Process

Chandra Shekhar* and S. Qureshi†

Department of Electrical Engineering, Indian Institute of Technology,
Kanpur, India 208016

Email: *gchandra@iitk.ac.in, †qureshi@iitk.ac.in

Conferences > International Conference on C...

A low power low noise current starved CMOS VCO for PLL

Publisher: IEEE

Cite This

PDF

Suraj Kumar Saw ; Vijay Nath All Authors

2

Cites in
Papers

1606

Full
Text Views



Conferences > 2016 International Conference...

Analysis and design of current starved ring VCO

Publisher: IEEE

Cite This

PDF

Shruti Suman ; K. G. Sharma ; P. K. Ghosh All Authors

35

Cites in
Papers

12701

Full
Text Views



Topología

- *presentar circuito a diseñar, con esquemático
- *indicar referencias, fuentes de información relevante, ejemplos
- *también hay espacio para una breve motivación/aplicación objetivo

$$f_{osc} = \frac{I_D}{N \cdot C_{tot} V_{DD}}$$

$$C_{tot} = C_{out} + C_{in} = \frac{5}{2} C'_{ox} (W_p L_p + W_n L_n)$$

Especificaciones

I_D = corriente bias

N = número inversores en cascada

Métrica	Valor [unidad]
Vdd	1.8[V]
Fosc	150 MHz
Rango frecuencia	+ - 100MHz
Consumo	<130uW
Ruido de fase	-

*ecuaciones de diseño más importantes

Métrica	Valor [unidad]
Vdd	1.8[V]
Fosc	50 MHz
Rango frecuencia	200MHz

Especificaciones

*indicar condiciones de operación, como voltage de alimentación, frecuencia de operación...

*explicar objetivos, evidenciando compromisos entre las métricas relevantes

*pare esto es importante tener una idea de cuáles son las figuras de mérito: ¿qué gráfico o valor muestra el desempeño deseado del circuito?

A detailed, high-magnification image of a microchip, showing a complex grid of various colored squares and rectangles, representing different functional blocks and interconnects. The colors include shades of green, blue, yellow, and brown, set against a dark background. The perspective is slightly angled, giving a three-dimensional feel to the flat surface.

Simulación

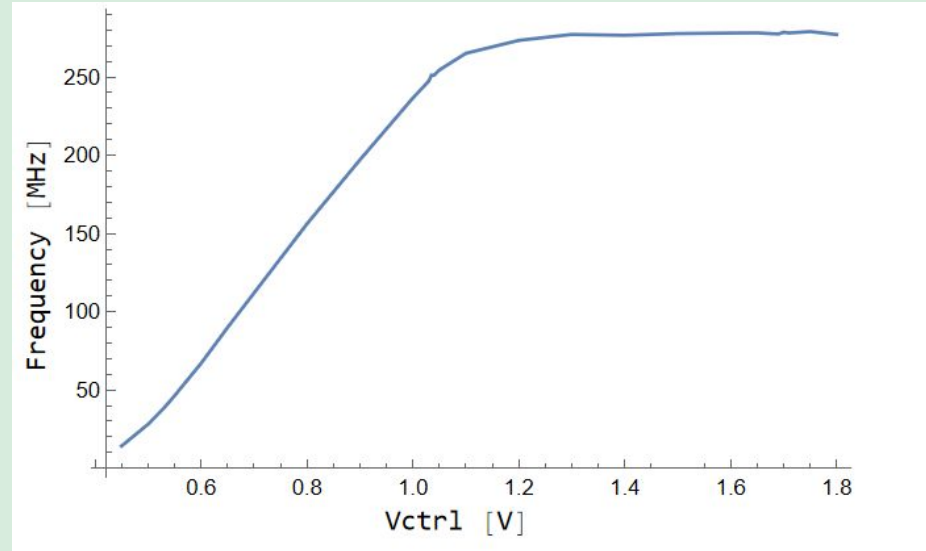
Caracterización

*si es relevante, puede ser necesario analizar el comportamiento de un dispositivo individual, como la resistencia de conducción de un transistor

Simulación

Vctrl Range: 0.46V - 1.8V

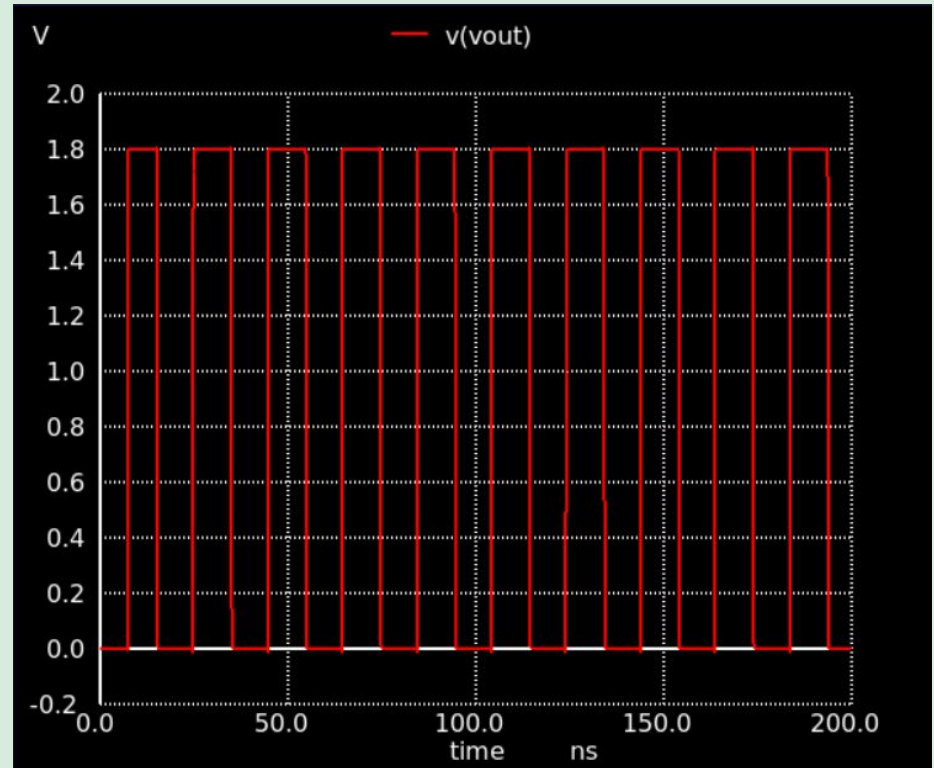
Frec. Range: 14.11MHz-279Mhz



Simulación

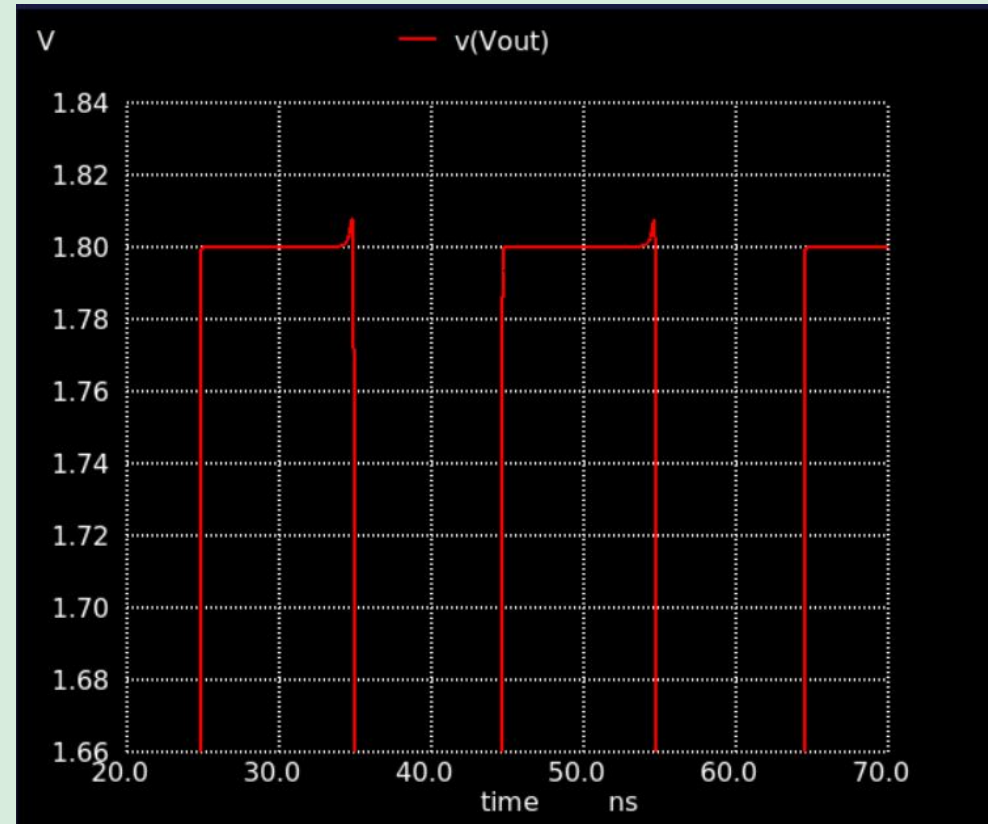
$V_{ctrl} = 0.787V$

$f = 150.43MHz$



Simulación

$V_{out_max} = 1.8V$

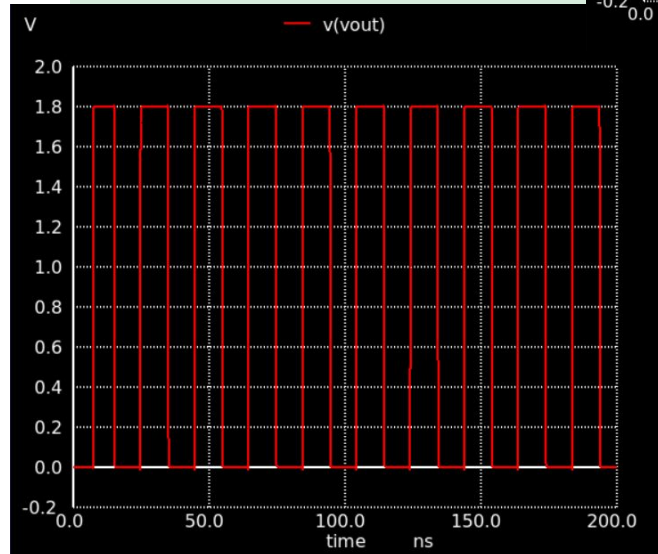
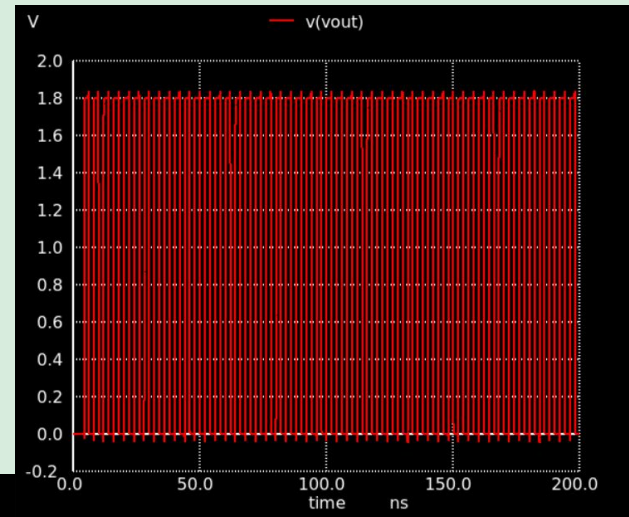


Simulación

$V_{ctrl} = 0.56[V]$ y $1.035[V]$

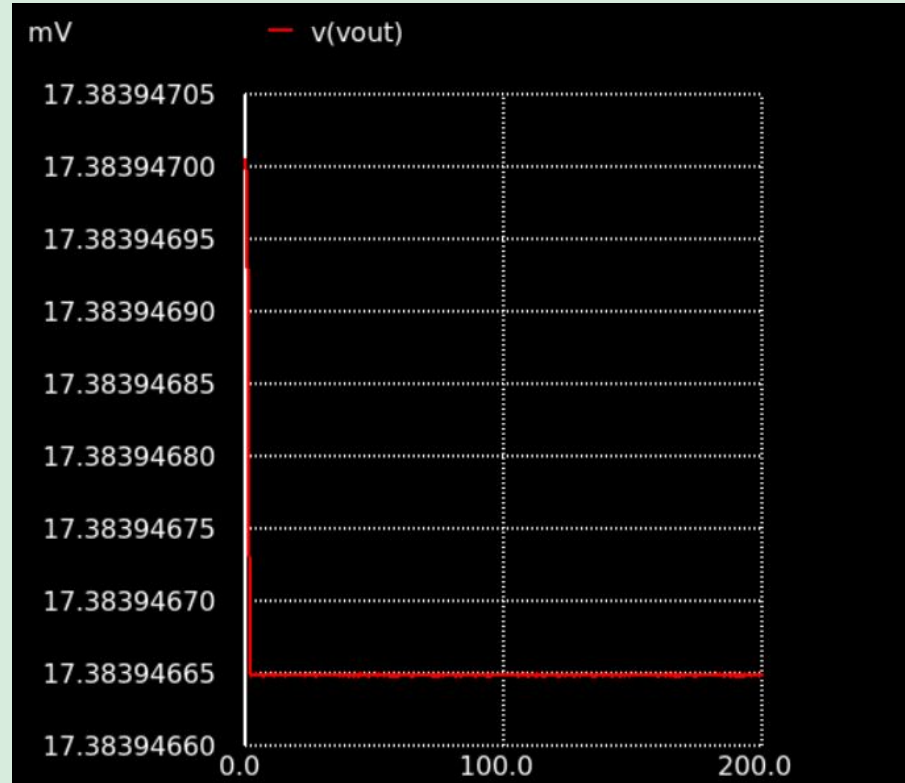
$\Delta f = 200.75\text{ MHz}$

Linear Range: $50.43\text{MHz} - 251.18\text{ MHz}$



Simulación

$V_{ctrl} = 0.4V$



Simulación

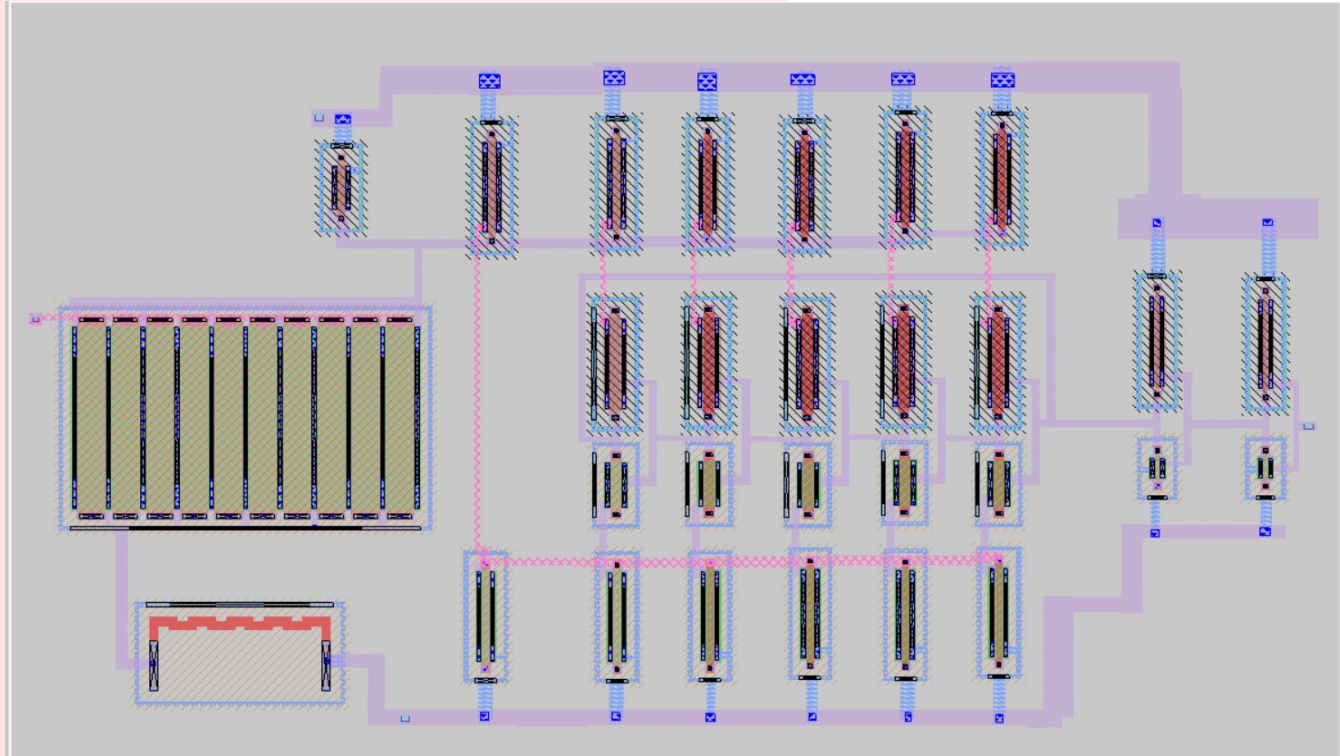
*el truco es mostrar que se consigue el comportamiento objetivo, con la menor cantidad de gráficos posibles

*usar gráficos con el zoom adecuado, con explicación de los ejes y señales representadas

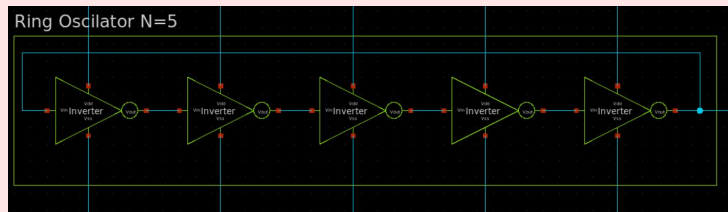
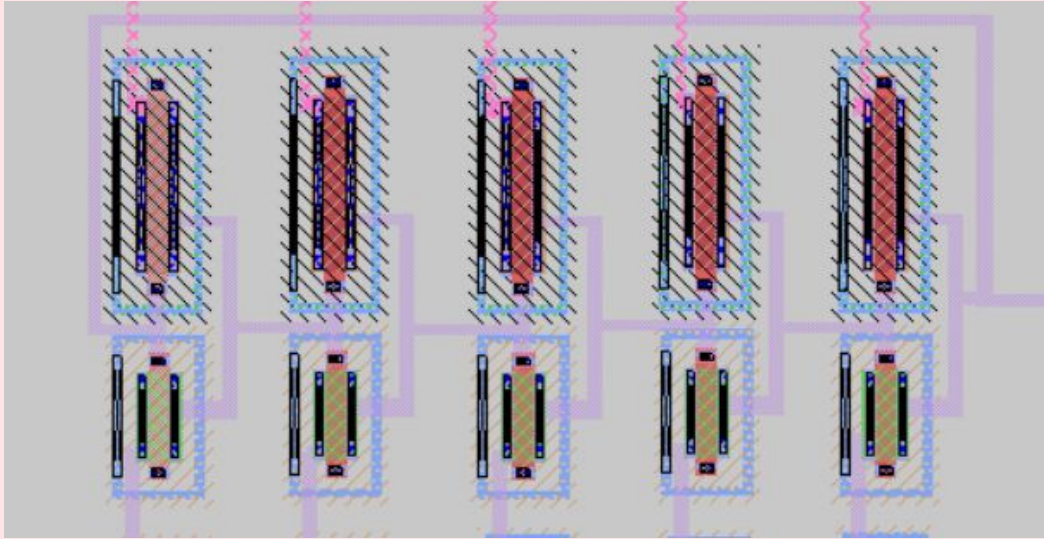


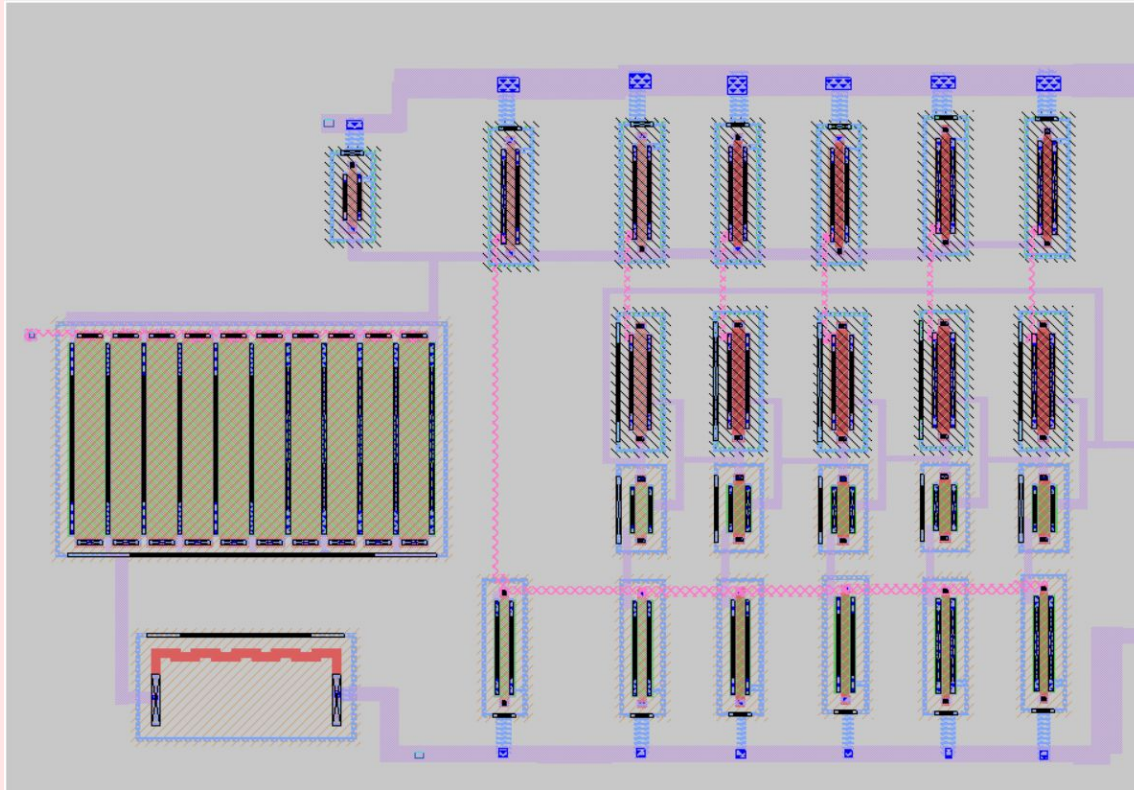
Layout

CSVCO

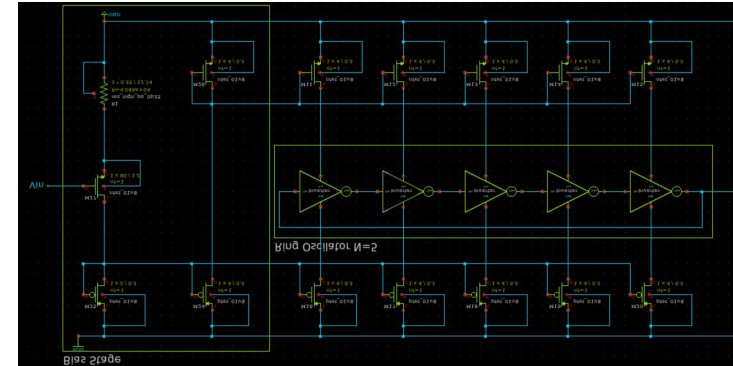


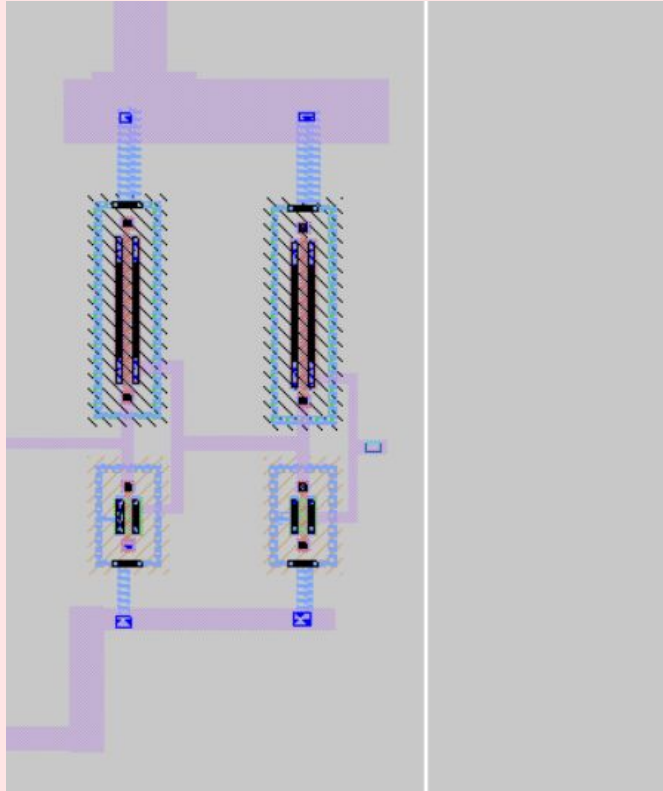
Ring Oscillator



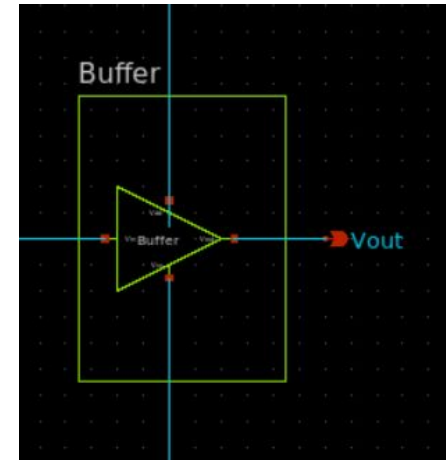


Bias Stage





Buffer



Trabajos Futuros

- Simulación y métricas por módulo
- Calcular pérdidas y ruido de fase
- Post-layout
- Ver trade-offs

Ring Oscillator

*mostrar layout de las distintas jerarquías del proyecto

*indicar decisiones de diseño

Topmodule



Simulación Post-Layout

- *comparar resultados pre-layout (sin parásitos) y post-layout (con parásitos)
- *indicar si estos resultados llevan modificaciones del circuito o layout