

Diseño de Circuitos Integrados Digitales

IPD 445

Clase 09

Una perspectiva de circuitos

*El diseño del inversor CMOS - **Parte A***

Dr. Ioannis Vourkas

11 de mayo, 2021, Valparaíso, Chile



UNIVERSIDAD TECNICA
FEDERICO SANTA MARIA



DEPARTAMENTO DE
ELECTRONICA

Información sobre las clases

En qué consiste el curso

- Teoría (clases expositivas)
- Ejercicios / Laboratorio
 - Diseño de Layout utilizando *L-Edit* y/o *Microwind* Software
 - Simulación con *LTSpice* u otro equivalente



Evaluación

- 3 Certámenes
- 4-5 Tareas (homework)
- Realización de proyecto (investigación)



Instrumentos de evaluación	%
Tareas	30
Proyecto (investigación)	20
Certámenes	50

Contacto con el profesor

Depto. de Electrónica, oficina B-320

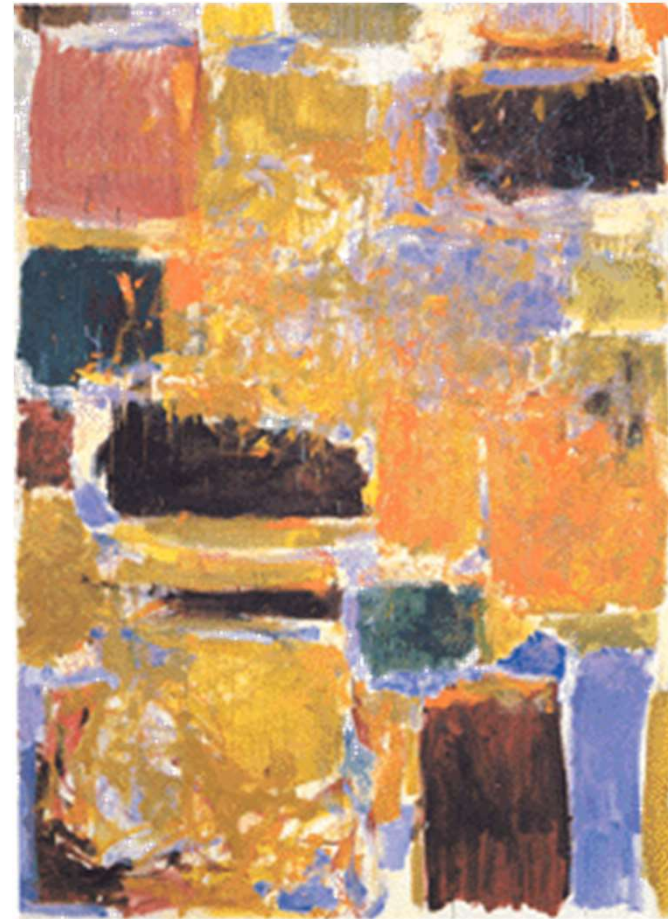
Horario: viernes 15:00-16:00. Email: ioannis.vourkas@usm.cl

“Un buen científico es una persona con ideas originales. Un buen ingeniero es una persona que realiza un diseño, con el menor número de ideas originales.”

F. Dyson en “Disturbing the Universe” (1979)

¿Qué
aprenderemos
hoy?

El inversor
CMOS
-- parte I --



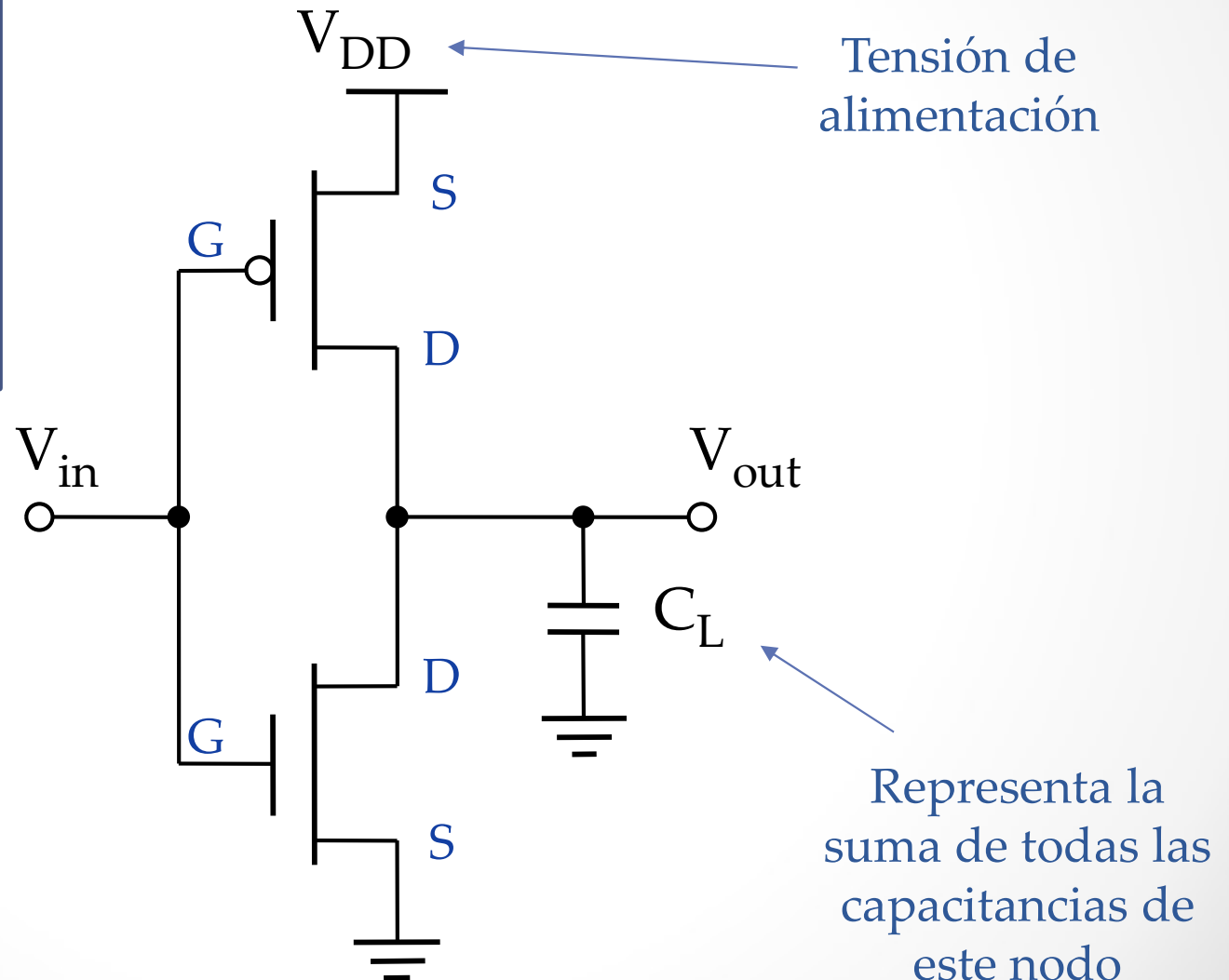
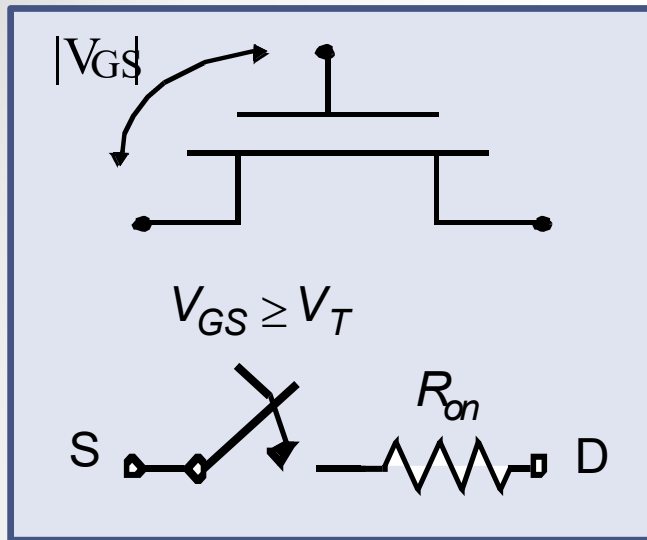
From Rabaey, Chandrakasan, Nikolic,
“Circuitos Integrados Digitales”, 2ª Edición

¿Por qué estudiar el inversor?

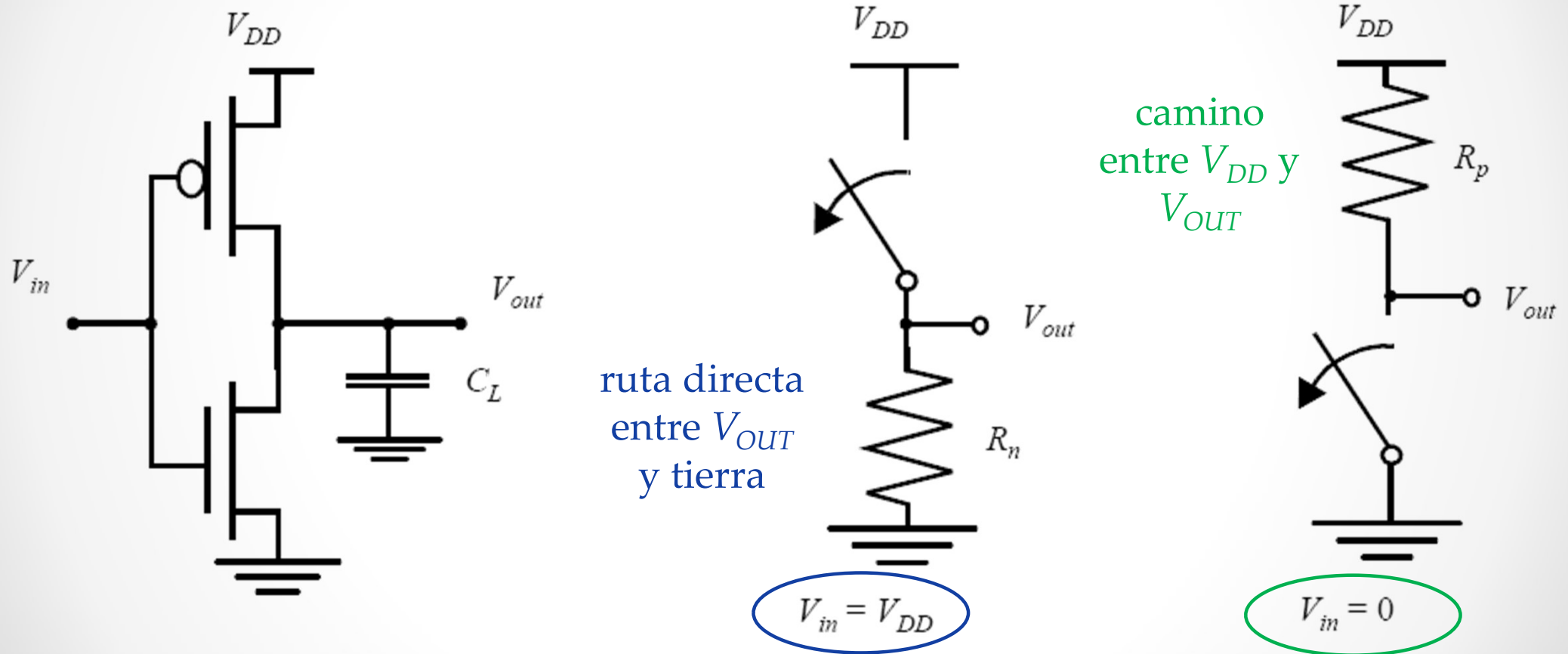
- Es verdaderamente, **el núcleo** de todos los diseños digitales.
 - La comprensión de su operación y de sus propiedades, simplifica mucho el diseño de estructuras más complejas
- Nos centraremos en una única “encarnación” de la puerta inversora: **el inversor CMOS estático**, que es el más popular y por lo tanto merece que le dediquemos atención
- Analizaremos esta puerta con respecto a diferentes métricas de diseño que comentamos en las primeras clases:
 - **Coste** (expresado en función de la complejidad y el área)
 - **Robustez** (comportamiento estático o en régimen permanente)
 - **Prestaciones** (respuesta dinámica/transitoria)
 - **Eficiencia energética** (consumo de energía y potencia)
- Desarrollaremos métodos para seleccionar los valores de los parámetros, de modo que el diseño resultante **cumpla con ciertas especificaciones deseadas**

El inversor CMOS estático

un análisis intuitivo



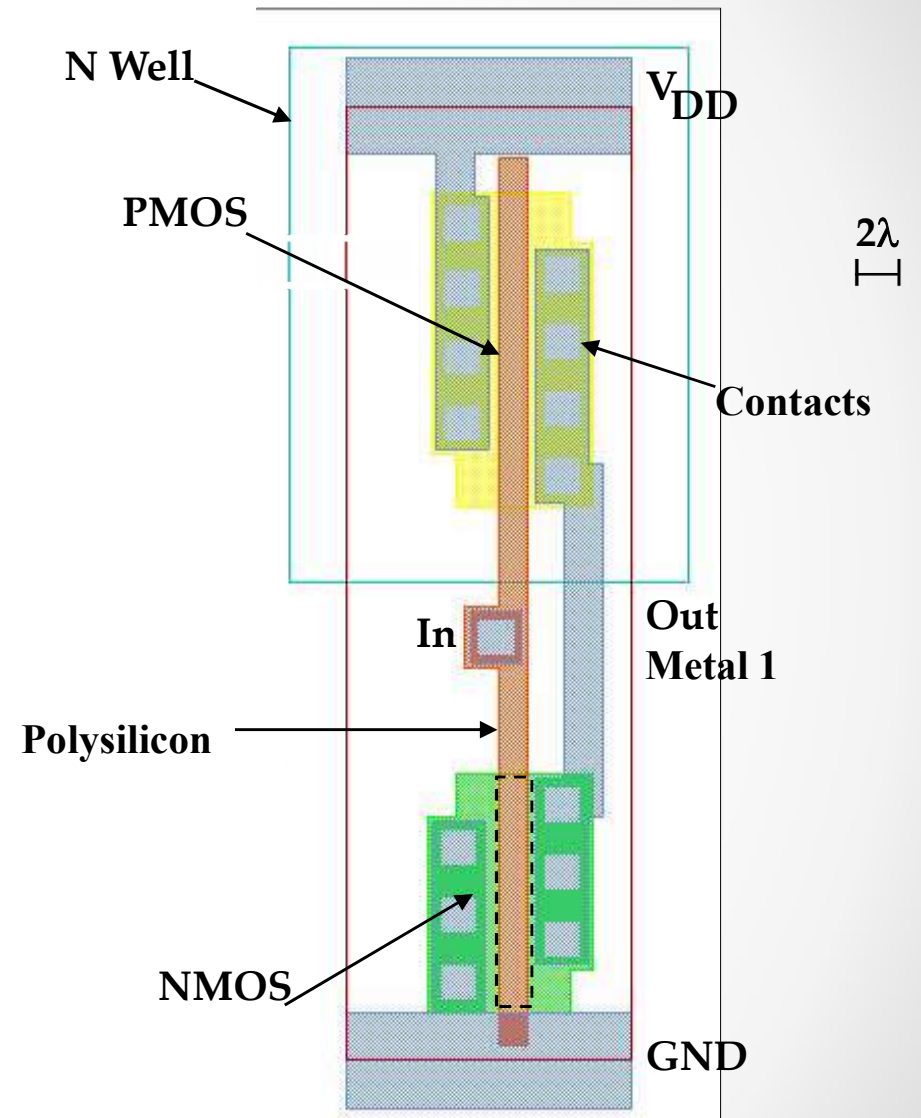
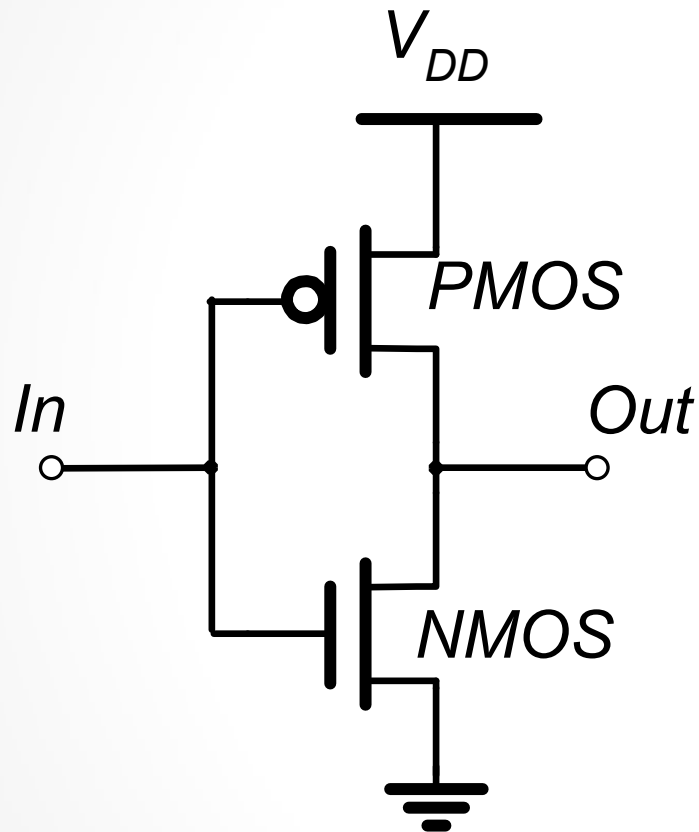
Modelos de conmutador del inversor CMOS



De esta visión a nivel de conmutador, deducimos lo siguiente:

- Los niveles de salida alto y bajo (**recorrido de tensión**) son iguales a V_{DD} y GND → esto significa **altos márgenes de ruido**!
- Los niveles lógicos **no dependen de los tamaños relativos** de los dispositivos, por lo que **los transistores pueden tener un tamaño mínimo** → veremos que esto no ocurre con lógica relativa.
- En **régimen permanente** (cuando entrada y salida permanecen constantes), siempre existe **un camino de resistencia finita** entre la salida y V_{DD} o GND.
 - Un inversor CMOS bien diseñado tiene **baja impedancia de salida** (pocos $k\Omega$) lo que lo hace **menos sensible al ruido**
- La **resistencia de entrada es extremadamente alta**, ya que la puerta de un transistor es un aislante y no consume corriente continua de entrada
 - La corriente de entrada en régimen permanente es prácticamente cero → **fan out teóricamente infinito** (pero **OJO** con el retardo t_p)
 - **NO EXISTE** ningún camino directo entre railes de alimentación y tierra, en condiciones de régimen permanente
 - La ausencia de flujo de corriente (si ignoramos las fugas) implica que la puerta **no consume ninguna potencia estática**

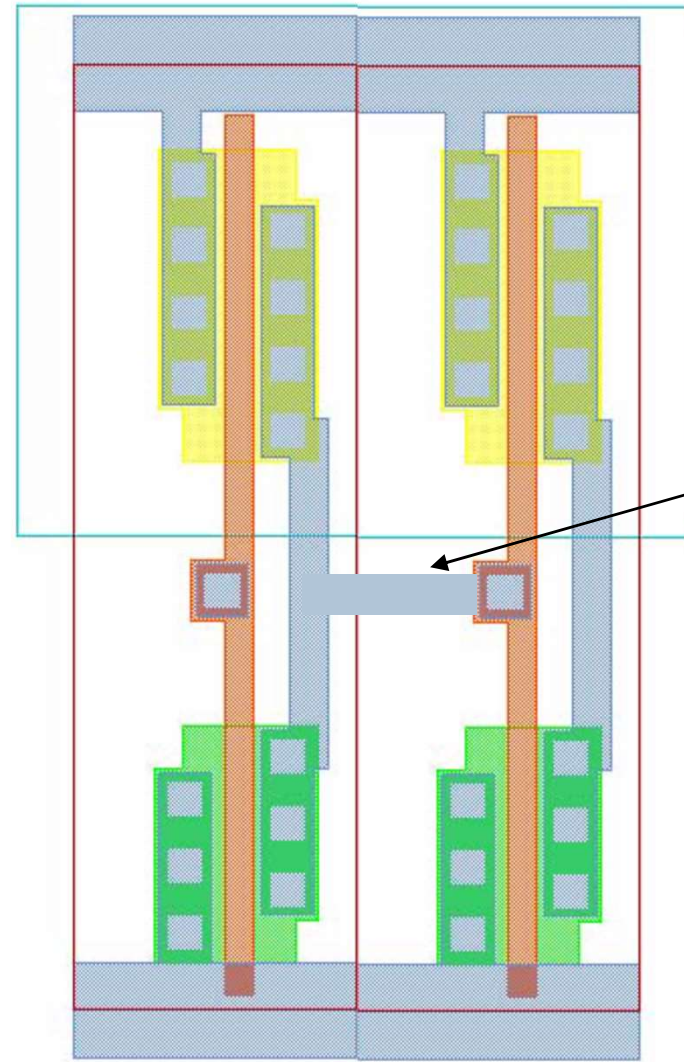
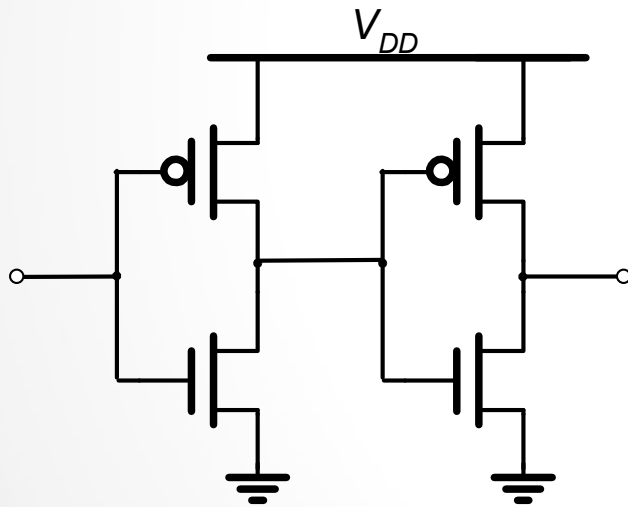
El inversor CMOS



Dos inversores en serie/cascada

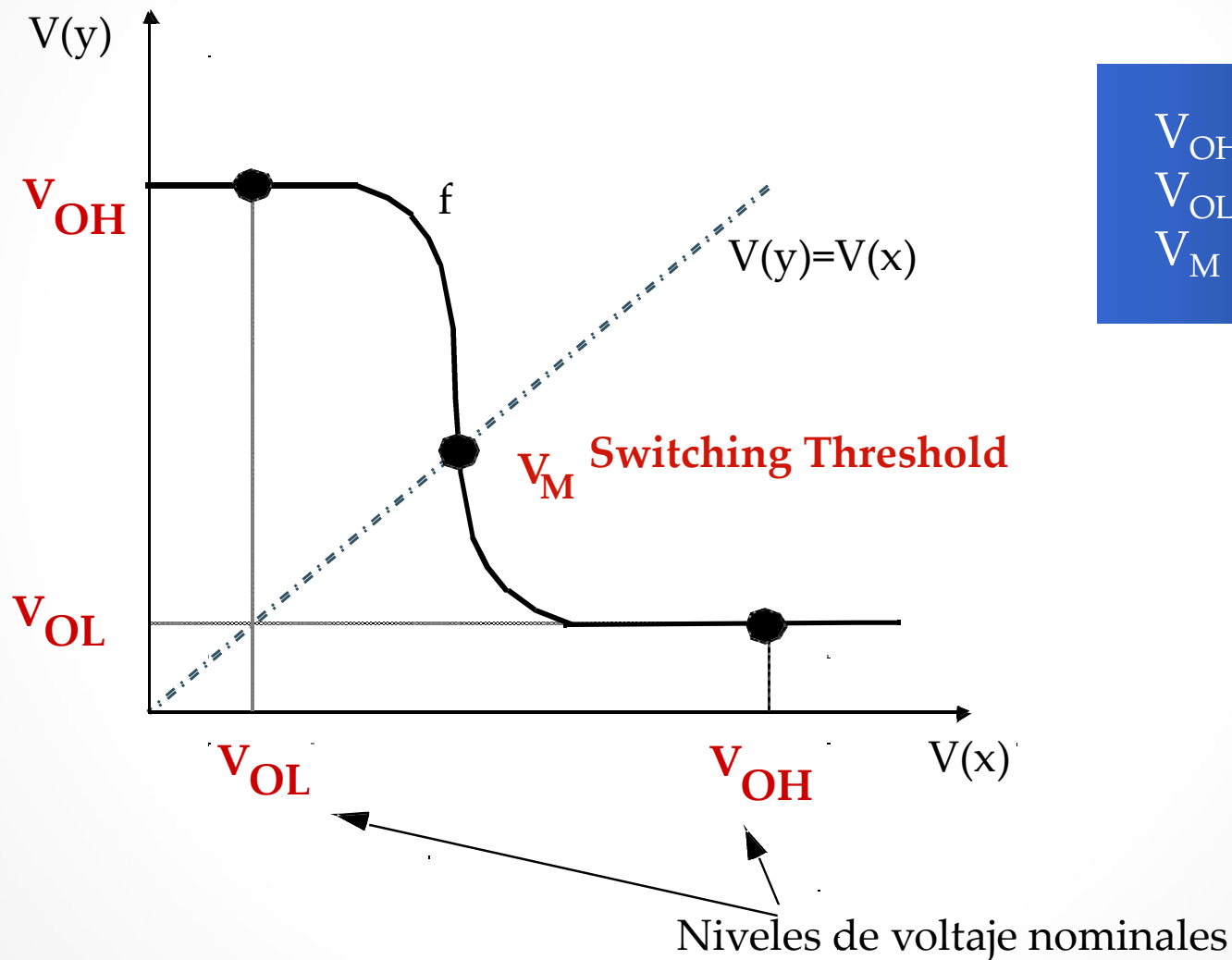
Comparten las líneas de alimentación y tierra

Celdas adyacentes

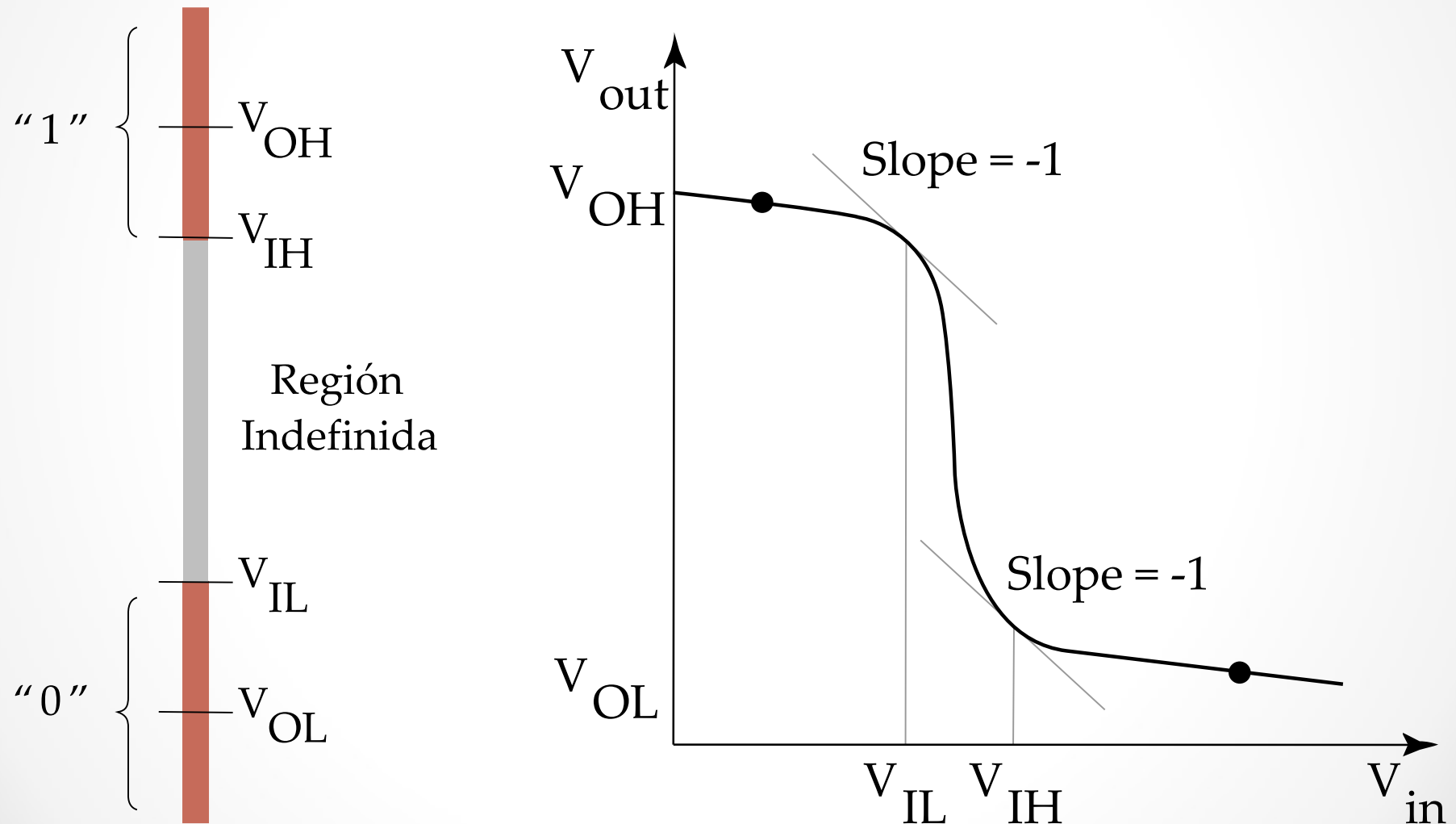


Conexión de Metal 1

Característica de transferencia de tensión

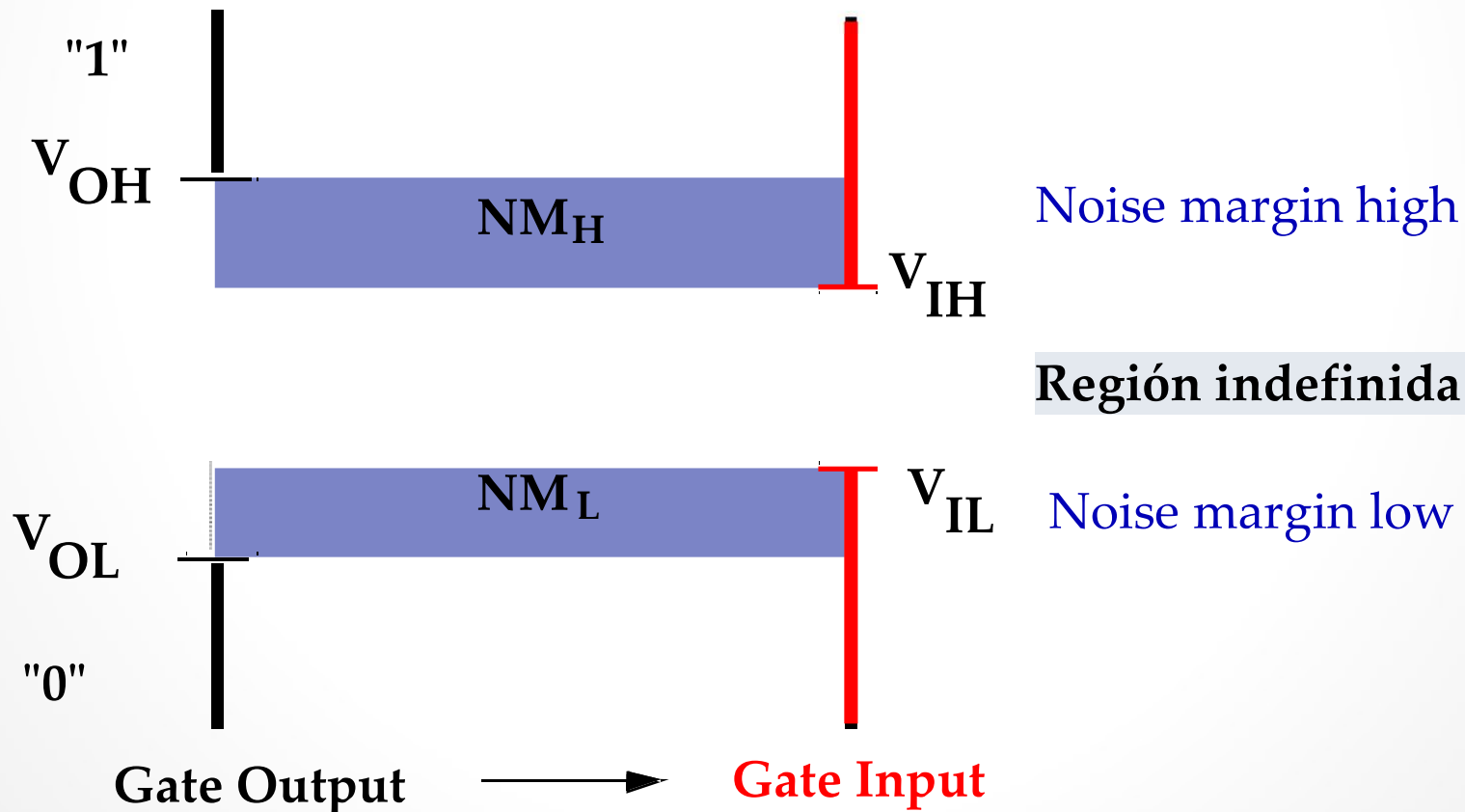
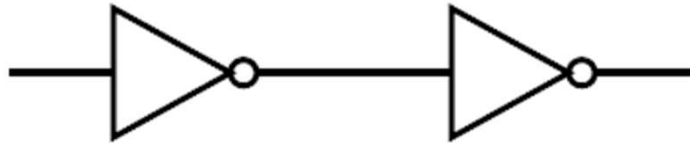


Correspondencia entre niveles lógicos y tensiones



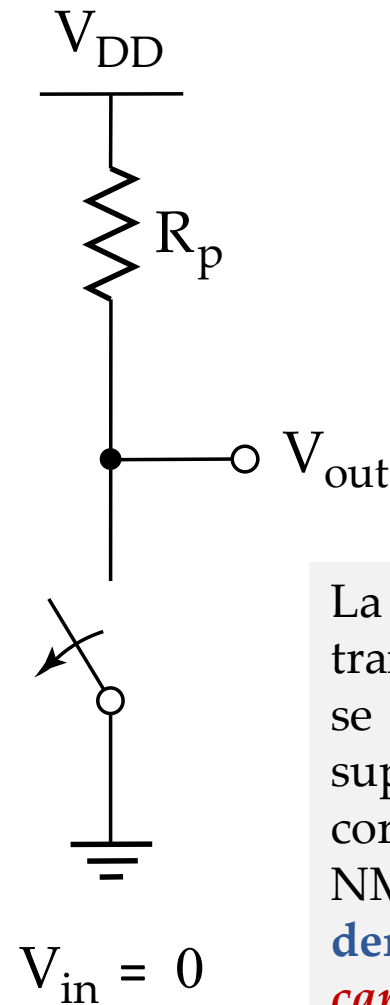
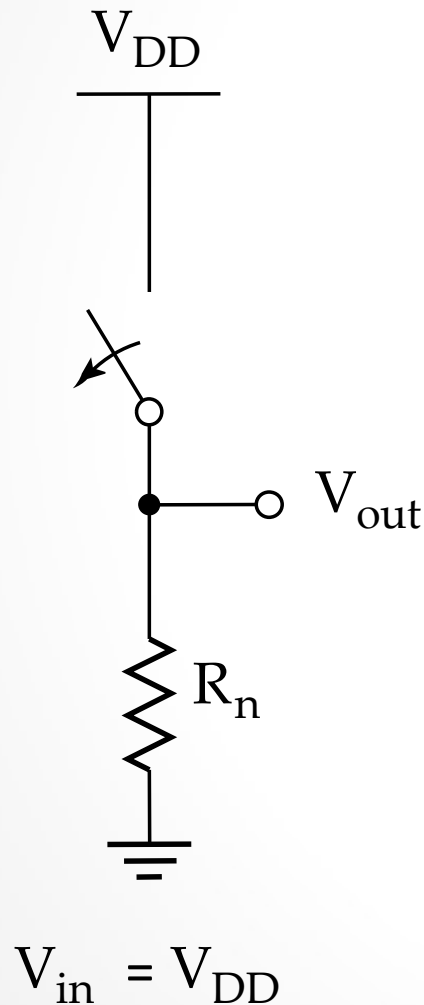
Definición de márgenes de ruido

Conexión de puertas en cascada



Inversor CMOS

DC análisis de primer orden

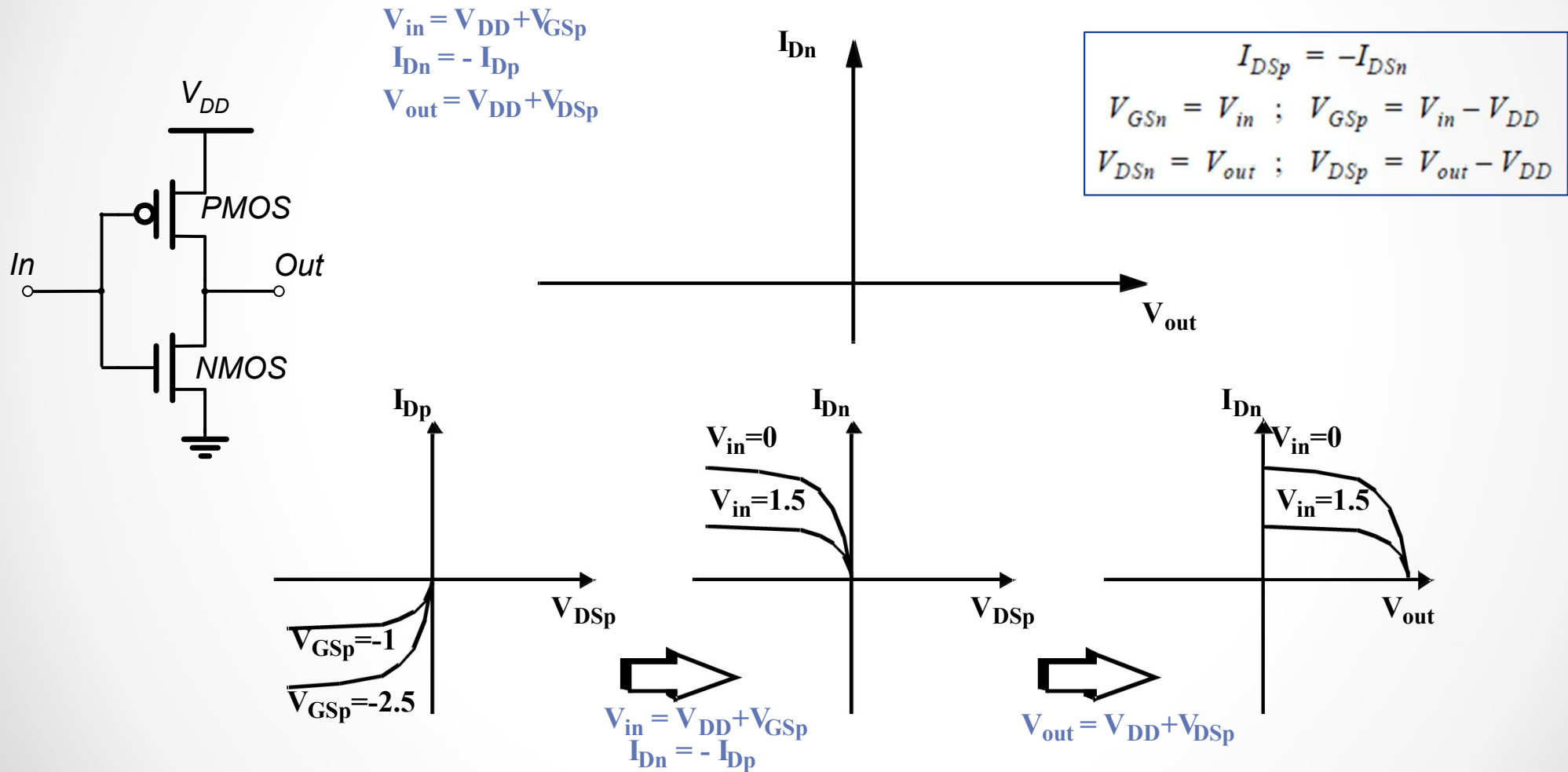


$$\begin{aligned} V_{OL} &= 0 \\ V_{OH} &= V_{DD} \\ V_M &= f(R_n, R_p) \end{aligned}$$

La forma de la característica de transferencia de tensión del inversor se puede deducir gráficamente superponiendo las curvas de corriente de los transistores PMOS y NMOS → **tal construcción gráfica se denomina diagrama de línea de carga**

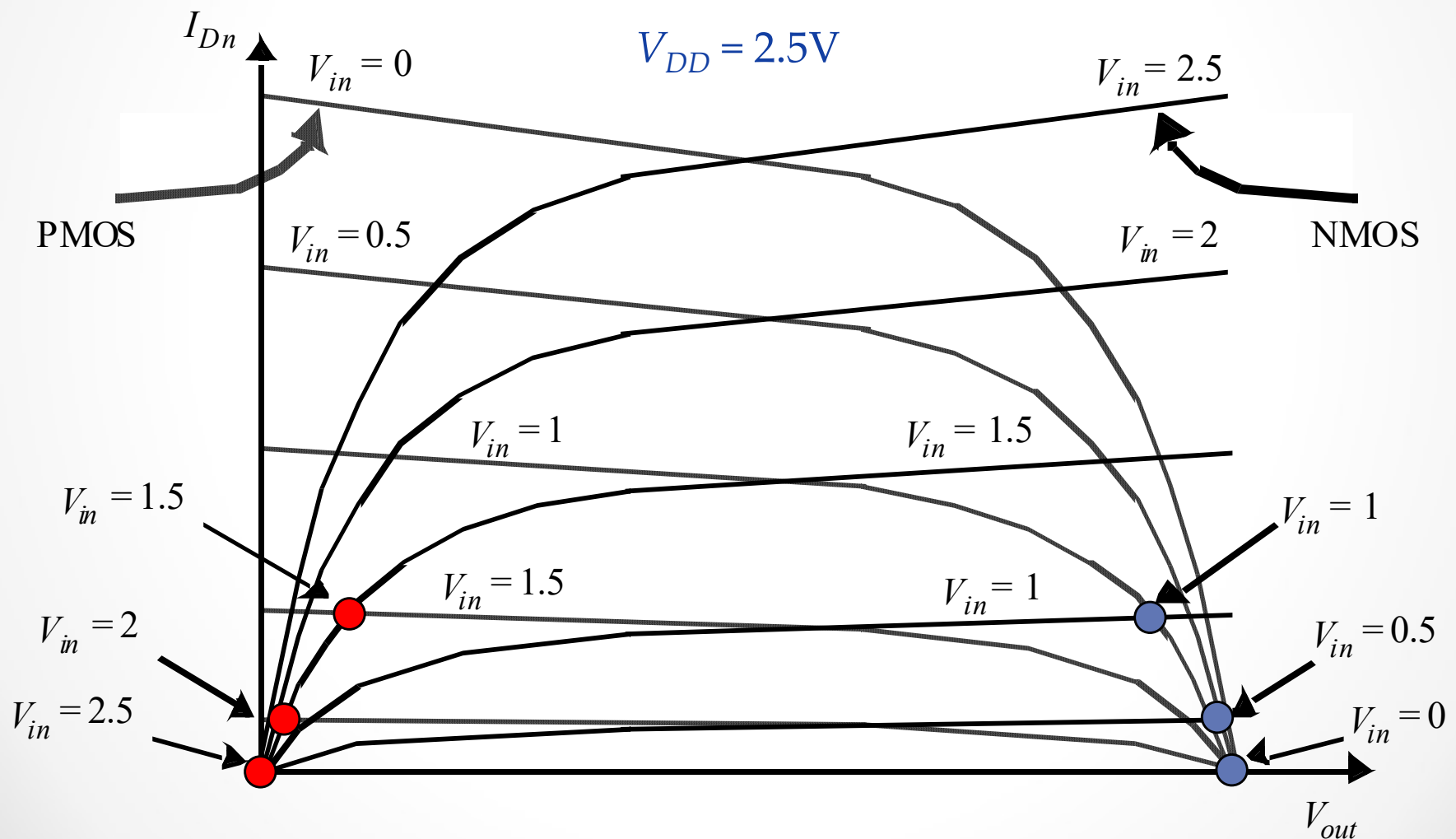
Curvas de línea de carga PMOS

transformación a un conjunto común de coordenadas



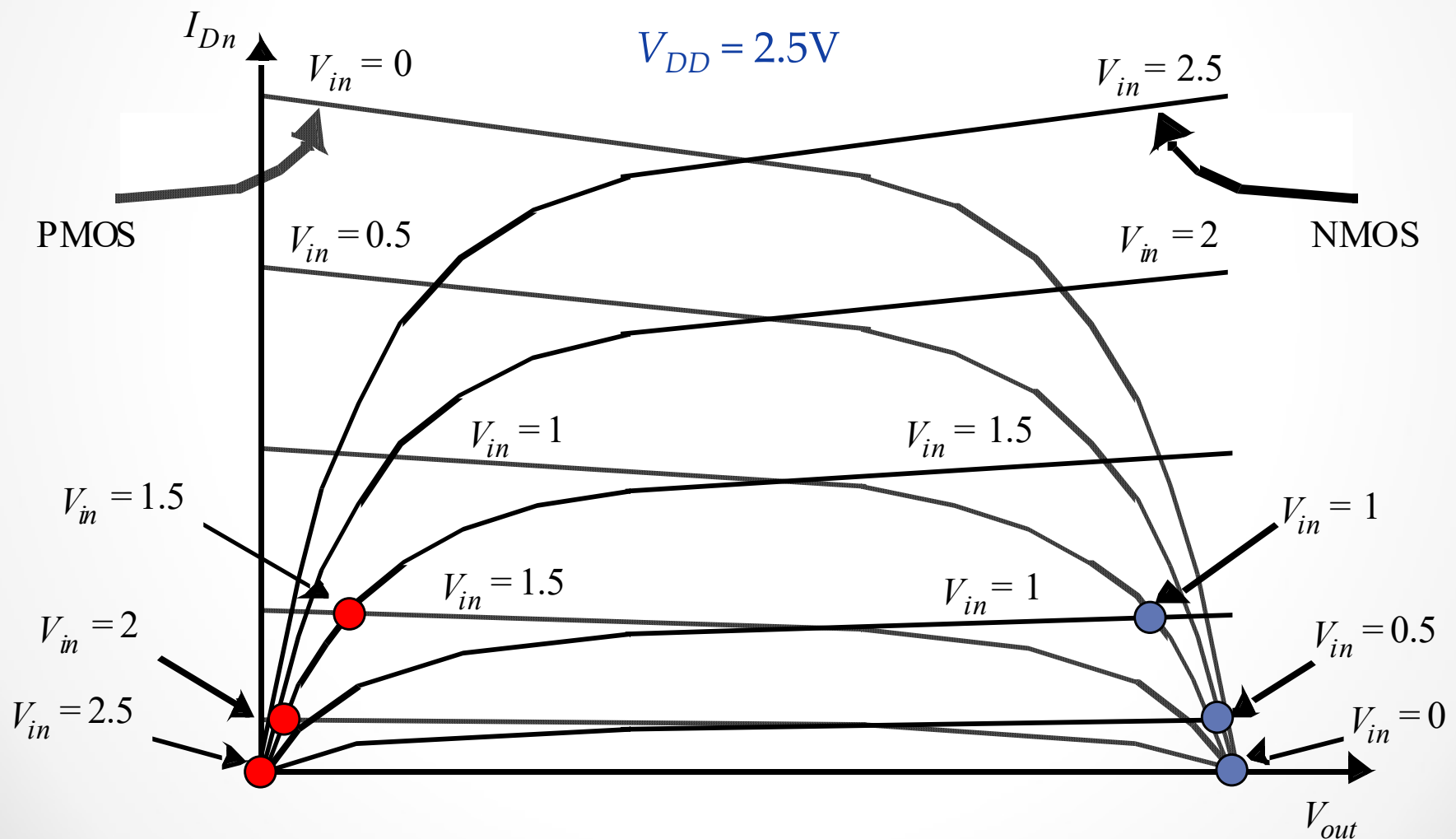
Curvas de carga del inversor CMOS

superponemos características de corriente de dispositivos PMOS y NMOS
¿Cuáles son los **puntos válidos de operación**?

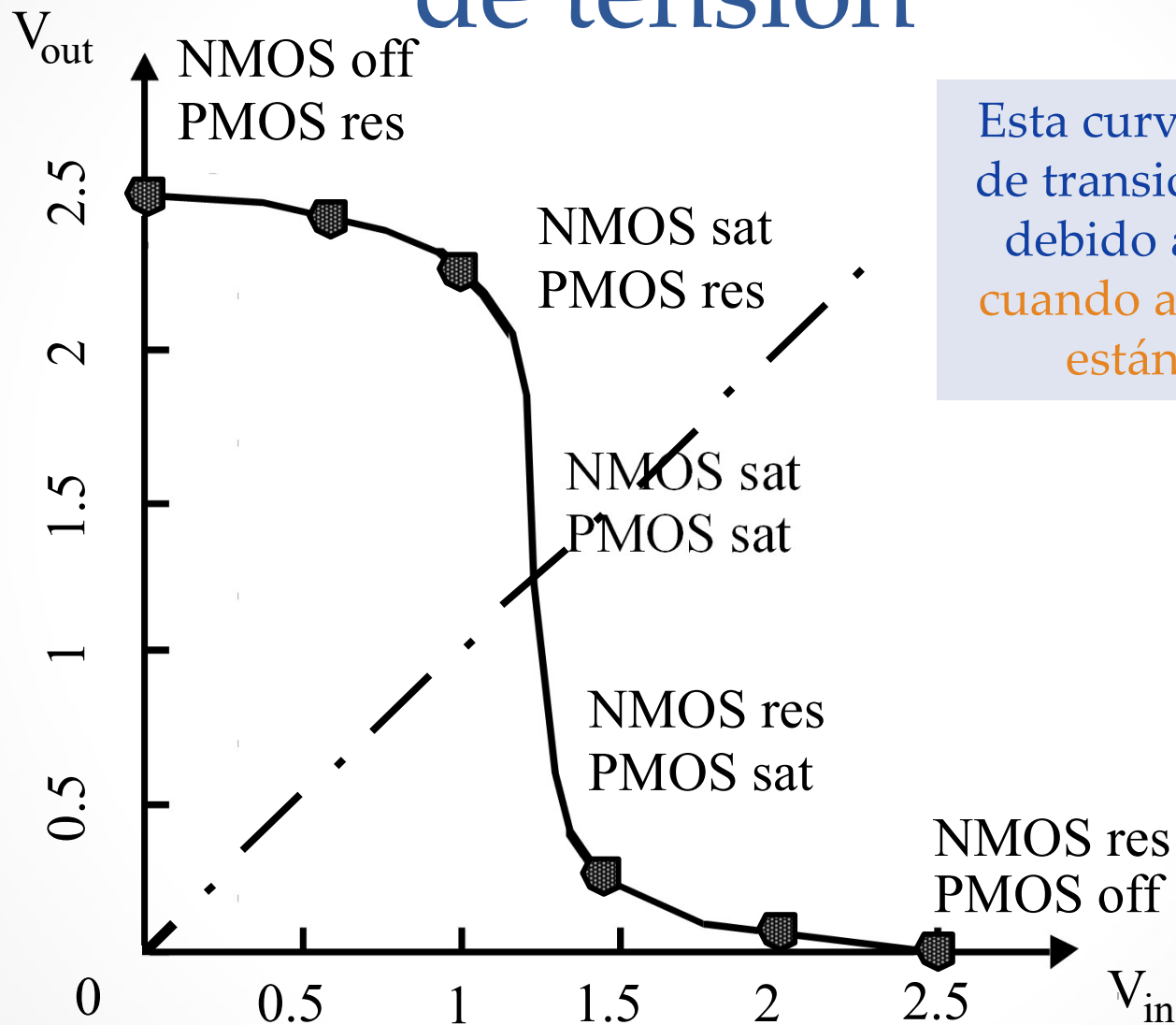


Curvas de carga del inversor CMOS

superponemos características de corriente de dispositivos PMOS y NMOS
¿Cuáles son los **puntos válidos de operación**?



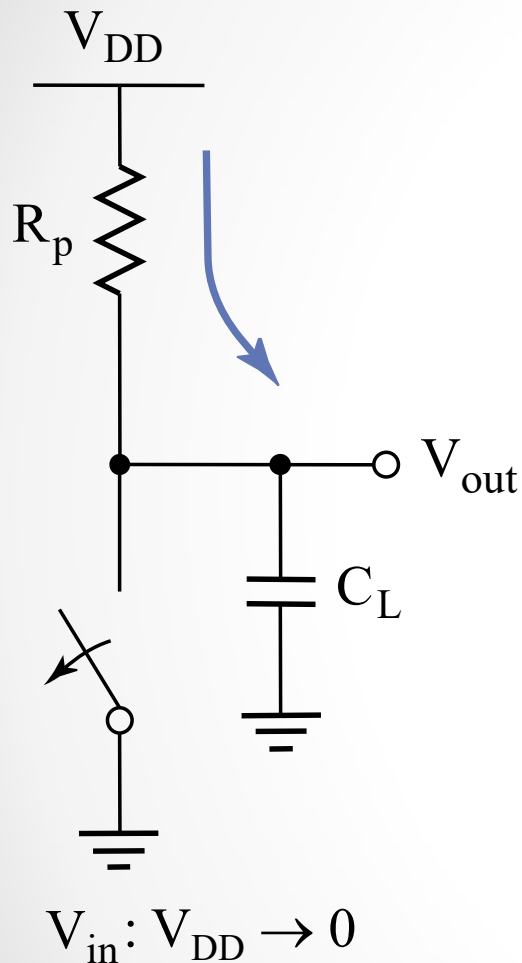
Característica de transferencia de tensión



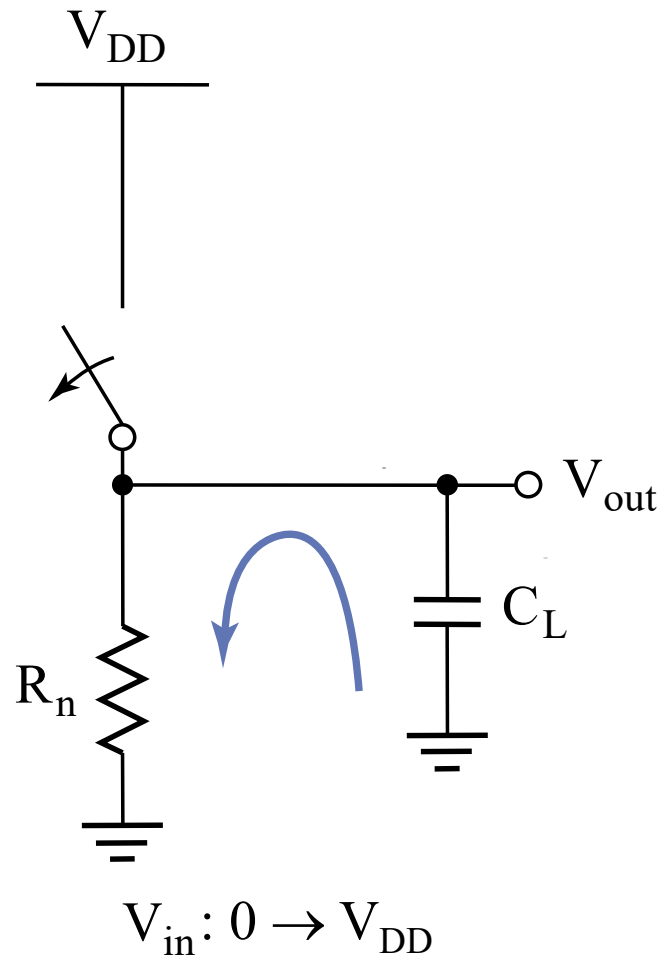
Esta curva exhibe una zona de transición muy estrecha, debido a la alta ganancia cuando ambos dispositivos están en saturación

Análisis del comportamiento dinámico

un análisis cualitativo del comportamiento transitorio



(α) Transición bajo a alto



(β) Transición alto a bajo

$$t_{LH} \propto R_p C_L$$

$$t_{HL} \propto R_n C_L$$

Para puerta rápida:

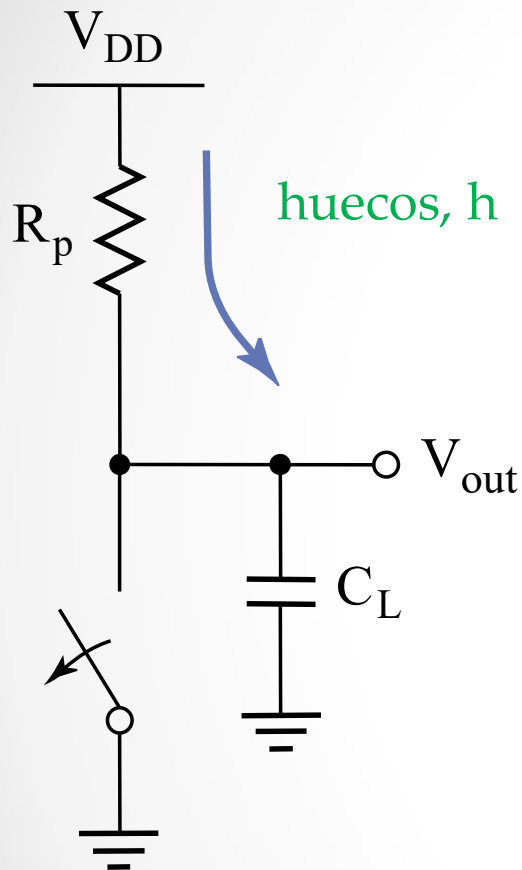
C_L : pequeña o/y

R_p, R_n : pequeña(s)
incrementando W/L

C_L : cap. de difusión de drenador, cap. de pista, y cap. de entrada de las puertas

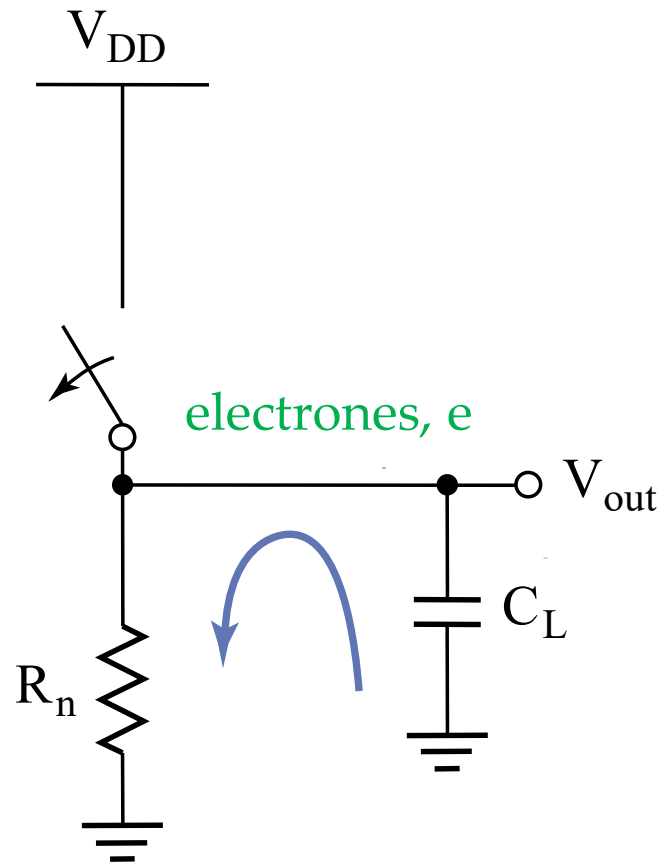
Análisis del comportamiento dinámico

un análisis cualitativo del comportamiento transitorio



$V_{in}: V_{DD} \rightarrow 0$

(α) Transición bajo a alto



$V_{in}: 0 \rightarrow V_{DD}$

(β) Transición alto a bajo

$$t_{LH} \propto R_p C_L$$

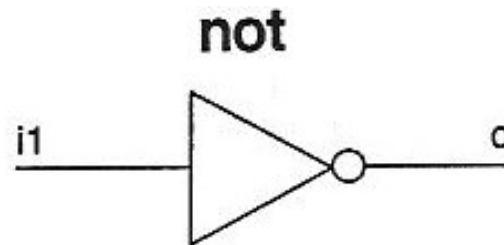
$$t_{HL} \propto R_n C_L$$

Entonces:

$$t_{LH} > t_{HL}$$

C_L : cap. de difusión de drenador, cap. de pista, y cap. de entrada de las puertas

Comprobamos la relación $t_{LH} > t_{HL}$



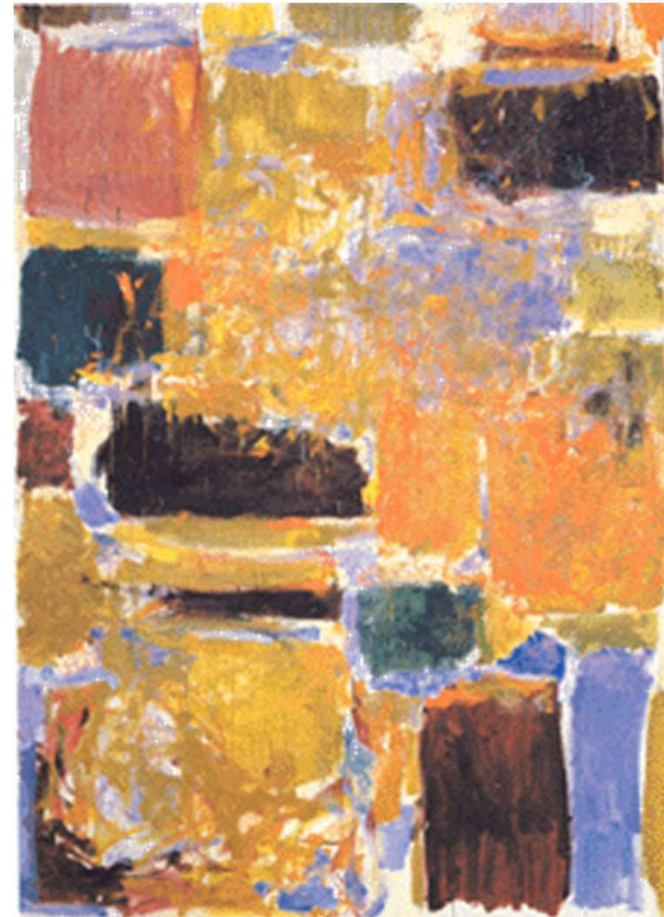
Timing Figures

Parameter	From (input)	To (output)	Loaded	
			Typical delay	Units
t_{PLH}	i1	o	1.25	ns
t_{PHL}	i1	o	1.12	ns

Fanout=3
Routing load=1.5gl

Sin embargo, debemos tener en cuenta que la resistencia de conducción de los transistores NMOS y PMOS no es constante! Esto complica la determinación exacta del retardo de propagación sin un análisis más profundo

Evaluación de la **robustez** del inversor CMOS



From Rabaey, Chandrakasan, Nikolic,
“Circuitos Integrados Digitales”, 2ª Edición

Hasta ahora, hemos definido las siguientes correspondencias para los voltajes de salida V_O :

$$V_{OH} \rightarrow V_{DD} \text{ (Alimentación)}$$

$$V_{OL} \rightarrow V_{SS} \text{ (GND)}$$

Queda ahora calcular :

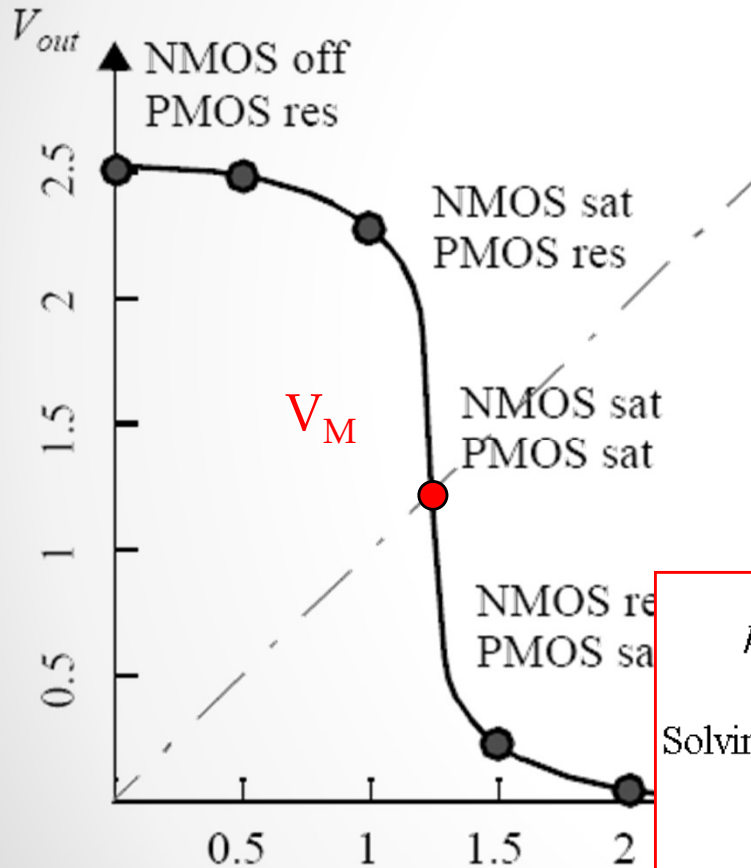
$$V_{IH}, V_{IL} \text{ y } V_M$$

así como también los **márgenes de ruido**. V_I son las tensiones de entrada y V_M es el umbral de conmutación que se define como el punto donde:

$$V_I = V_O$$

Umbral de conmutación V_M

$$V_M \rightarrow V_{IN} = V_{OUT}$$



- En el punto medio, ambos transistores operan siempre en la región de saturación, ya que tenemos $V_{DS} = V_{GS}$.
- Igualando las expresiones de las corrientes que atraviesan los transistores, podemos deducir una expresión analítica para V_M (ignorando la modulación del canal)
- Asumimos que V_{DD} es suficientemente alta para suponer que los dispositivos están en **saturación de velocidad** (es decir, que $V_M - V_T > V_{D,SAT}$)

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

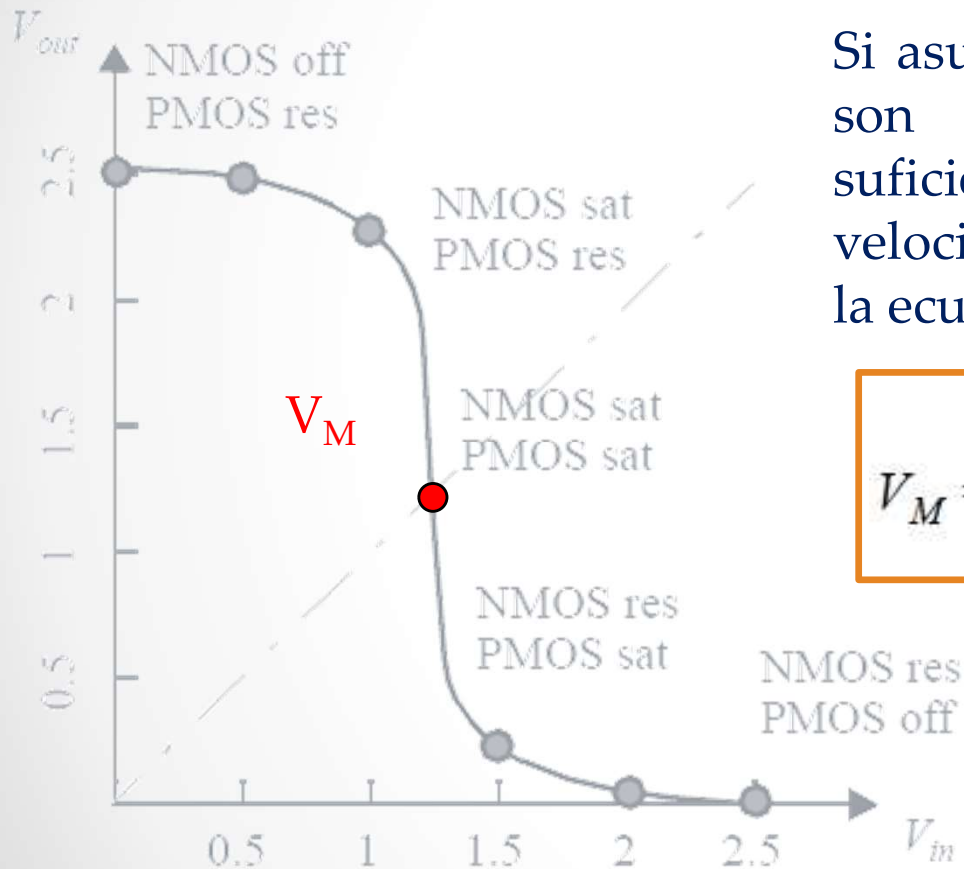
Solving for V_M yields

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1 + r} \quad \text{with } r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{v_{satp} W_p}{v_{satn} W_n}$$

Umbral de conmutación V_M

$$V_M \rightarrow V_{IN} = V_{OUT}$$

Practicar en casa...



Si asumimos que los dispositivos PMOS y NMOS son **de canal largo**, o que V_{DD} no es suficientemente alta para llevarlos a saturación de velocidad, **demuestre que** en estas circunstancias la ecuación que da V_M es la siguiente:

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r} \quad \text{donde} \quad r = \sqrt{\frac{-k_p}{k_n}}$$

Umbral de conmutación V_M

Para valores de V_{DD} grandes (comparados con las tensiones de umbral V_T y de saturación V_{DSAT}) la ecuación anterior puede simplificarse, quedando:

$$V_M \approx \frac{rV_{DD}}{1+r} \quad \text{con} \quad r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{\mu_{satp} W_p}{\mu_{satn} W_n}$$

Generalmente resulta deseable que V_M este situado cerca del punto medio del recorrido de tensión disponible (es decir, $V_{DD}/2$), ya que esto proporciona valores comparables para los márgenes de ruido alto y bajo. Esto requiere que r sea aproximadamente igual a 1.

Para desplazar V_M hacia arriba, hace falta un valor de r mayor, lo que implica hacer un transistor PMOS más ancho. De lo contrario, el punto V_M se acerca más a GND.

La relación requerida entre los tamaños de los transistores PMOS y NMOS para un valor de umbral deseado:

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)}$$

Umbral de conmutación V_M

Para valores de V_{DD} grandes (comparados con las tensiones de umbral V_T y de saturación V_{DSAT}) la ecuación anterior puede simplificarse, quedando:

$$V_M \approx \frac{rV_{DD}}{1+r} \quad \text{con} \quad r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{\mu_{satp} W_p}{\mu_{satn} W_n}$$

Técnica de diseño: maximización de los márgenes de ruido

Resulta aconsejable **equilibrar las intensidades** de excitación (driving strength) de los transistores **haciendo que la sección PMOS sea más ancha que la NMOS**, si es que se desea maximizar los márgenes de ruido y obtener características simétricas.

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)}$$

V_M en función de la relación W_p/W_n

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)}$$

Design Data — Transistor Model for Manual Analysis

	V_{T0} (V)	γ (V ^{0.5})	V_{DSAT} (V)	k' (A/V ²)	λ (V ⁻¹)
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

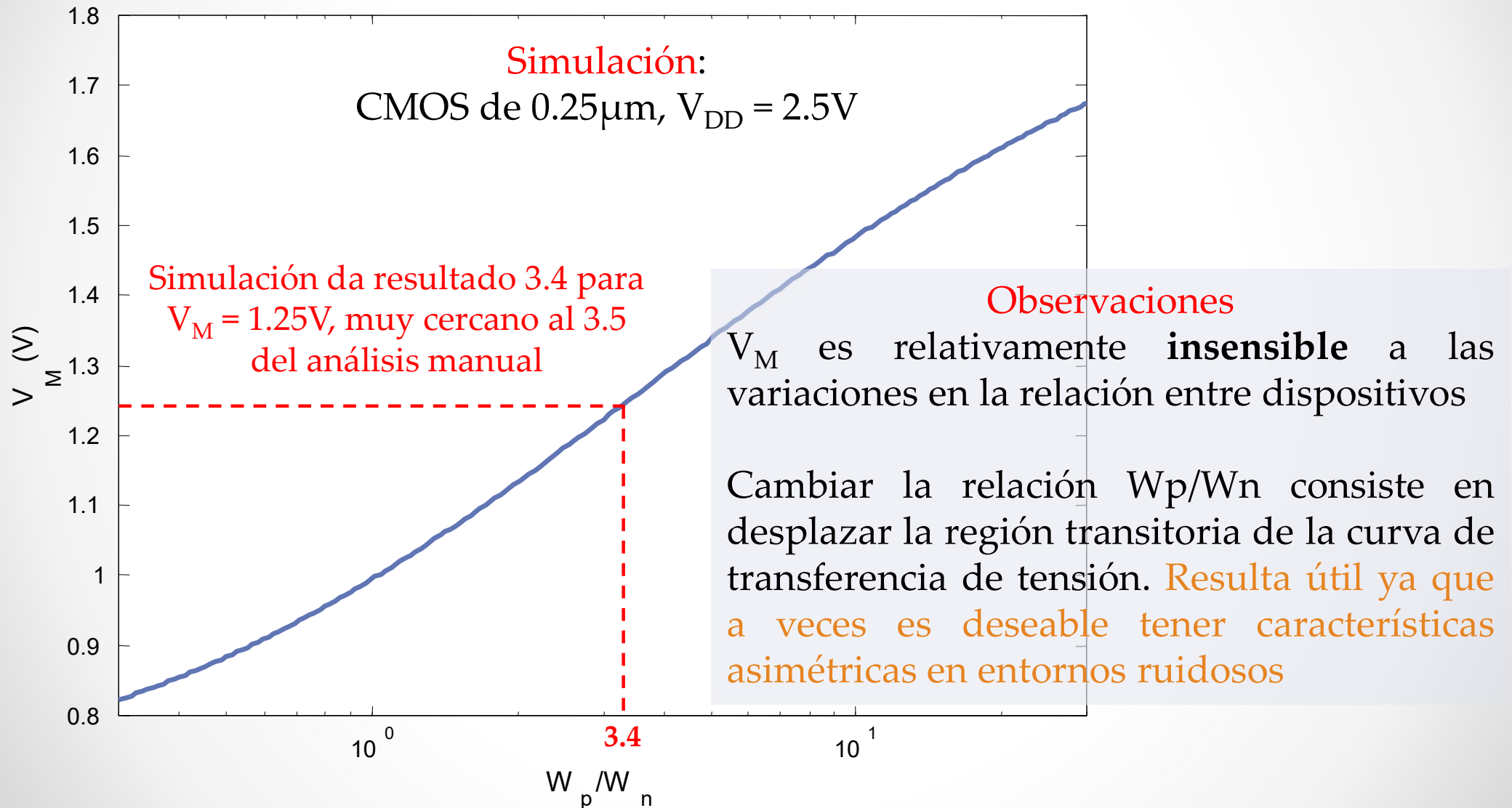
Parámetros de modelo para transistor NMOS/PMOS de tamaño mínimo en tecnología CMOS 0.25um , apara análisis manual.

Ejemplo

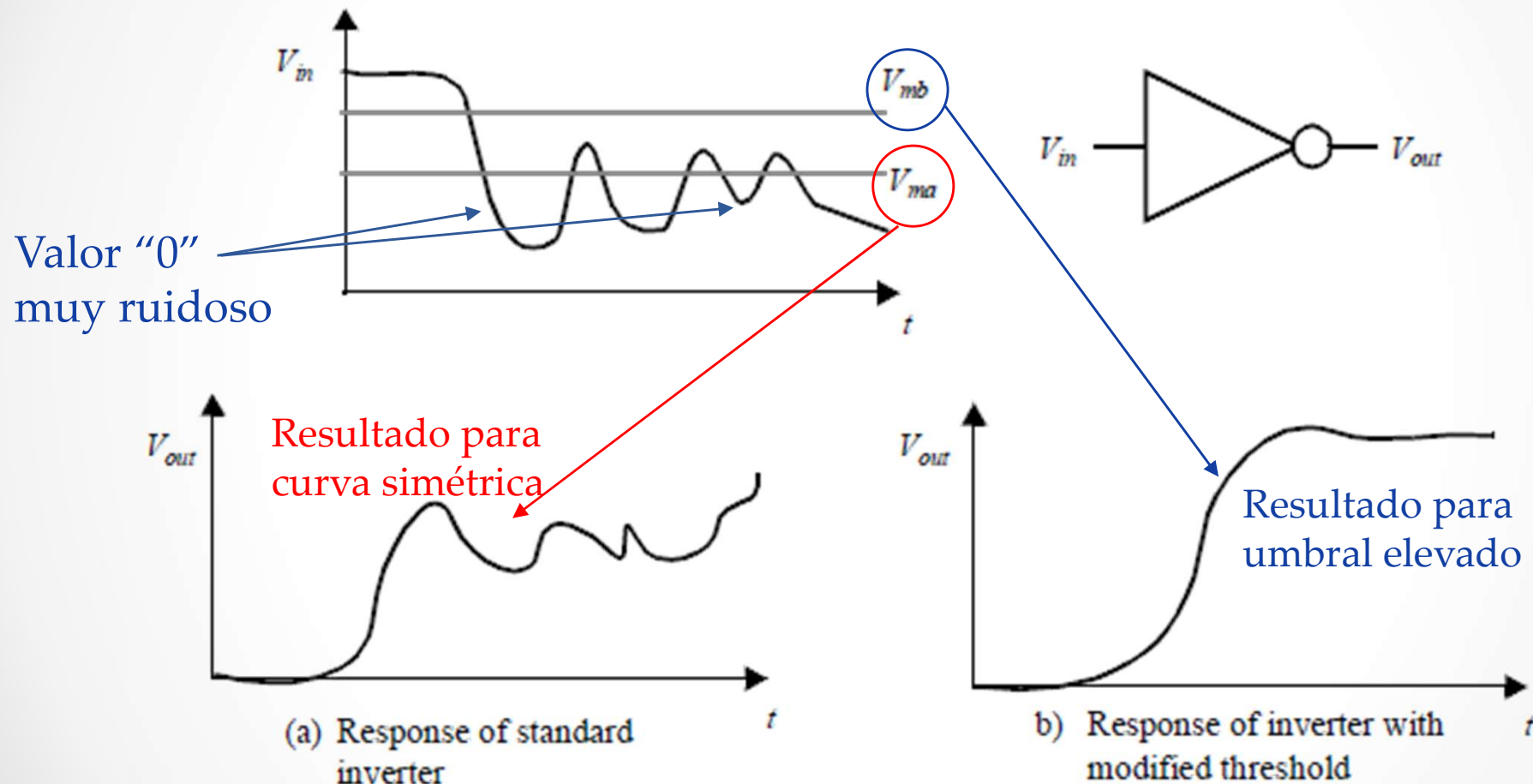
Encontrar la relación W_p/W_n requerida para un inversor implementado en tecnología CMOS 0.25um, para que el umbral de conmutación V_M se encuentre en la mitad del recorrido de la tensión ($V_{dd} = 2.5V$) cuando un dispositivo de tamaño mínimo tiene $W/L = 1.5$.

$$\frac{(W/L)_p}{(W/L)_n} = \frac{115 \times 10^{-6}}{30 \times 10^{-6}} \times \frac{0.63}{1.0} \times \frac{(1.25 - 0.43 - 0.63/2)}{(1.25 - 0.4 - 1.0/2)} = 3.5$$

V_M en función de la relación W_p/W_n



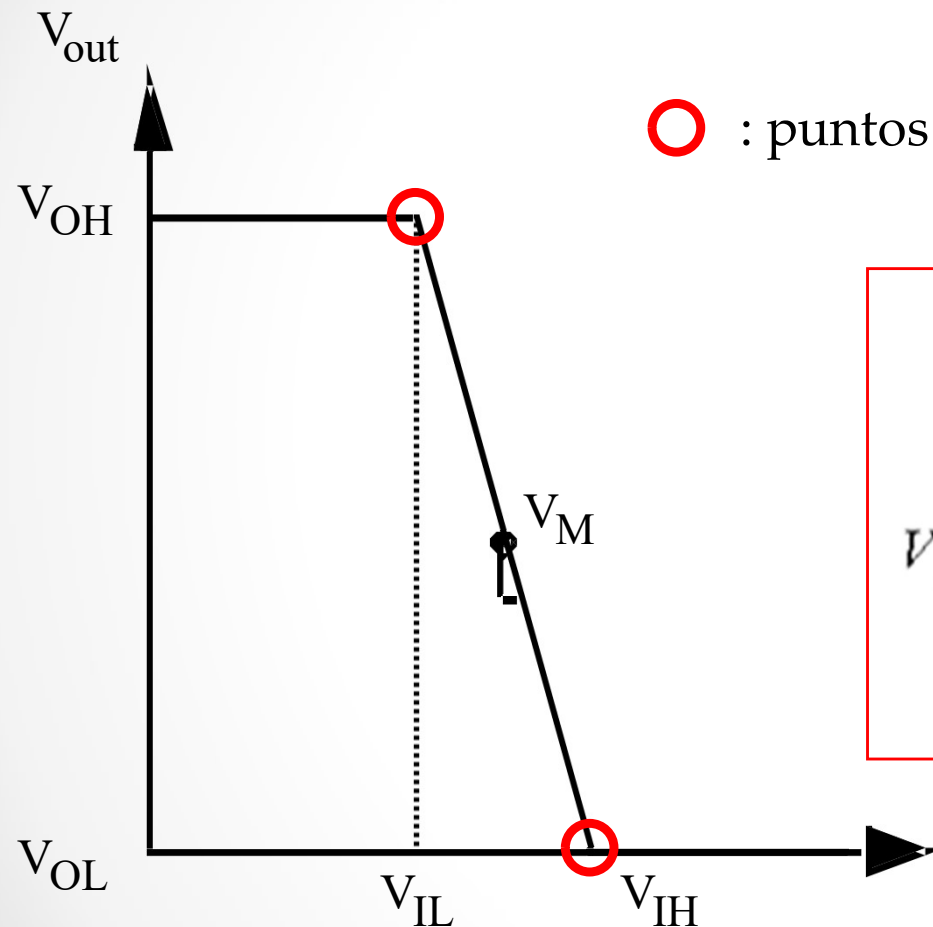
Cambiar el umbral puede mejorar la fiabilidad



Sin embargo, cambiar el umbral de conmutación en una cantidad apreciable,
no resulta sencillo (ver plot en diapositiva anterior)

Márgenes de ruido

Cómo determinar V_{IH} y V_{IL}

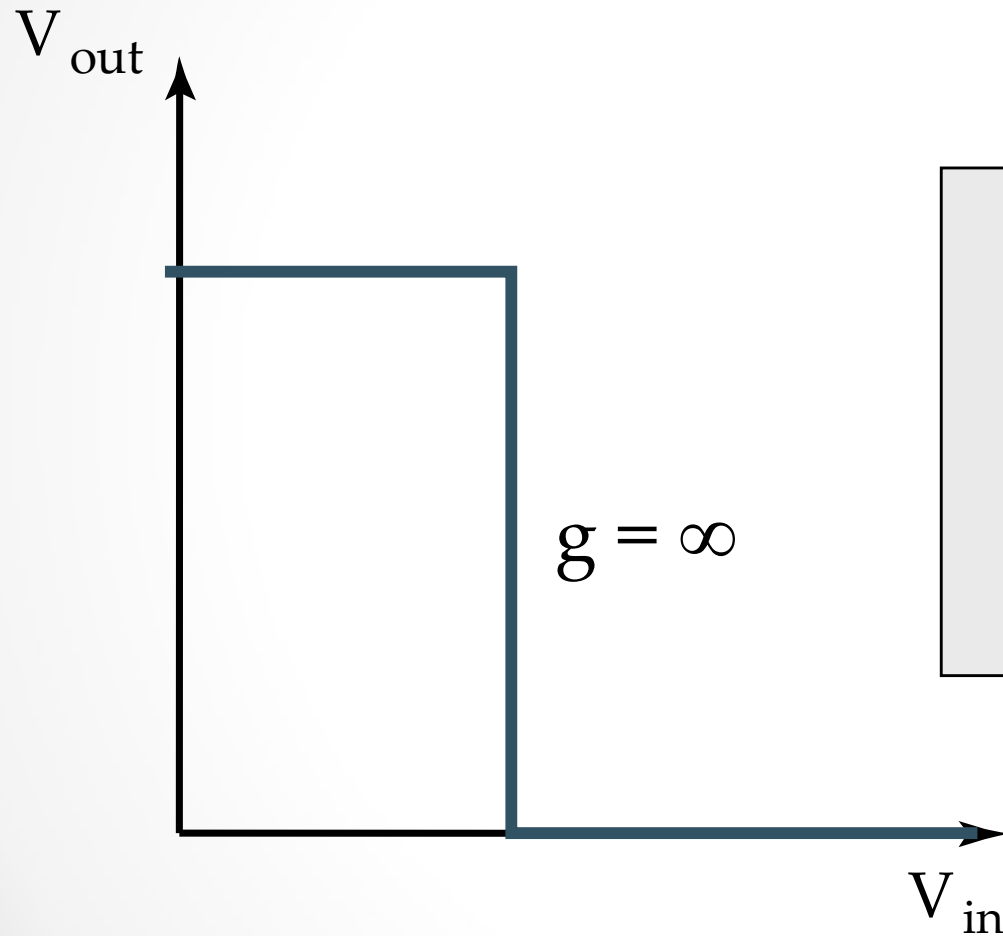


○ : puntos para los que $\frac{dV_{OUT}}{dV_{IN}} = g = -1$

$$V_{IH} - V_{IL} = -\frac{(V_{OH} - V_{OL})}{g} = \frac{-V_{DD}}{g}$$
$$V_{IH} = V_M - \frac{V_M}{g} \quad V_{IL} = V_M + \frac{V_{DD} - V_M}{g}$$
$$NM_H = V_{DD} - V_{IH} \quad NM_L = V_{IL}$$

Una aproximación **lineal por tramos** de la curva de transferencia de tensión **simplifica el cálculo**

La puerta digital **ideal**



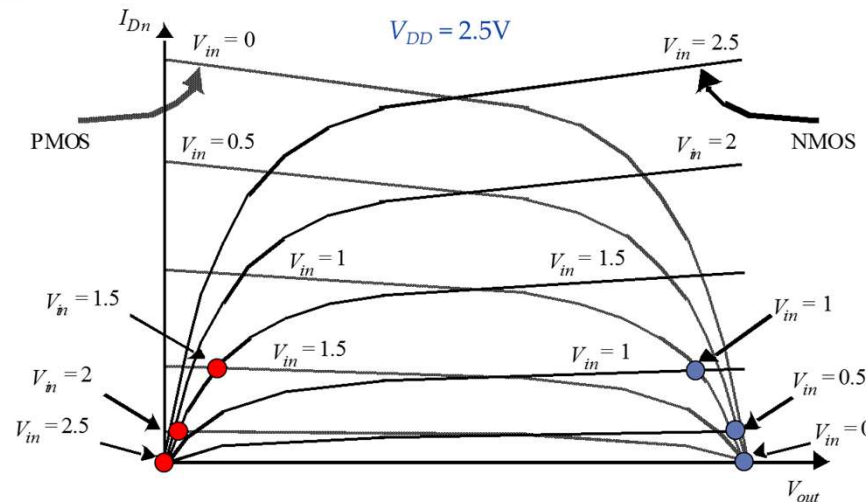
$$R_i = \infty$$

$$R_o = 0$$

$$\text{Fanout} = \infty$$

$$NM_H = NM_L = V_{DD}/2$$

Lo que nos queda por hacer es **determinar la ganancia en el punto medio**. Vimos antes que esta **ganancia depende fuertemente de las pendientes de las corrientes de saturación**, **por lo cual no se puede ignorar la modulación del canal** esta vez:



$$k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_{out}) +$$

$$k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) (1 + \lambda_p V_{out} - \lambda_p V_{DD}) = 0$$

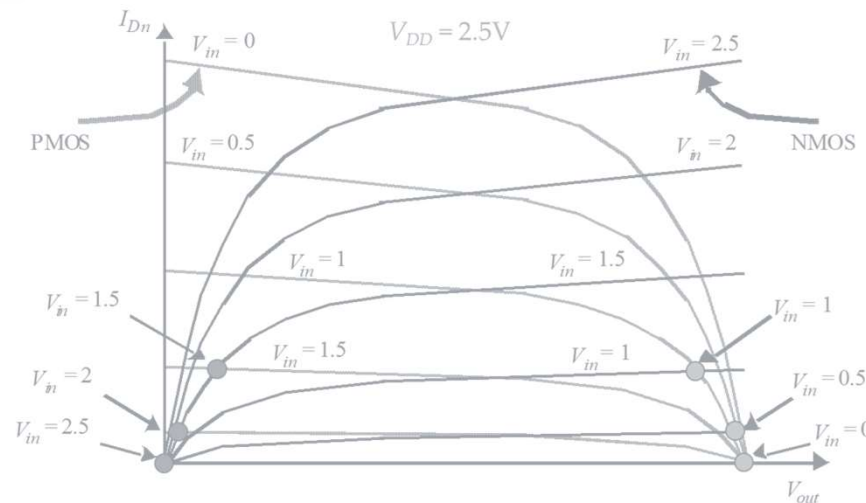
Differentiation and solving for dV_{out}/dV_{in} yields

$$\frac{dV_{out}}{dV_{in}} = - \frac{k_n V_{DSATn} (1 + \lambda_n V_{out}) + k_p V_{DSATp} (1 + \lambda_p V_{out} - \lambda_p V_{DD})}{\lambda_n k_n V_{DSATn} (V_{in} - V_{Tn} - V_{DSATn}/2) + \lambda_p k_p V_{DSATp} (V_{in} - V_{DD} - V_{Tp} - V_{DSATp}/2)}$$

Ignorando algunos términos de segundo orden y **haciendo $V_{in} = V_M$** , obtenemos:

$$g = - \frac{1}{I_D(V_M)} \frac{k_n V_{DSATn} + k_p V_{DSATp}}{\lambda_n - \lambda_p} \approx \frac{1 + r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)}$$

Lo que nos queda por hacer es determinar la ganancia en el punto medio. Vimos antes que esta ganancia depende fuertemente de las pendientes de las corrientes de saturación, por lo cual no se puede ignorar la modulación del canal esta vez:



Ganancia casi completamente determinada por los parámetros de la tecnología

$$k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_{out}) + k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) (1 + \lambda_p V_{out} - \lambda_p V_{DD}) = 0$$

Differentiation and solving for dV_{out}/dV_{in} yields

$$\frac{dV_{out}}{dV_{in}} = - \frac{k_n V_{DSATn} (1 + \lambda_n V_{out}) + k_p V_{DSATp} (1 + \lambda_p V_{out} - \lambda_p V_{DD})}{\lambda_n k_n V_{DSATn} (V_{in} - V_{Tn} - V_{DSATn}/2) + \lambda_p k_p V_{DSATp} (V_{in} - V_{DD} - V_{Tp} - V_{DSATp}/2)}$$

¿Entonces, cómo puede influir aquí el diseñador?

$$g = - \frac{1}{I_D(V_M)} \frac{k_n V_{DSATn} + k_p V_{DSATp}}{\lambda_n - \lambda_p} \approx \frac{1 + r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)}$$

Característica de transferencia de tensión y márgenes de ruido

Design Data — Transistor Model for Manual Analysis

(ver en diapositiva 27)

Parámetros de modelo para transistor NMOS/PMOS de tamaño mínimo en tecnología CMOS 0.25um , apara análisis manual.

Ejemplo

Para un inversor en tecnología CMOS 0.25um, diseñado con una relación PMOS/NMOS = 3.4, y con un transistor NMOS de tamaño mínimo ($W = 0.375\mu\text{m}$ y $L = 0.25\mu\text{m}$, $W/L = 1.5$), calcular V_{IL} , V_{IH} , N_{ML} y N_{MH} .

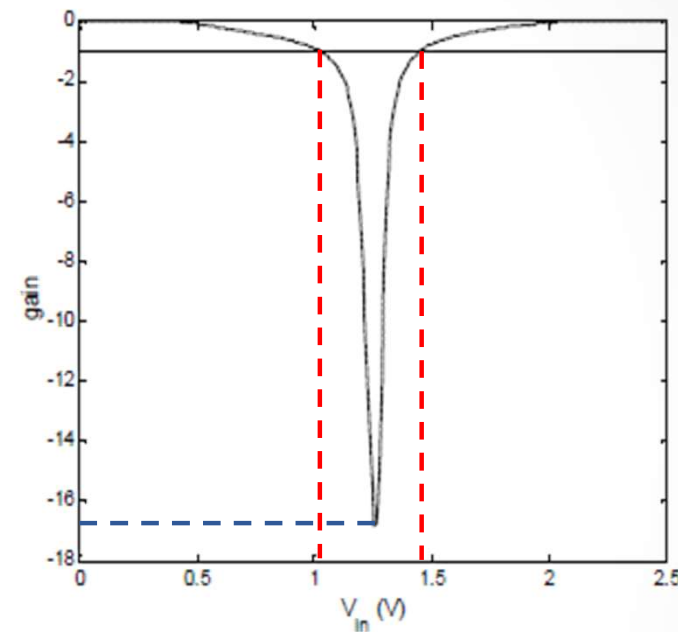
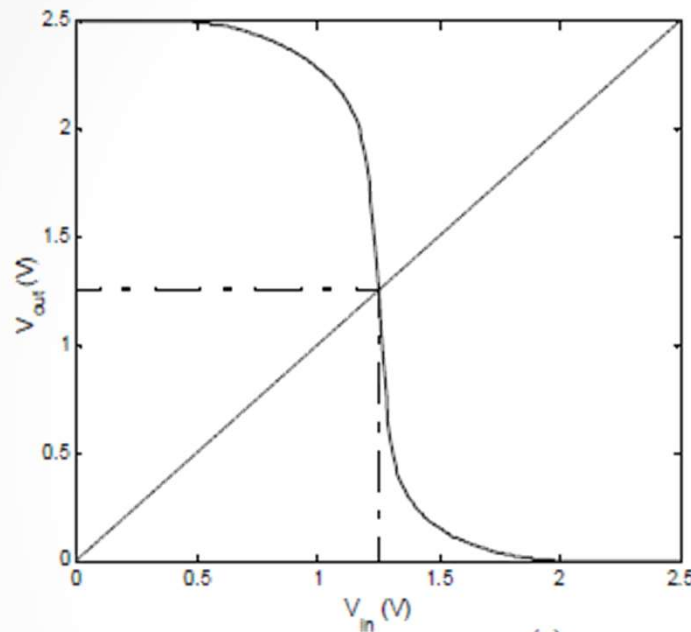
Primero calculamos la ganancia en el punto medio:

$$I_D(V_M) = 1.5 \times 115 \times 10^{-6} \times 0.63 \times (1.25 - 0.43 - 0.63/2) \times (1 + 0.06 \times 1.25) = 59 \times 10^{-6} \text{ A}$$

$$g = -\frac{1}{59 \times 10^{-6}} \frac{1.5 \times 115 \times 10^{-6} \times 0.63 + 1.5 \times 3.4 \times 30 \times 10^{-6} \times 1.0}{0.06 + 0.1} = -27.5$$

Luego tenemos: $V_{IL} = 1.2 \text{ V}$, $V_{IH} = 1.3 \text{ V}$, $N_{ML} = N_{MH} = 1.2$.

Característica de transferencia de tensión y márgenes de ruido



Simulación da una ganancia máxima igual a solo -17, lo cual daría márgenes de ruido inferiores a los predichos en nuestro análisis basado en la aproximación lineal por tramos, pero los resultados resultan útiles como estimaciones de primer orden

$$g = -\frac{1}{59 \times 10^{-6}} \frac{1.5 \times 115 \times 10^{-6} \times 0.63 + 1.5 \times 3.4 \times 30 \times 10^{-6} \times 1.0}{0.06 + 0.1} = -27.5$$

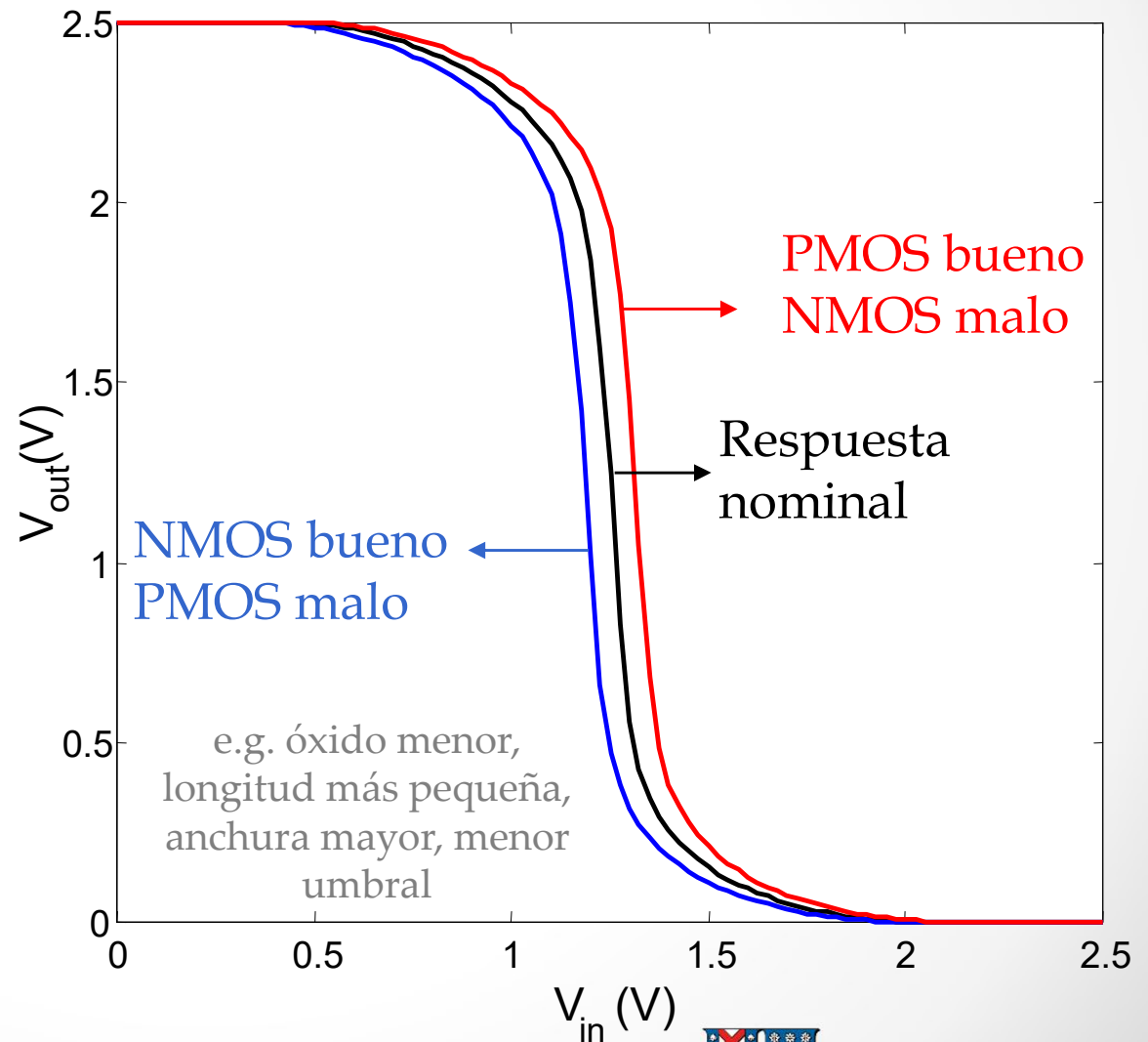
Impacto de variaciones de los dispositivos

e.g., variación en la temperatura de operación → hace que los parámetros se desvíen de los valores nominales. **Afortunadamente, el inversor CMOS resulta bastante insensible a estas variaciones.**

Hemos visto que variaciones en los tamaños de los dispositivos tienen una **influencia menor** sobre el umbral

Simulación con casos extremos demuestra que **la operación no se ve afectada**

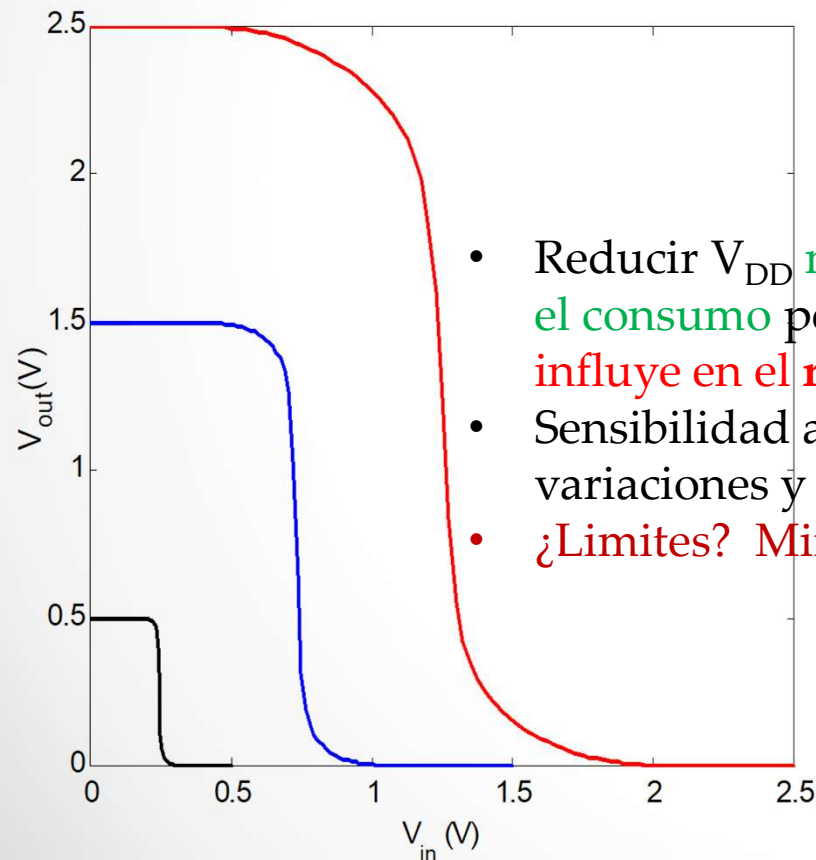
Esta robustez que garantiza la funcionalidad en un rango amplio de condiciones, ha contribuido mucho a la **popularidad de la puerta CMOS estática**



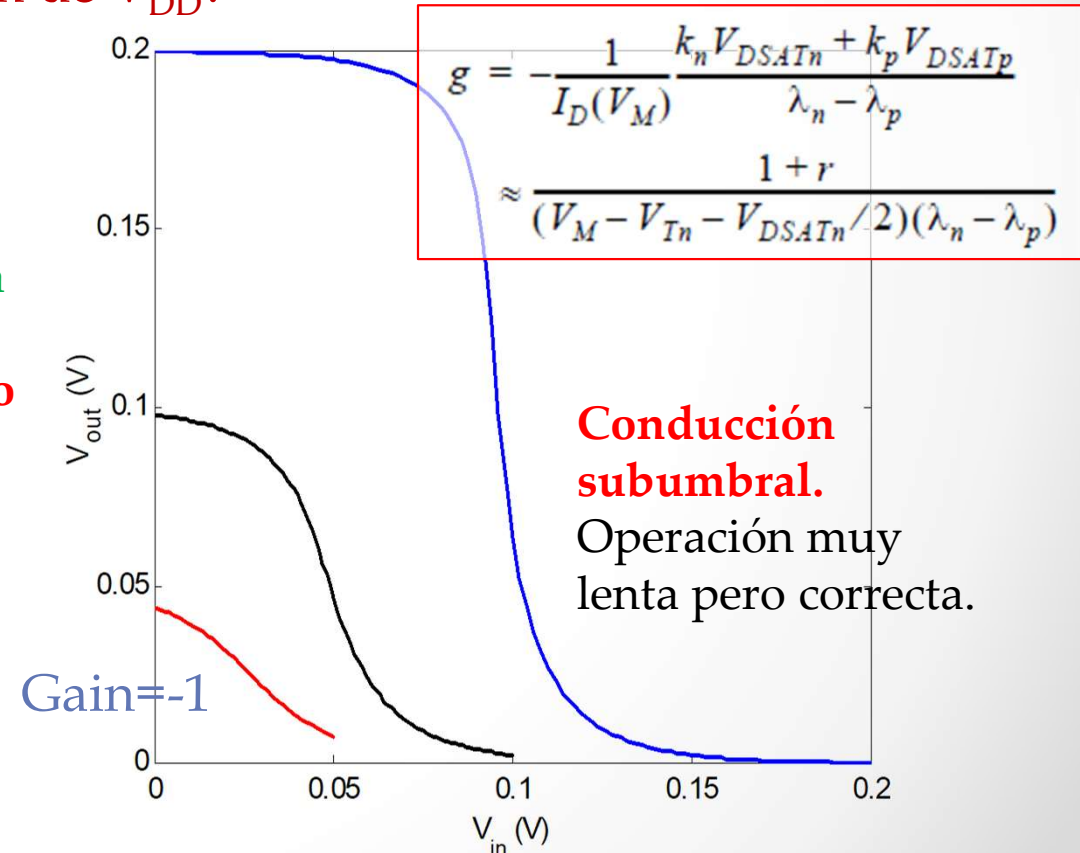
Curva de transferencia en función de V_{DD}

Reducción de escala de tecnología → reducción de la tensión de alimentación, mientras las tensiones de umbral V_T se mantienen virtualmente constantes.

¿Continúan los inversores funcionando correctamente cuando se reducen las tensiones? ¿Existen límites a la reducción de V_{DD} ?



- Reducir V_{DD} mejora el consumo pero influye en el retardo
- Sensibilidad a las variaciones y ruido
- ¿Límites? Mirar →



Curva de transferencia en función de V_{DD}

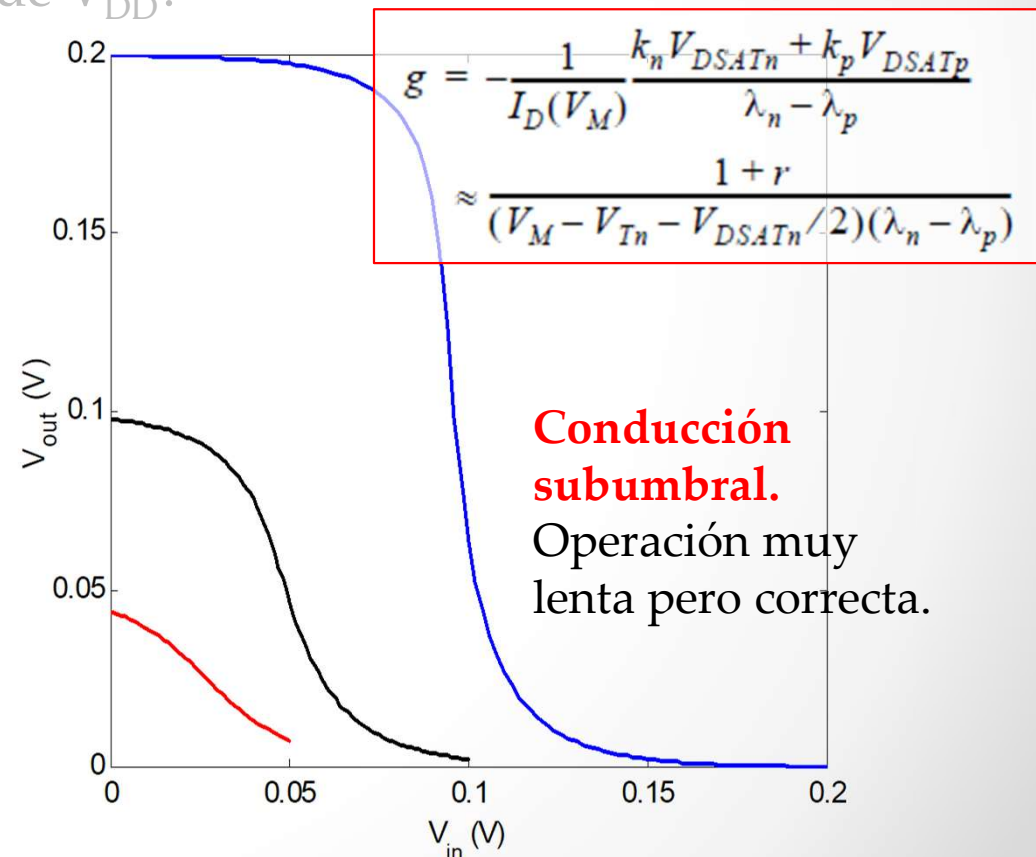
Reducción de escala de tecnología \rightarrow reducción de la tensión de alimentación, mientras las tensiones de umbral V_T se mantienen virtualmente constantes.

¿Continúan los inversores funcionando correctamente cuando se reducen las tensiones? ¿Existen límites a la reducción de V_{DD} ?

Para conseguir una ganancia suficiente como para poder utilizar el dispositivo en un circuito digital, es necesario que la **tensión de alimentación V_{DD}** sea al menos entre 2 y cuatro veces (**2..4×**) la tensión térmica Φ_T (25mV a Temperatura (**T**) ambiente):

$$V_{DD,min} = 2...4 \times \Phi_T = 2...4 \times (kT/q)$$

¿**Qué se puede hacer** para conseguir que los inversores CMOS operen por debajo de los 50-100mV?



Fin de la Clase

Gracias por
su asistencia y atención

...

¿ Preguntas ?