

Taller 2: diseño analógico

Simulación con herramientas Open-Source

07/05/2024

En este taller:

Introducción:

- Modelamiento de dispositivos: MOSFET
- Flujo de diseño de circuitos analógicos
- Fabricación y tecnología (SKY130)

Flujo Open-Source

- Esquemático: Xschem
- Simulación: NGspice

Necesitarás:

- Docker
- Contenedor con las herramientas ([GitHub](#))



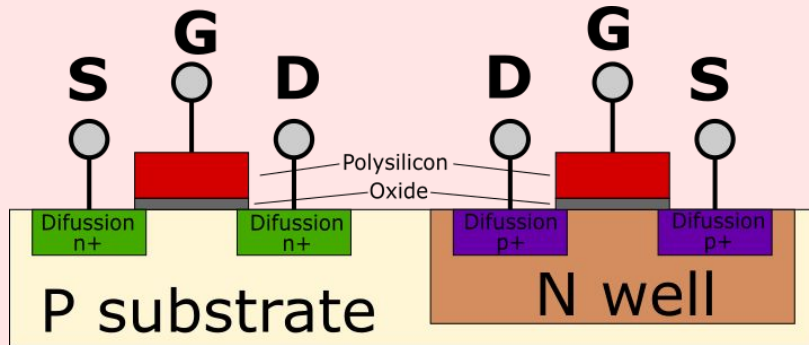
Instrucciones e insumos
en [GitHub](#) o [Google Drive](#)

The background of the slide is a close-up, high-resolution image of a printed circuit board (PCB). It features a dense array of components, including a row of circular surface-mount components at the top, several vertical strips of components on the left and right sides, and a complex network of fine, parallel traces in the center. The entire image is rendered in a monochromatic red color scheme. Overlaid on this background is the word "Introducción" in a bold, white, sans-serif font, centered horizontally and vertically.

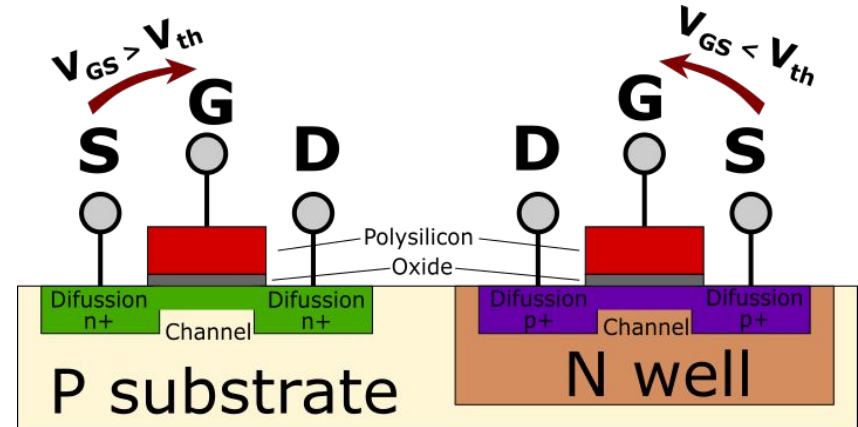
Introducción

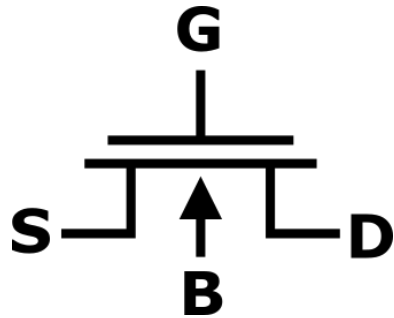
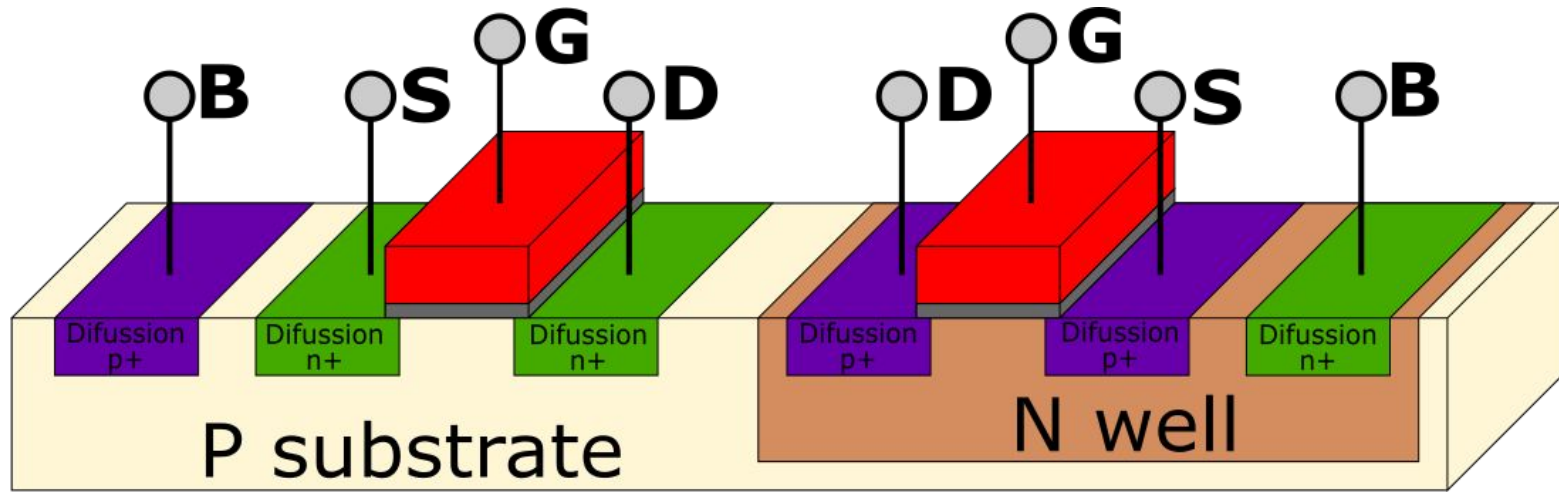
Metal-Oxide-Semiconductor Field Effect Transistor

Formado al posicionar un terminal conductor (Puerta) separado del sustrato por una capa de aislante (óxido).

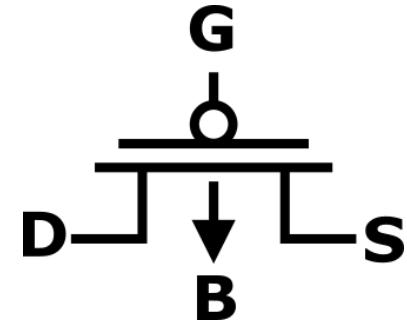


Al aplicar una tensión en la Puerta, se consigue alterar la densidad de portadores de carga en la superficie del sustrato, generando un canal conductor.





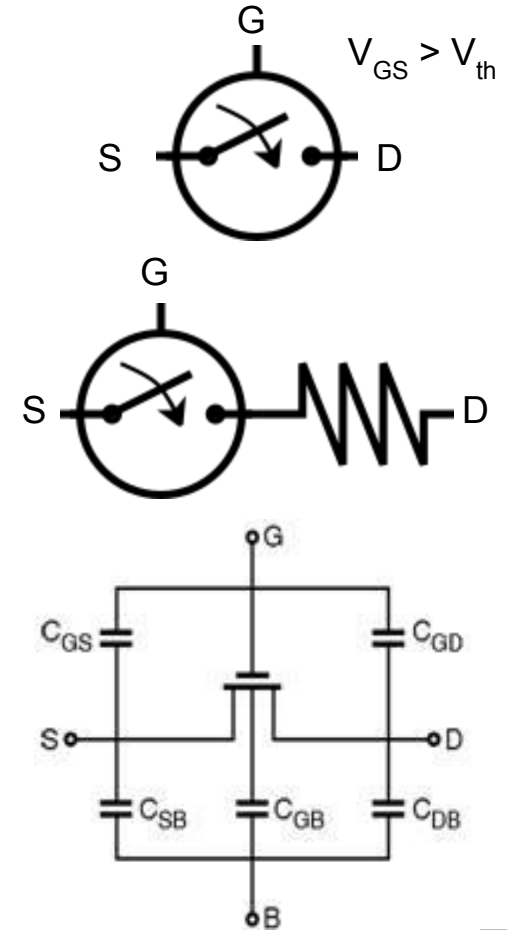
El sustrato del MOSFET es también un terminal, conocido como Cuerpo (Bulk o Body). El voltaje V_{BS} tiene efecto en el voltaje de threshold del transistor.



Modelamiento

En un CI se puede diseñar tanto la geometría de los dispositivos, como la forma de conectarlos. La abstracción es fundamental para modelar los elementos relevantes a nivel de dispositivo o sistema.

- El MOSFET se puede interpretar simplemente como un interruptor accionado por voltaje.
- Agregar una resistencia de conducción R_{ON} es útil para caracterizarlo en estado estacionario.
- Las distintas capacitancias parásitas son relevantes para analizar el comportamiento dinámico (transiente).

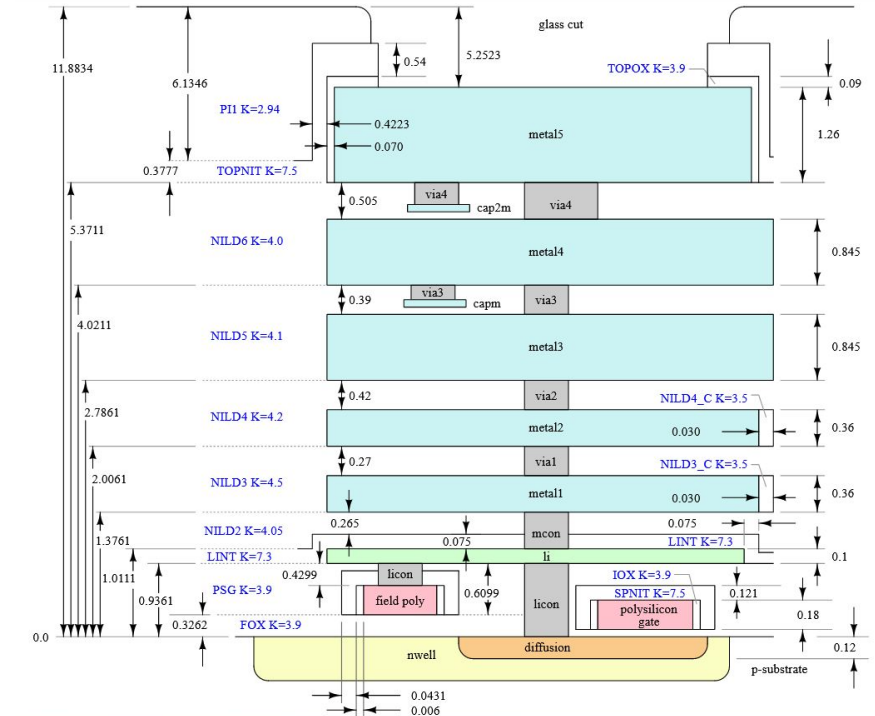


Proceso de fabricación y PDK

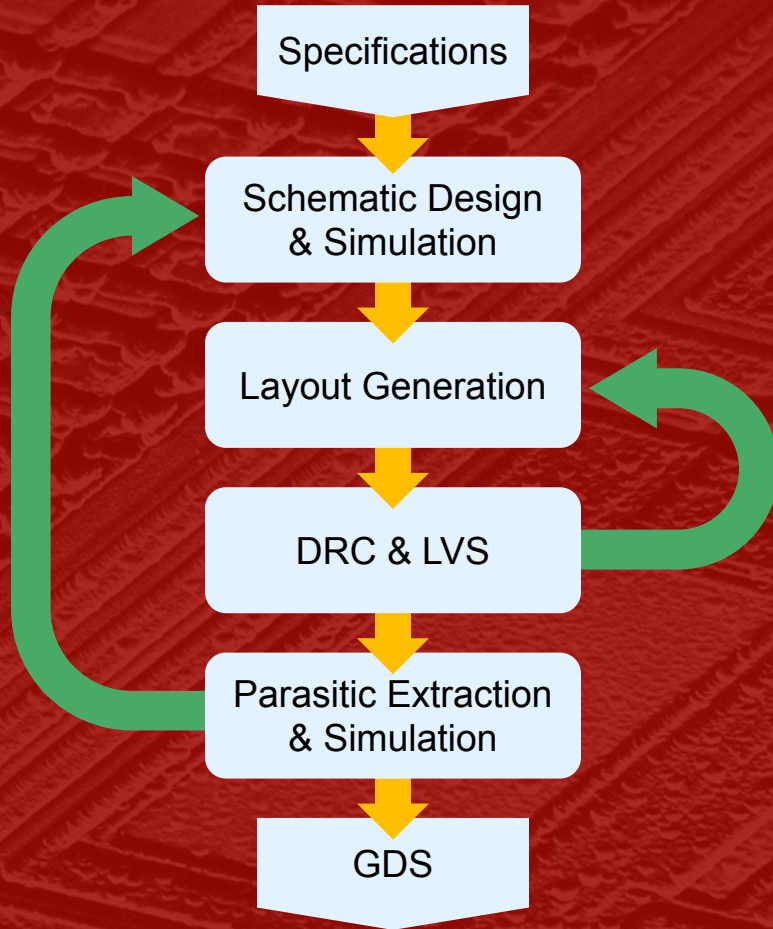
Process Design Kit:

Conjunto de especificaciones de lo que es capaz de producir un fabricante:

- capas de materiales disponibles
- propiedades físicas y eléctricas
- + conjunto de reglas que garantizan fabricabilidad (Design Rule Check o DRC)

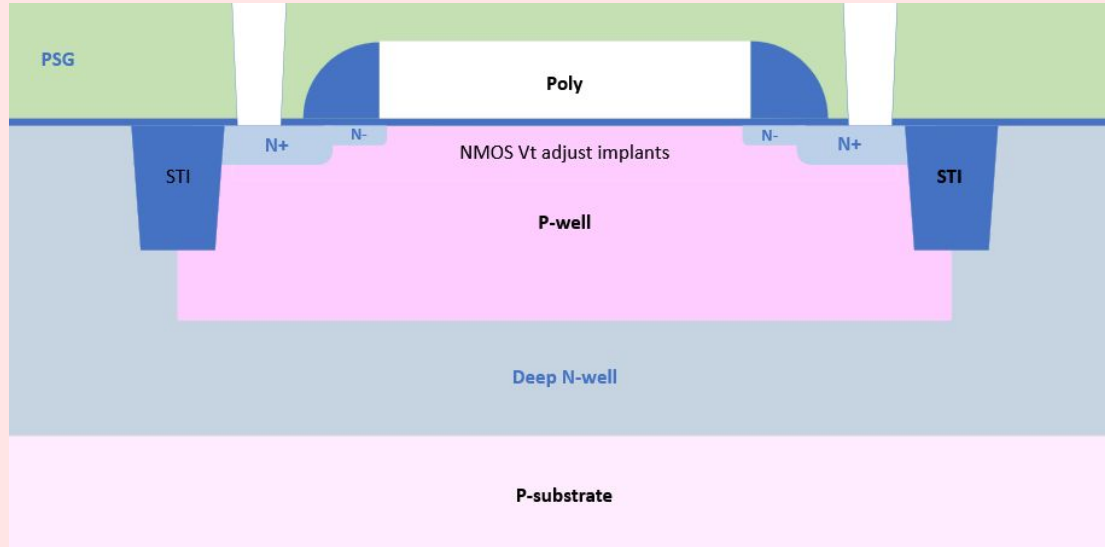


Flujo de diseño para circuitos integrados analógicos



SkyWater 130

Información en www.skywater-pdk.readthedocs.io



Device Details

1.8V NMOS FET

Spice Model Information

- Cell Name: sky130_fd_pr__nfet_01v8
- Model Name: sky130_fd_pr__nfet_01v8

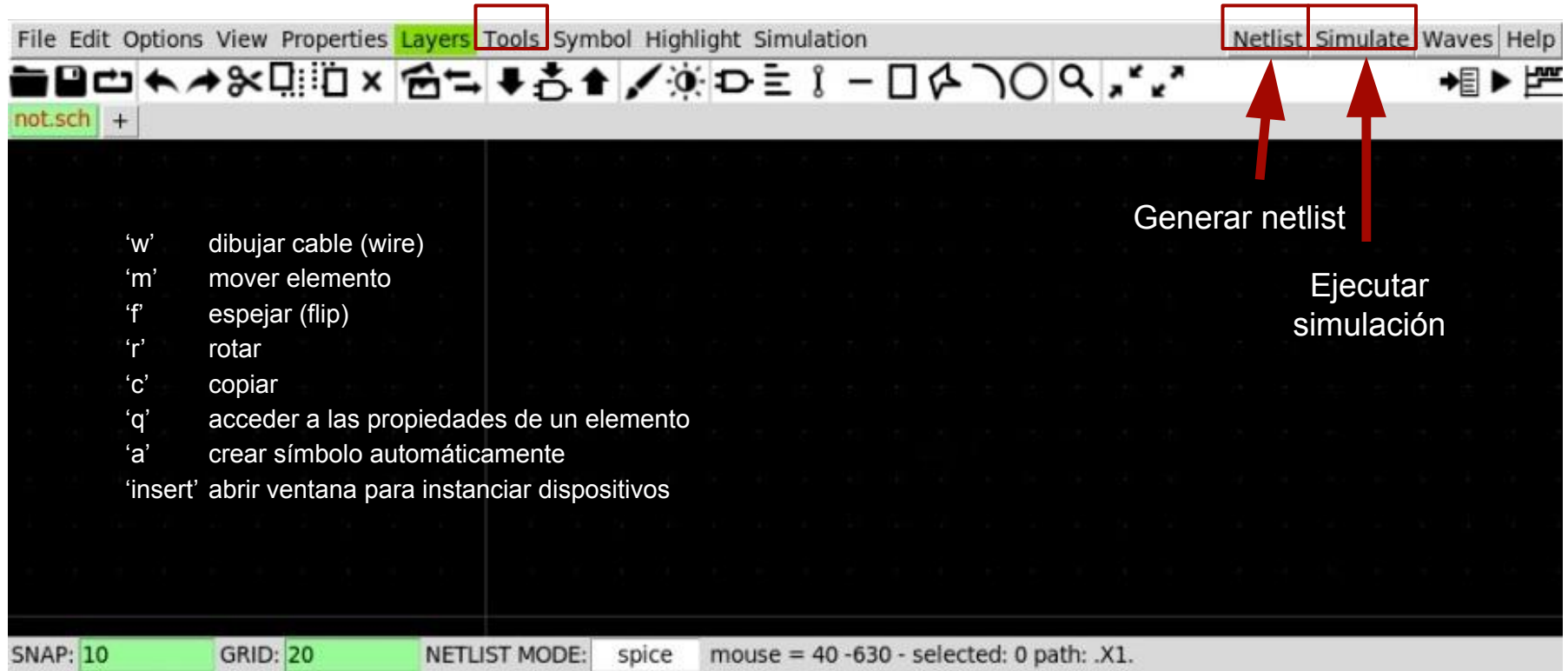
Operating Voltages where SPICE models are valid

- $V_{DS} = 0$ to 1.95V
- $V_{GS} = 0$ to 1.95V
- $V_{BS} = +0.3$ to -1.95V

Flujo Open-Source: Simulación

Xschem: GUI

www.xschem.sourceforge.io

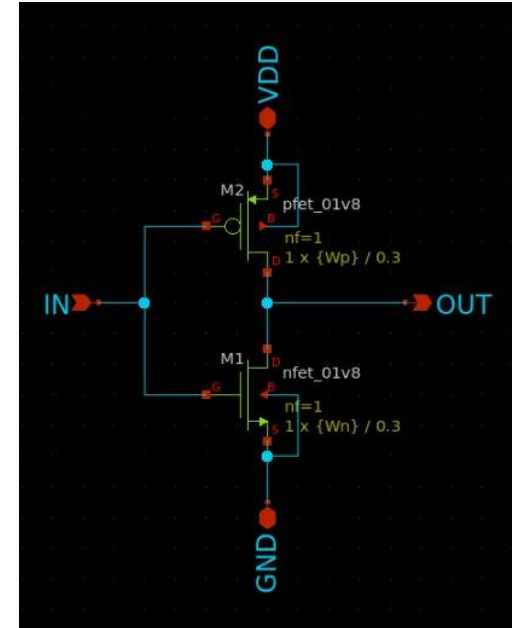


Esquemático de un inversor CMOS

Especificaciones: Diseñar inversor CMOS de 1.8V en tecnología SKY130, con *rise* y *fall time* iguales o inferiores a 100 ps con una carga capacitiva de 25fF.

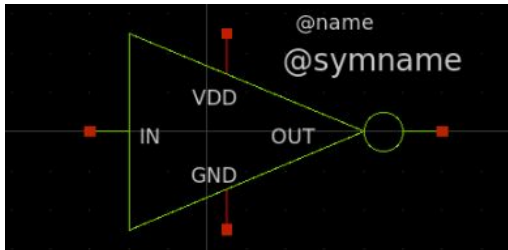
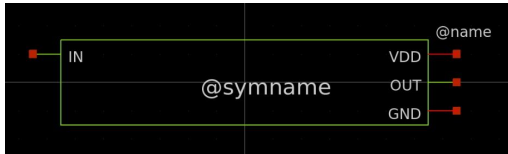
¿Por qué estudiar el inversor? Es el núcleo de todos los diseños digitales.

- Ejecutar xschem
- Insertar dispositivos/símbolos con Tools -> *insert*
 - genéricos (labels/ports): en *xschem/xschem_library*
 - de sky130 (transistores): en *pdks/sky130A/lib.tech/xschem*
- Dibujar cables con la tecla 'w'
- Elegir tamaño de los dispositivos con *doble click sobre el dispositivo* -> tamaño mínimo ($W = 0.42 \mu\text{m}$, $L = 0.15 \mu\text{m}$)



Símbolo del inversor

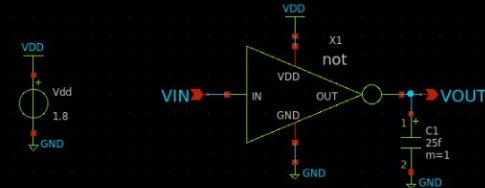
- Presiona la tecla 'a' para la creación automática del símbolo
- Comprobar los correctos atributos de los labels
- Modificar el dibujo (meramente estético)



Testbench

- Instanciar el símbolo en nuevo archivo .sch
- Agregar fuente de 1v8 entre GND y VDD
- Agregar carga capacitiva de 25fF
- Escribir directiva de simulación:

```
NGSPICE
"
.lib /opt/pdks/sky130A/libs.tech/ngspice/sky130.lib.spice tt
vin VIN 0 PULSE(0 1.8 1ns 0ns 0ns 2ns 4ns)
.control
save all
tran 0.01n 8n
plot V(VIN) v(VOUT)
meas tran tpHL_in FIND time WHEN v(VIN)=0.9 TD=0 FALL=1
meas tran tpHL_fin FIND time WHEN v(VOUT)=0.9 TD=0 RISE=1
print tpHL_fin - tpHL_in
.endc
"
```



Simulación con NGspice

- Se elige tamaño mínimos para los transistores
- 'Netlist', 'Simulate'

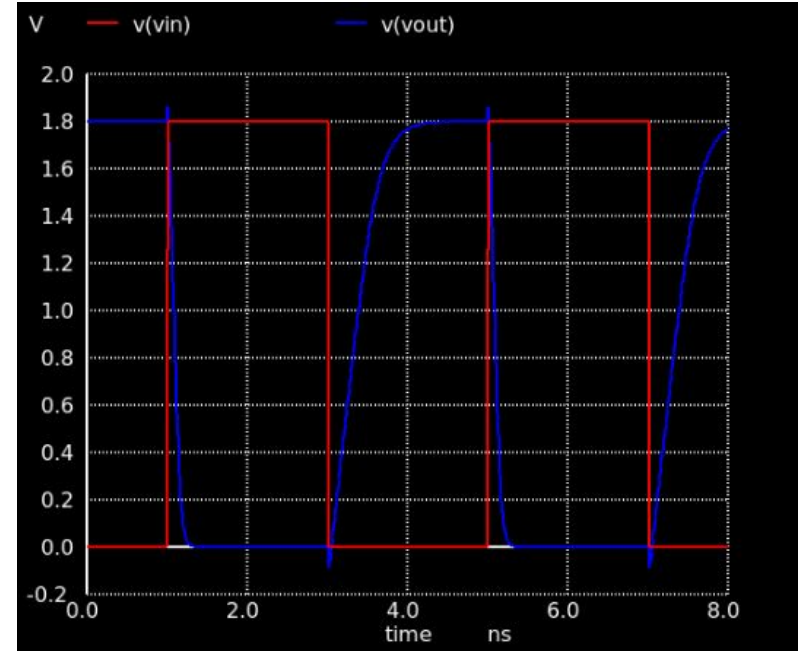
Resultados: 334 ps > 100 ps, no cumple con las especificaciones. Además los retardos son asimétricos.

```
not_sim.spice" -a || sh

Circuit: ** sch_path: /foss/designs/chipusm/not_sim.sch
option SCALE: Scale is set to 1e-06 for instance and model parameters
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000

Initial Transient Solution
-----
Node          Voltage
-----
vdd            1.8
vout           1.8
vin            0
vin#branch     0
vdd#branch    -1.87228e-12

Reference value : 0.00000e+00
No. of Data Rows : 832
tphl_in        = 3.015000e-09
tphl_fin       = 3.349839e-09
tphl_fin - tphl_in = 3.348390e-10
ngspice 1 ->
```



Dimensionamiento

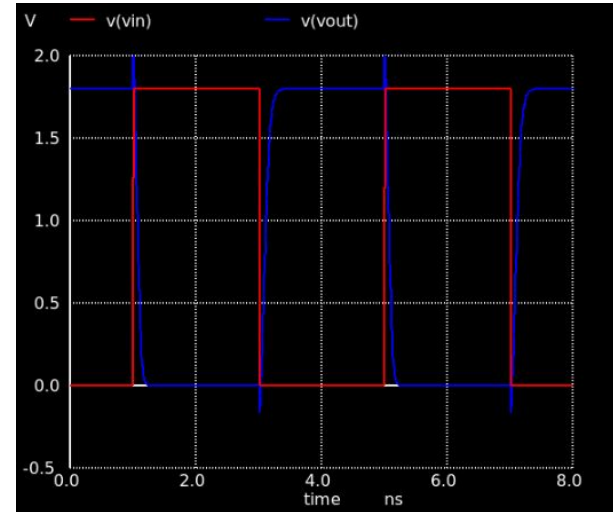
- Ajustamos la relación entre los anchos para hacer simétricos los retardos: $Wp = 3 \cdot Wn$
- Se ajusta Wn hasta cumplir con especificaciones en transición de *High-to-Low* y se verifica *Low-to-High*
- Finalmente: $Wp = 1.5 \text{ um}$ y $Wn = 4.5 \text{ um}$

```
not_sim.spice" -a || sh

Circuit: ** sch_path: /foss/designs/chipusm/not_sim.sch
option SCALE: Scale is set to 1e-06 for instance and model parameters
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000

Initial Transient Solution
-----
Node          Voltage
-----
vdd            1.8
vout           1.8
vin            0
vin#branch     0
vdd#branch    -1.93978e-12

Reference value : 0.00000e+00
No. of Data Rows : 837
tphl_in       = 3.015000e-09
tphl_fin      = 3.106154e-09
tphl_fin - tphl_in = 9.115400e-11
nspice 1 ->
```



A close-up, high-magnification image of a microchip, showing a complex grid of various colored squares and rectangles in shades of blue, green, red, and yellow. The image is slightly blurred and has a dark, moody atmosphere.

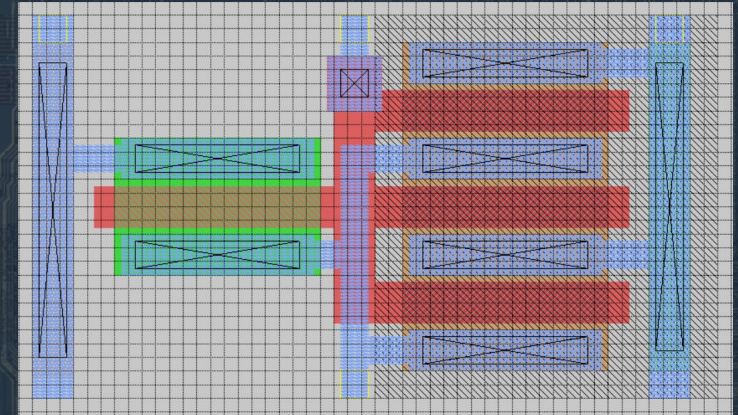
Extra: ¿Qué sigue?

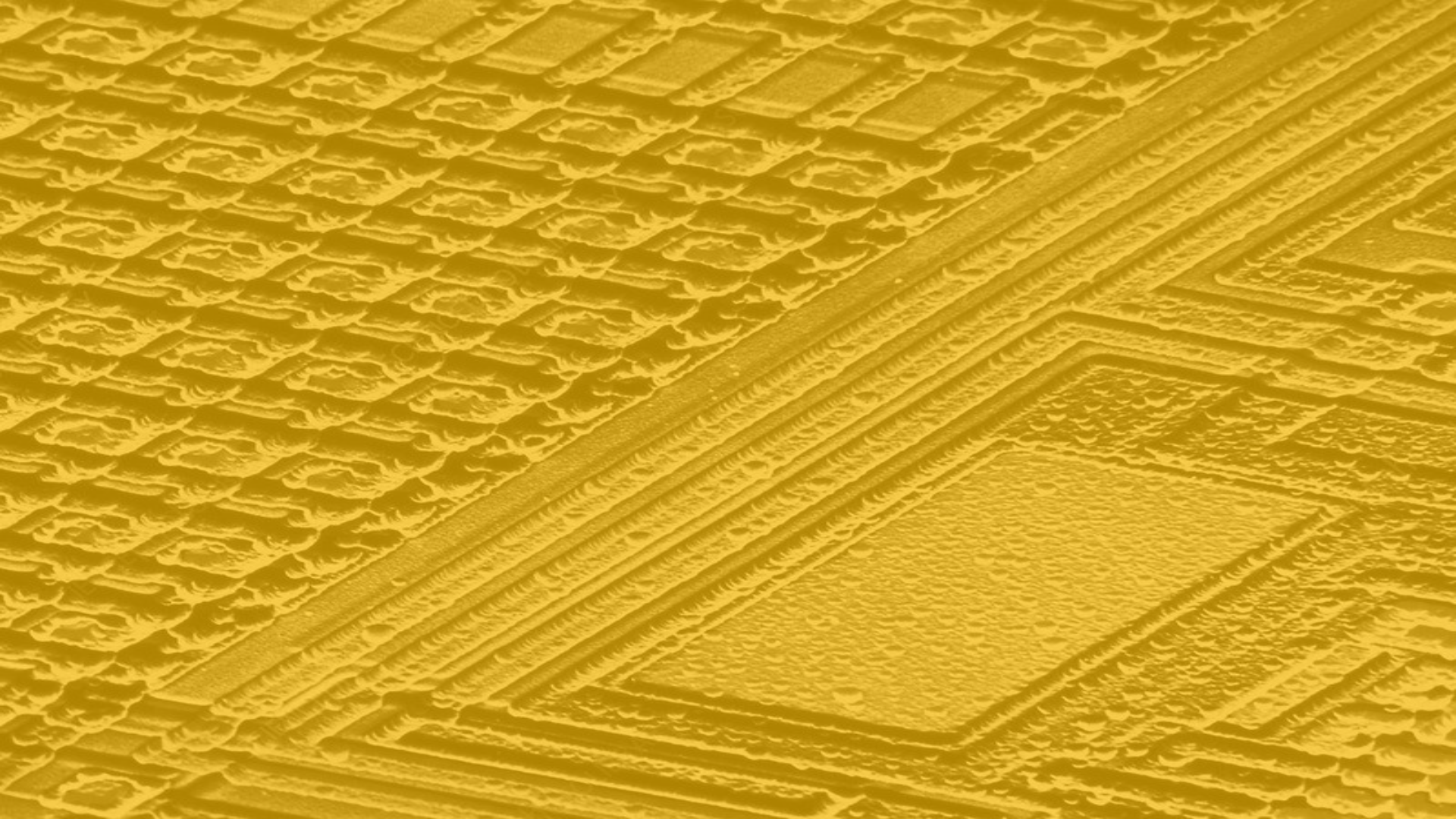
¿Qué sigue?

- **Layout del inversor con Magic**
- **Layout v/s Schematic**
- **Simulación post Layout**

Últimos pasos

Se realizará el layout del circuito diseñado hoy utilizando herramientas profesionales como Magic. Además se hará LVS y simulación post layout lo cual dejaría el diseño listo para enviarlo a fabricar.







@chip_usm