

Taller 1: primer layout

Conceptos básicos de diseño de circuitos integrados

02/11/2023

En este taller:

Introducción:

- Modelamiento de dispositivos: MOSFET
- Fabricación de chips

Layout & Simulación:

- Herramientas: L-Edit y LTspice
- Layout de un transistor MOS
- Caracterización y parásitos

Necesitarás:

- LTspice
- La carpeta de insumos con L-Edit y archivos asociados

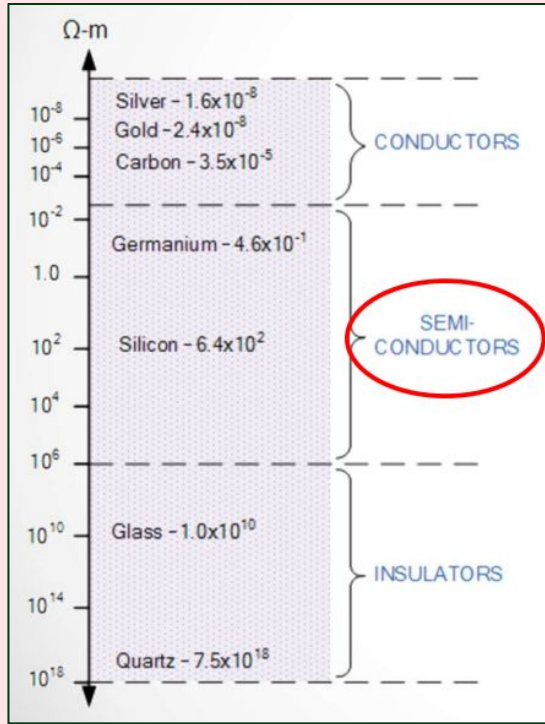
Extra:

- Inversor CMOS
- Otras herramientas

The background of the slide is a close-up, high-resolution image of a printed circuit board (PCB). It features a dense array of components, including a row of circular surface-mount components at the top, several vertical strips of components on the left and right sides, and a central area with various smaller components and traces. The entire image is overlaid with a semi-transparent red filter. In the top-left corner, there is a small triangular label with the text 'AT 9503'.

Introducción

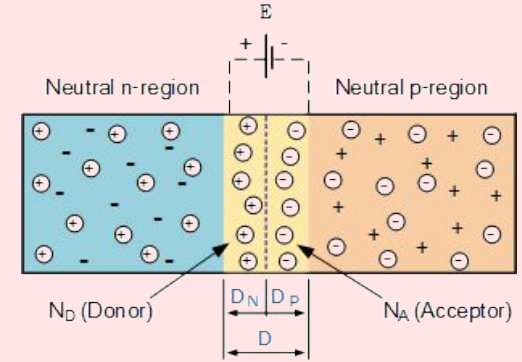
Teoría de Semiconductores



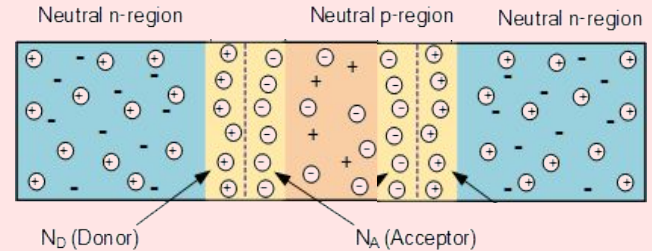
Los materiales semiconductores pueden 'doparse' para generar exceso o falta de electrones libres.

En la unión de dopajes distintos ocurren fenómenos electromagnéticos que pueden usarse para condicionar la conducción del material.

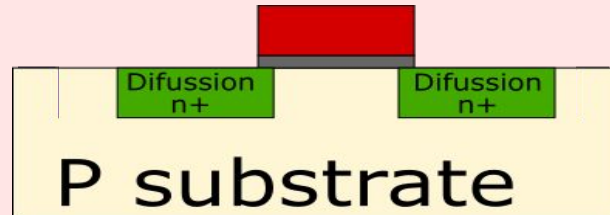
N-P junction:
Diode



N-P-N: bipolar transistor

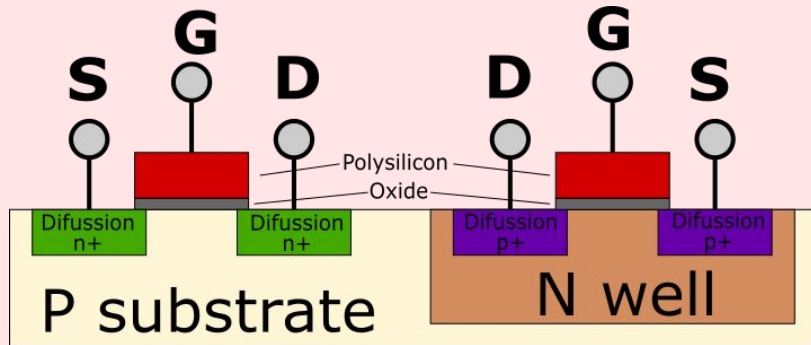


Field Effect
Transistor

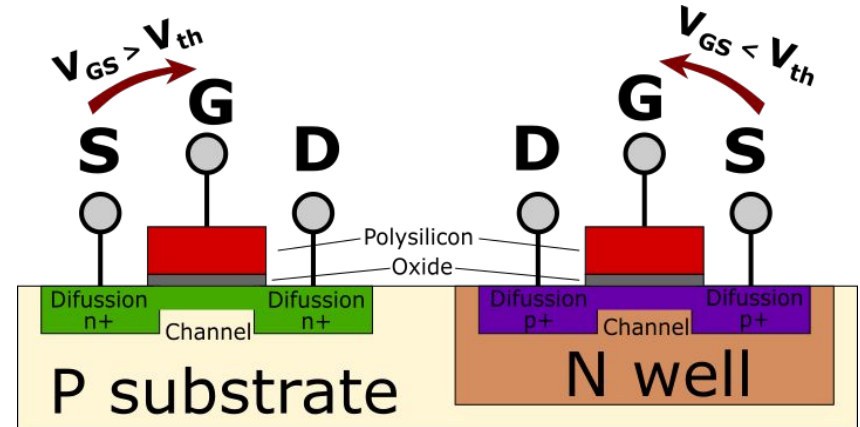


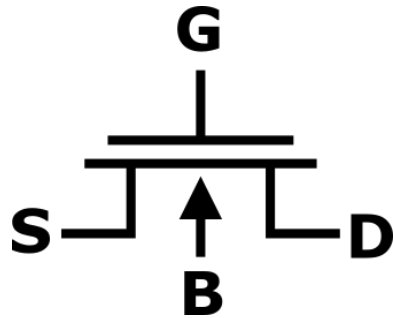
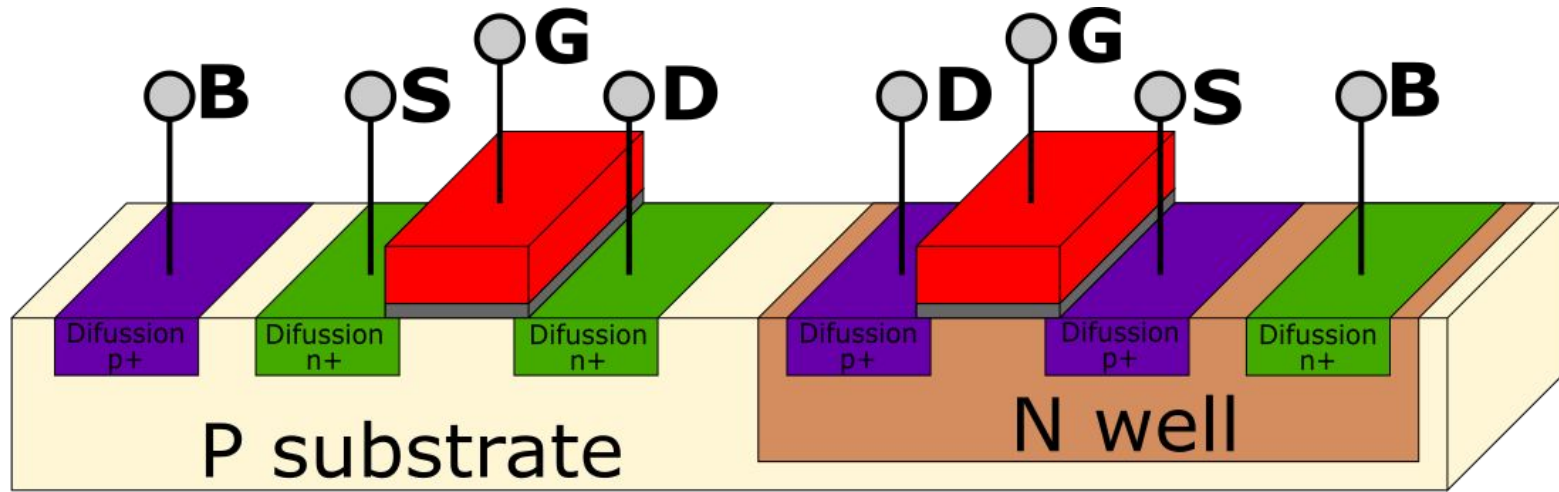
Metal-Oxide-Semiconductor Field Effect Transistor

Formado al posicionar un terminal conductor (Puerta) separado del sustrato por una capa de aislante (óxido).

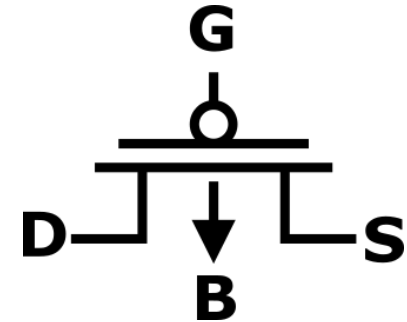


Al aplicar una tensión en la Puerta, se consigue alterar la densidad de portadores de carga en la superficie del sustrato, generando un canal conductor.





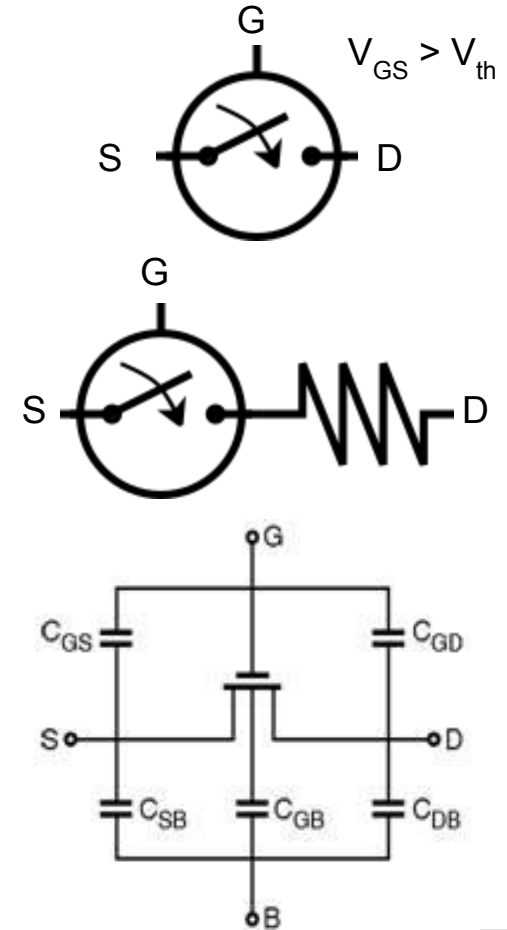
El sustrato del MOSFET es también un terminal, conocido como Cuerpo (Bulk o Body). El voltaje V_{BS} tiene efecto en el voltaje de threshold del transistor.



Modelamiento

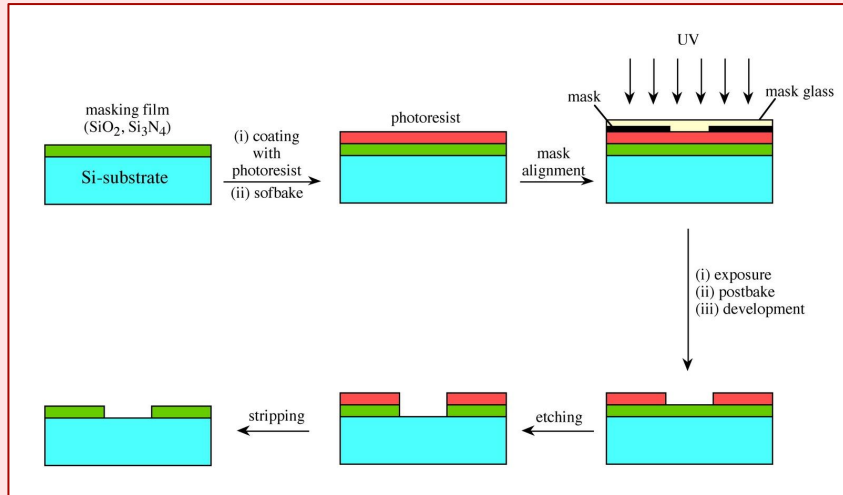
En un CI se puede diseñar tanto la geometría de los dispositivos, como la forma de conectarlos. La abstracción es fundamental para modelar los elementos relevantes a nivel de dispositivo o sistema.

- El MOSFET se puede interpretar simplemente como un interruptor accionado por voltaje.
- Agregar una resistencia de conducción R_{ON} es útil para caracterizarlo en estado estacionario.
- Las distintas capacitancias parásitas son relevantes para analizar el comportamiento dinámico (transiente).



Proceso de fabricación y PDK

Principalmente: fotolitografía



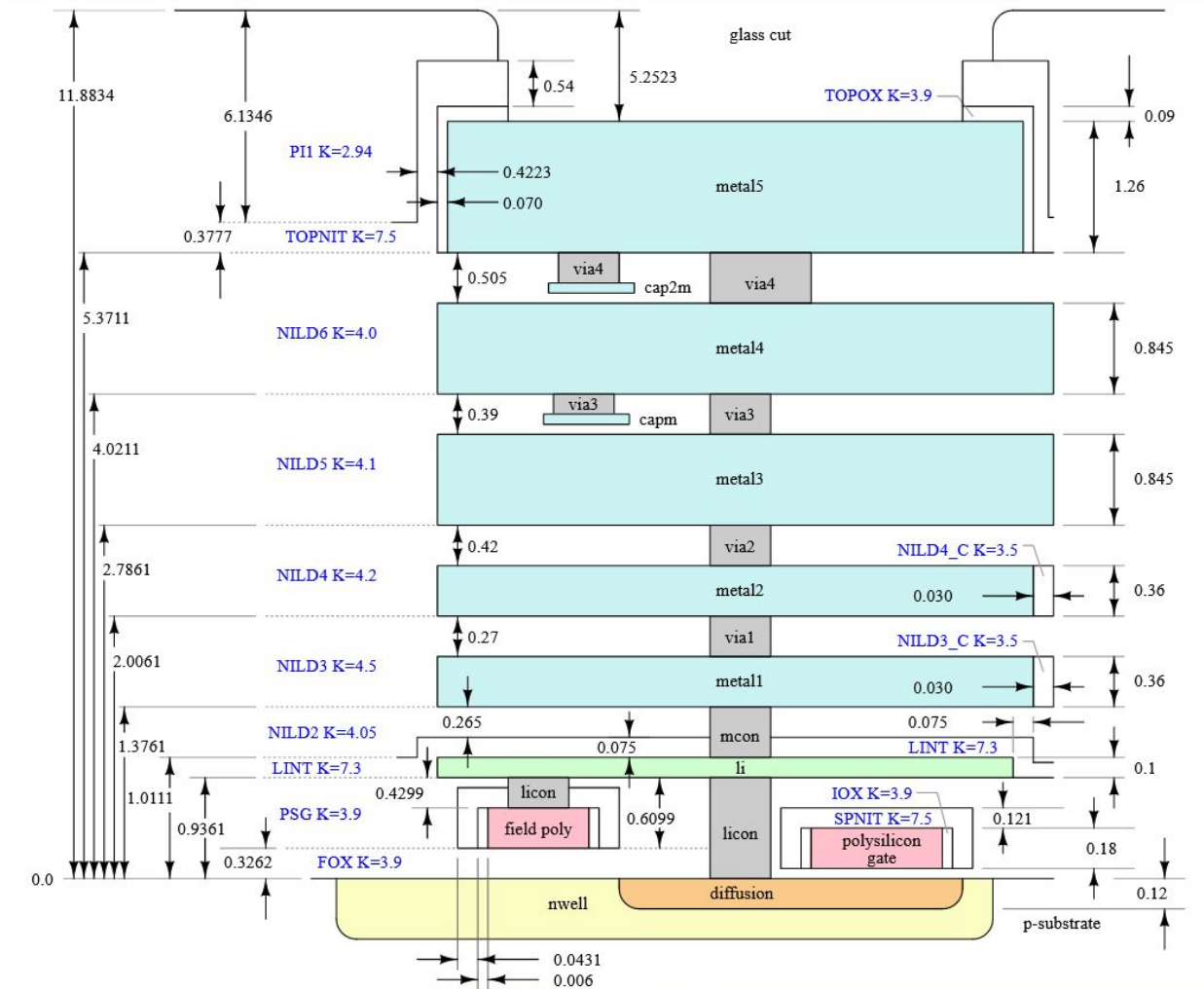
Process Design Kit:

Conjunto de especificaciones de lo que es capaz de producir un fabricante:

- capas de materiales disponibles
- propiedades físicas y eléctricas
- + conjunto de reglas que garantizan fabricabilidad (Design Rule Check o DRC)

<https://youtu.be/bor0qLifjz4>

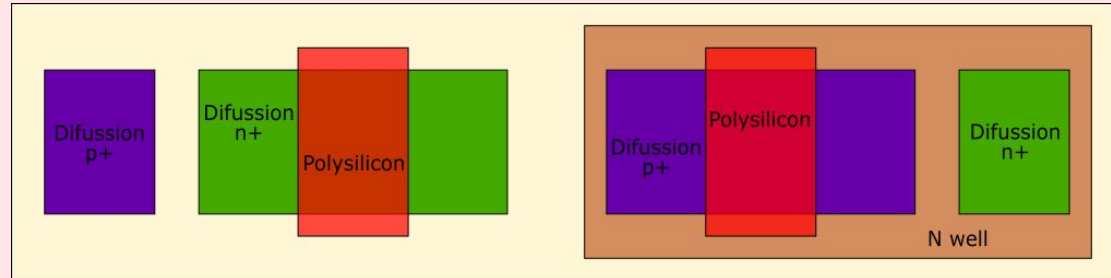
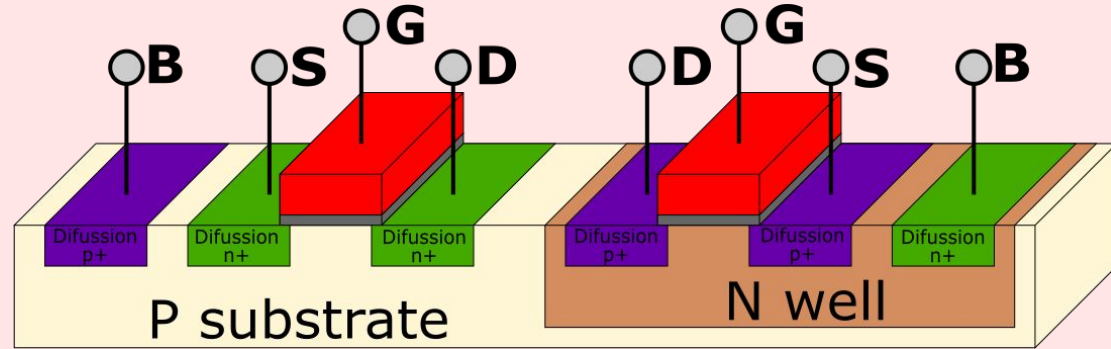
Sky130 Process stack



Layout

Como el orden vertical de las capas es conocido, basta con representar el diseño visto desde arriba.

Los polígonos dibujados en las distintas capas entregan información de la geometría y distribución física de los dispositivos diseñados.

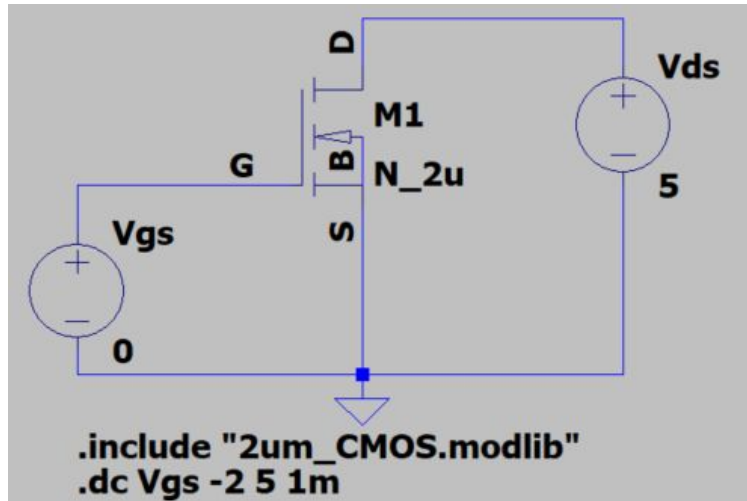


A detailed, high-magnification image of a microchip, showing a complex grid of various colored squares and rectangles, representing different functional blocks and interconnects. The colors include shades of blue, green, yellow, red, and purple, set against a dark background.

Layout & Simulación

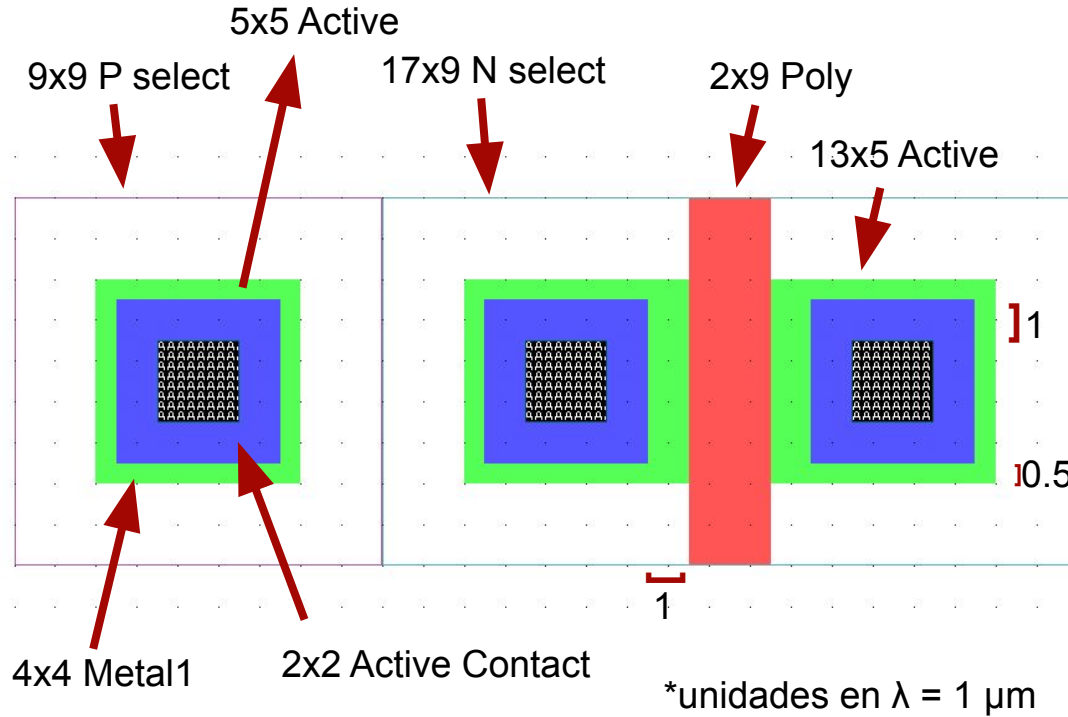
Conducción de un transistor NMOS

Crear el siguiente circuito en LTspice. Insertar un dispositivo NMOS4 y configurarlo (click derecho) con Model=N_2u, L=2u y W=5u. Ejecutar simulación DC y graficar corriente por el Drain.



Notar que el voltaje V_{SD} es constante y la corriente varía con V_{GS} . Entonces la resistencia de conducción R_{ON} depende del punto de operación (puede calcularse con ley de Ohm).





Notar que la **difusión n+** o la **difusión p+** se consiguen dibujando zonas *Active* dentro de zonas *N Select* o *P Select*, respectivamente.

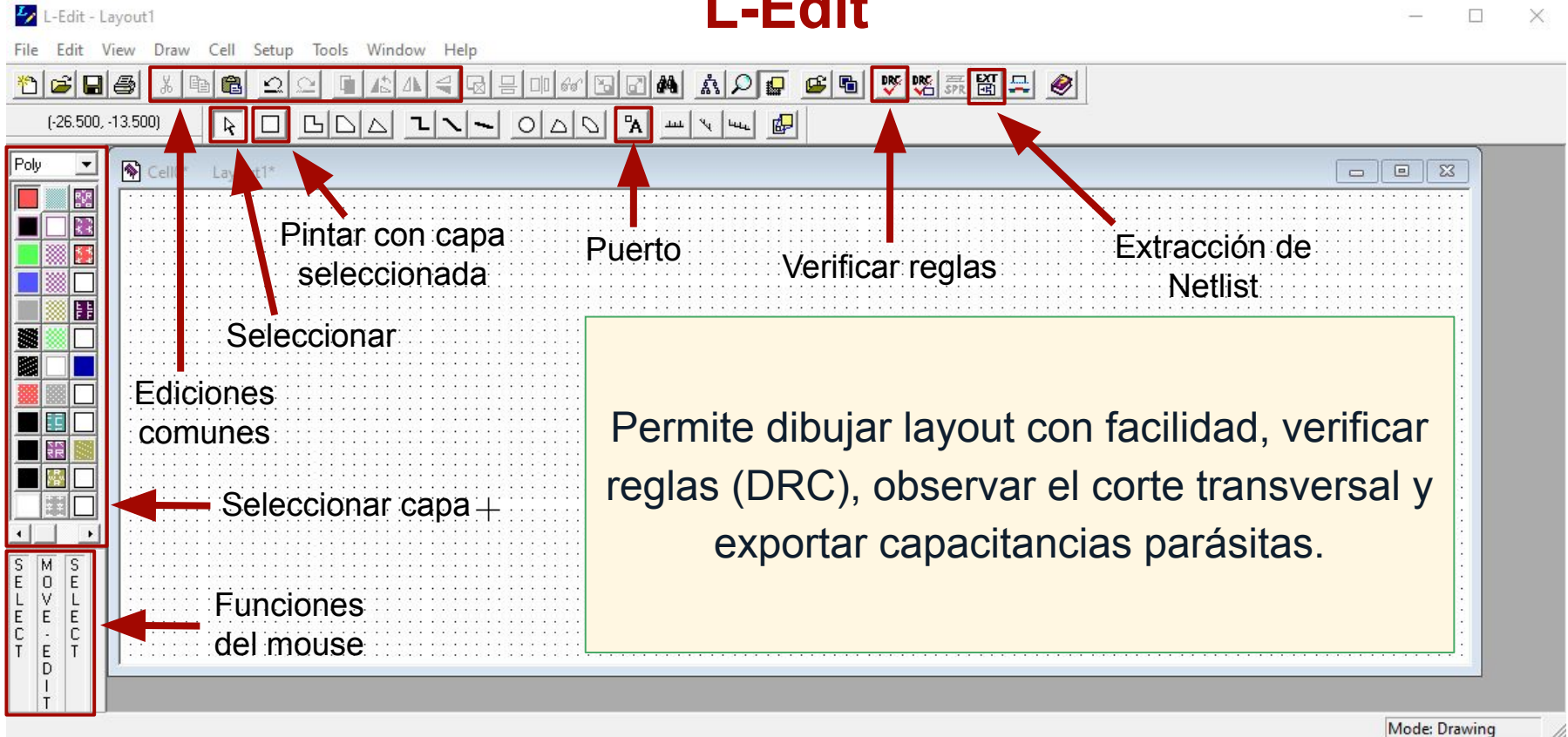
Layout

Ejecute L-Edit y asegúrese de utilizar el archivo de setup 2um_CMOS.tdb del proceso MOSIS 2 μm (SCMOS). Selecciónelo desde File>Replace Setup>Browse

Siga las especificaciones de la imagen, para dibujar el layout de un transistor nMOS mínimo.

¿Dónde están los terminales del transistor?

L-Edit



```
.include 2um_CMOS.modlib

* ...

* NODE NAME ALIASES
*   1 = B (6.5,6.5)
*   2 = G (0.5,19.5)
*   3 = D (6.5,23.5)
*   4 = S (6.5,15.5)

Cpar1 B 0 48.825495f
Cpar2 D 0 52.08824f
Cpar3 S 0 52.08824f

M4 S G D B NMOS L=2u W=5u AD=27.5p PD=21u AS=27.5p PS=21u
* M4 DRAIN GATE SOURCE BULK (6 16.5 11 18.5)

* Total Nodes: 4
* Total Elements: 4
* Extract Elapsed Time: 0 seconds
.END
```

Netlist
extraída

Extracción de Netlist

Nombrar los nodos con **Ports**.
Notar que el puerto se creará en la capa seleccionada.

Usar herramienta **Extract**:

- Seleccionar *definition file* disponible en los insumos: 'parameter extraction file.ext'
- Escoger <netlist_name>.sp
- En Output, habilitar 'Write nodal parasitic capacitance'
- Incluir la SPICE statement: *.include 2um_CMOS.modlib*
- Seleccionar 'Write nodes as: Names'

Tipo de dispositivo
(C, R, L, M) o
subcircuito (X)

Terminales

Cpar1 B 0 48.825f
Identificador

Parámetros,
atributos

M4 S G D B NMOS L=2u W=5u AD=27p PD=21u AS=27p PS=21u

Cambiar a
N_2u

Lenght

Width

Area Drain

Perimeter Drain

Area Source

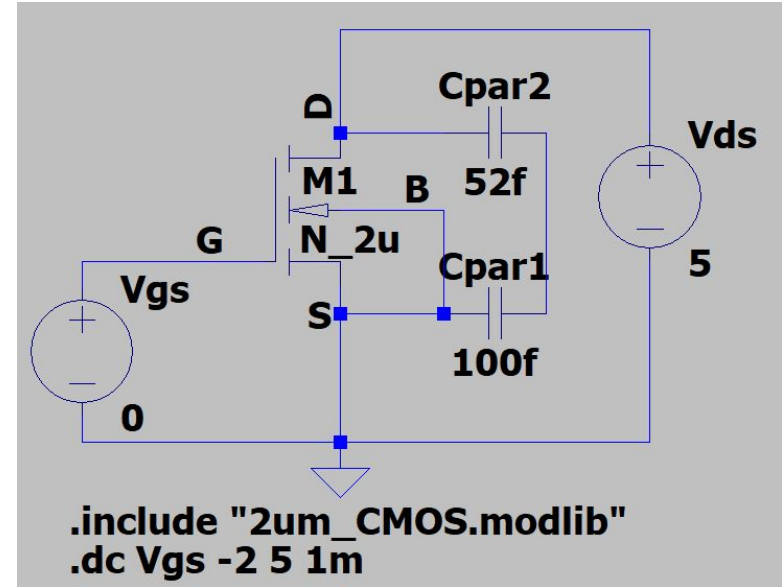
Perimeter Source

Simulación post Layout

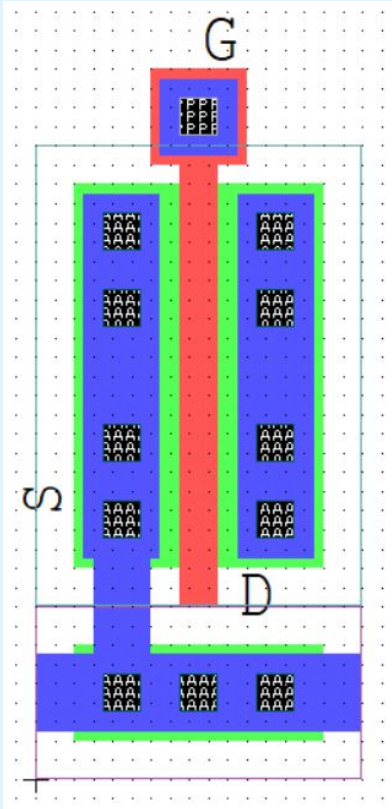
Al tener un layout del diseño, se pueden estimar elementos parásitos (condensadores, resistencias, diodos...) que estarían presentes en el circuito fabricado.

Considerar parasitancias permite simular con mayor certeza el comportamiento del sistema.

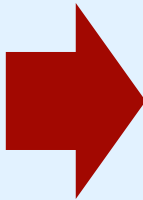
En particular, las resistencias parásitas generan caídas de voltaje y los condensadores afectan el comportamiento dinámico (retardos).

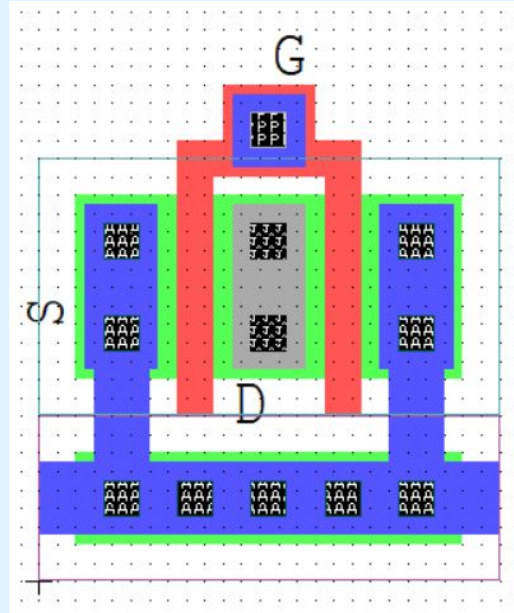


Comparación de layouts: transistor folding



Abrir nmos_W20.tdb y nmos_W20_2fingers.tdb en L-Edit


Folding



¿Qué tamaño tienen los transistores?

¿En qué se diferencian?

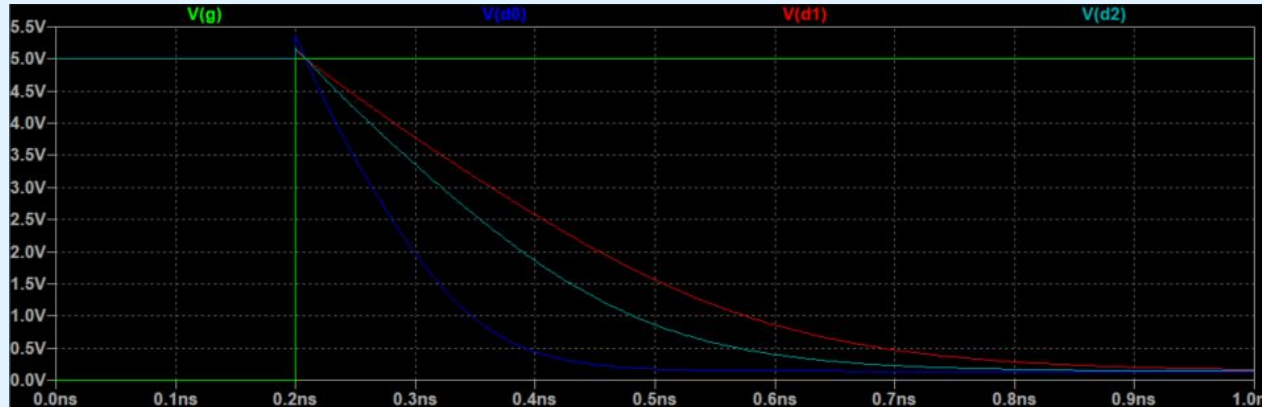
Extraer sus netlists.

Comparación de layouts: comportamiento dinámico

El archivo nmos_comp.cir es una netlist con 3 circuitos iguales, con NMOS de $W=20$

- a. sin capacitancias parásitas
- b. con capacitancias parásitas y sin folding
- c. con capacitancias parásitas y con folding

Notar que LTspice puede simular archivos .cir, sin necesidad de dibujar un esquemático.



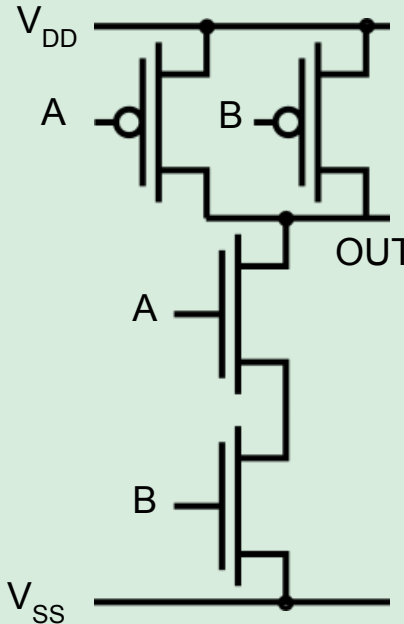
Extra: ¿Qué sigue?

¿Qué sigue?

- **Circuitos más complejos**
- **Otros procesos dentro del flujo de diseño**
- **Profundizar teoría, más consideraciones físicas**

Observar los layouts de inversores CMOS proporcionados.
Crear netlist para simular en LTspice, con y sin parásitos.
Analizar el efecto transiente de usar PMOS más grandes.

A continuación se presenta un circuito para una compuerta NAND CMOS de 2 entradas. Simularla y dibujar un layout con transistores de ancho $W=10$.



Modelar resistencias de conducción en función de R_{ONp} y R_{ONn}

¿Cuál sería el circuito para una compuerta NOR? AND?

En general (para mantener retardos rise y fall) se pretende que las resistencias de conducción equivalentes sean iguales. Esto implica ajustar los tamaños de los transistores.

Layout v/s Schematic (LVS)

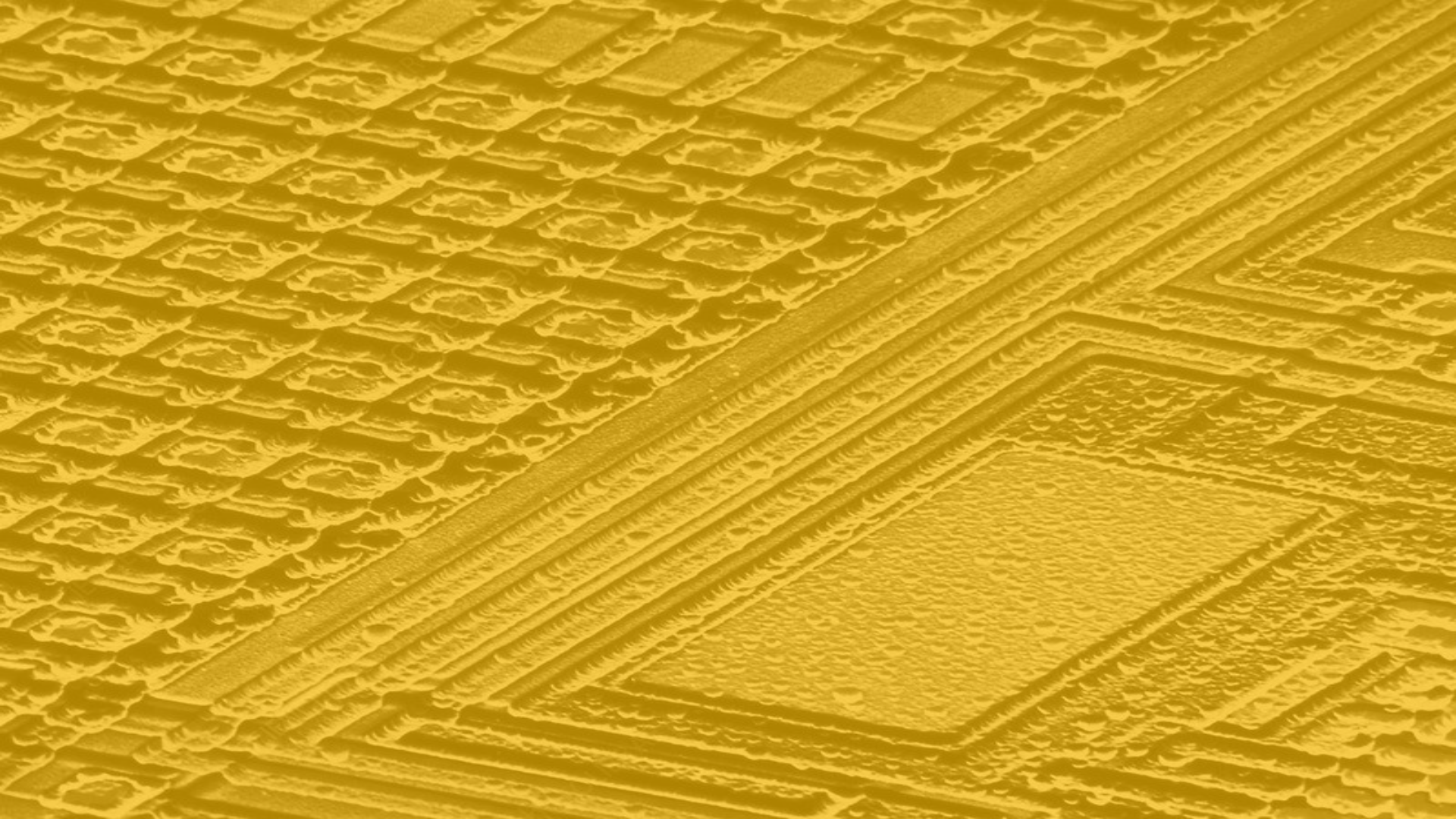
Herramientas del flujo open-source: <https://github.com/The-OpenROAD-Project/OpenLane>

- Magic: editor de layout (equivalente a L-Edit)
- Xschem + ngspice: editor de esquemáticos y simulador (equivalente a LTspice)
- Netgen: verificador LVS
- muchas más...

En el set de herramientas opens-source que utilizamos existen herramientas que cumplen las mismas funciones que hemos visto (layout y simulación). Pero también incluye otras herramientas, para realizar otros pasos del flujo de diseño, como es hacer LVS. Se trata de un proceso que permite verificar que el layout realizado corresponde efectivamente al circuito deseado. Es una verificación fundamental para el diseño de CI.



Taller 2





@chip_usm