

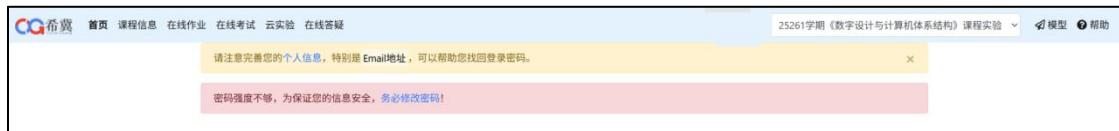
预备实验

一、 远程硬件平台的使用

1. 进入远程硬件平台主页 (<http://172.28.9.71/>)



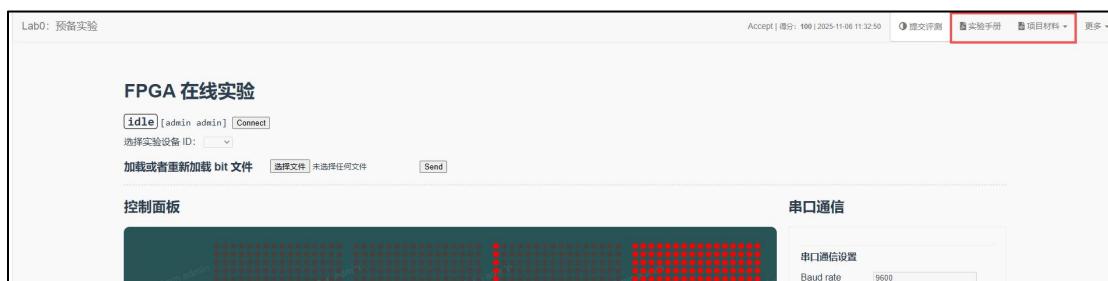
在右侧学生入口处输入学号和密码（初始密码为：123456），登录后进入学生端首页，可以根据提示完善个人信息，请注意一定要修改密码！！！



2. 主页会显示当前正在进行的实验作业，点击蓝色字体，跳转至实验的概览：

3. 点击开始实验，进入远程 FPGA 在线实验平台：

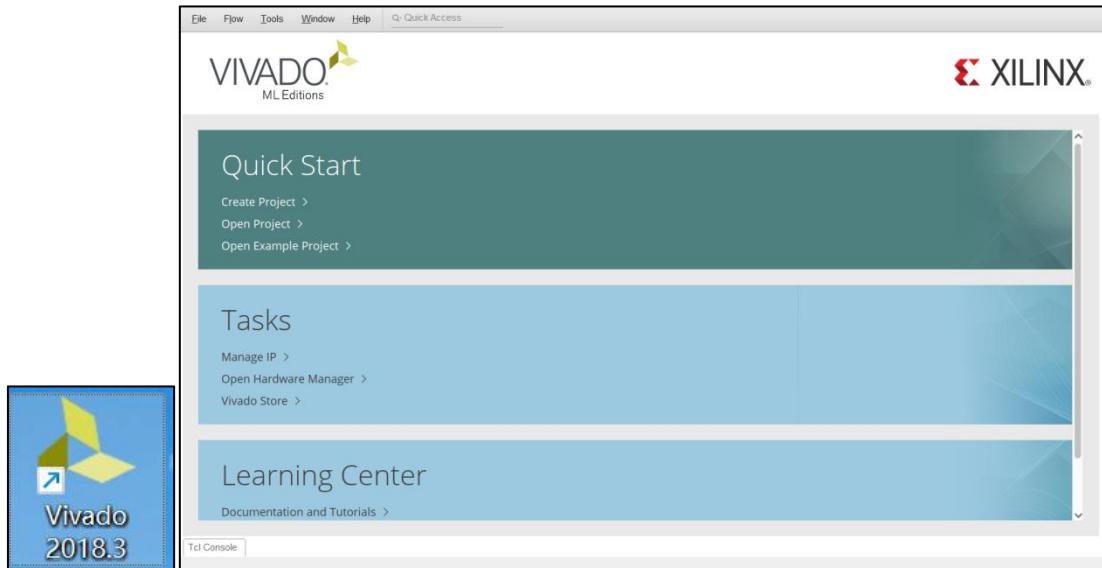
可在该界面的右上角“实验手册”和“项目材料”选项下载本实验的**实验指导书**和项目需要的**IP 核 (cg_fpga_2018_1_4.zip)**：



二、基于 vivado 的数字逻辑电路设计和仿真

接下来，我们以逻辑门的设计为例，展示如何基于 vivado 进行数字逻辑电路的设计和仿真，为后续实验做好准备。

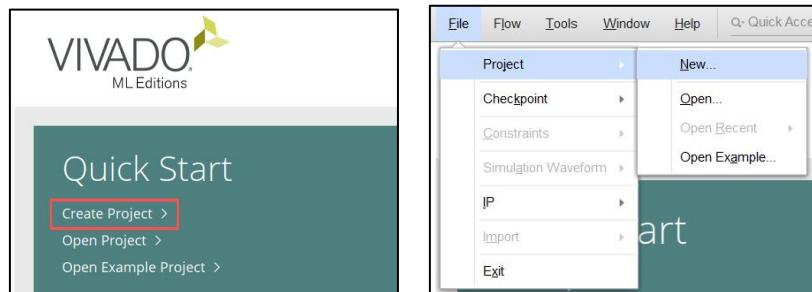
1. 打开我们已经下载好的 vivado 2018.3 版本，界面如下：



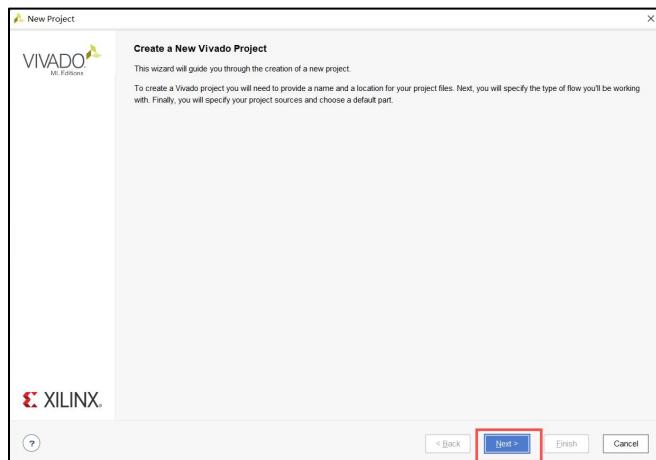
2. 创建工程

① 可通过两种方式创建 vivado 新工程：

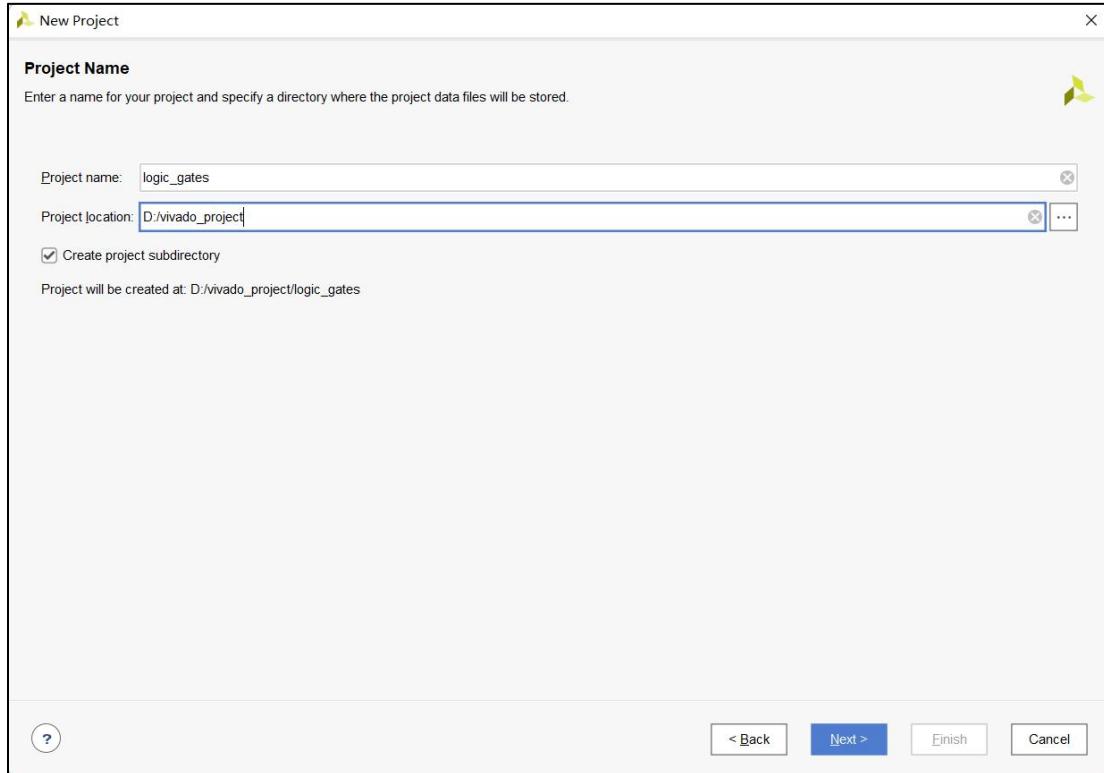
- 开始界面 - “Create Project”（每次打开 vivado 快捷方式可见）。
- 菜单栏 - File - Project - New（随时可用）。



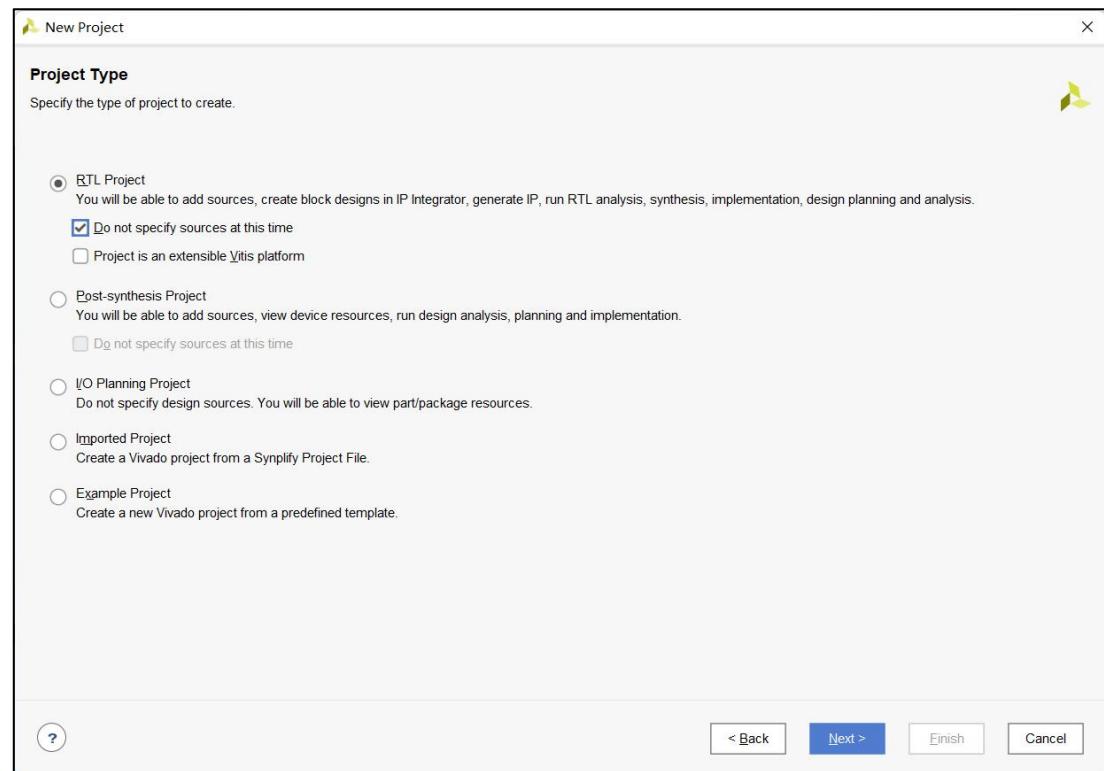
② New Project 新建工程向导打开，直接点击 Next：



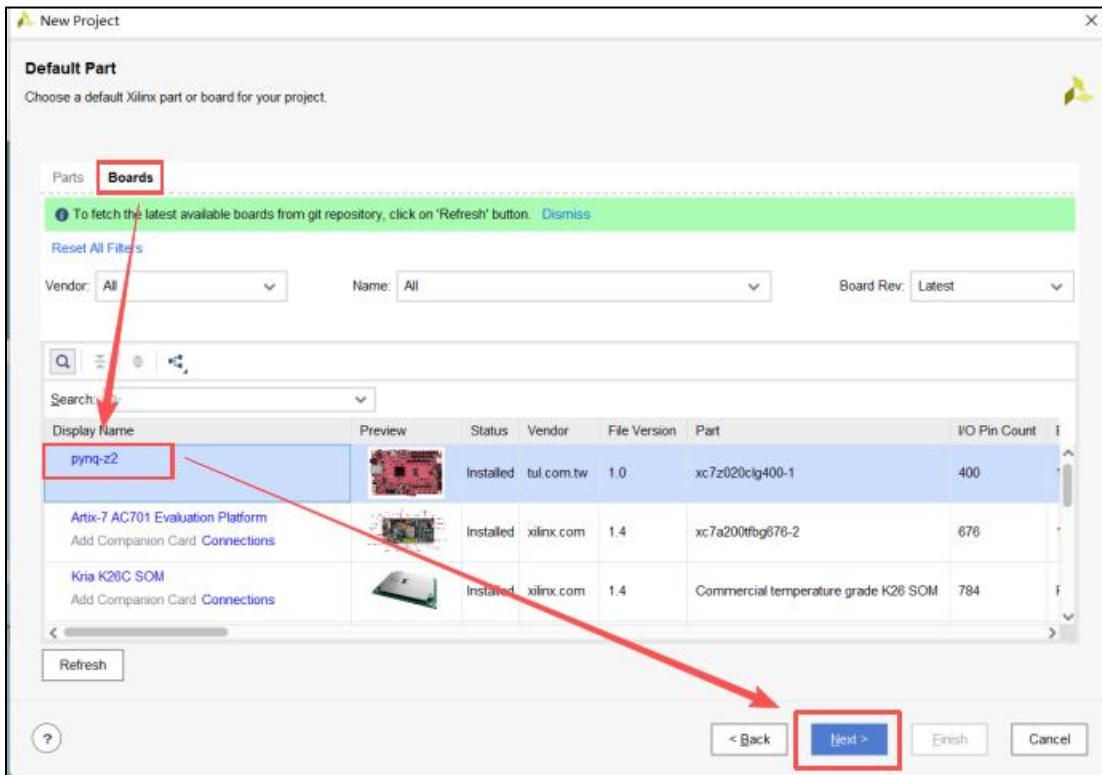
③ Project Name 对话框中，输入“logic_gates”为工程名，工程路径可自己选择，**注意路径不能有中文且尽量短！！！(推荐 D 盘，项目空间较大)**勾选 Create project subdirectory 在工程路径下生成一个名为 logic_gates 的文件夹，用于保存该工程所有文件。点击 Next 进入下一步：



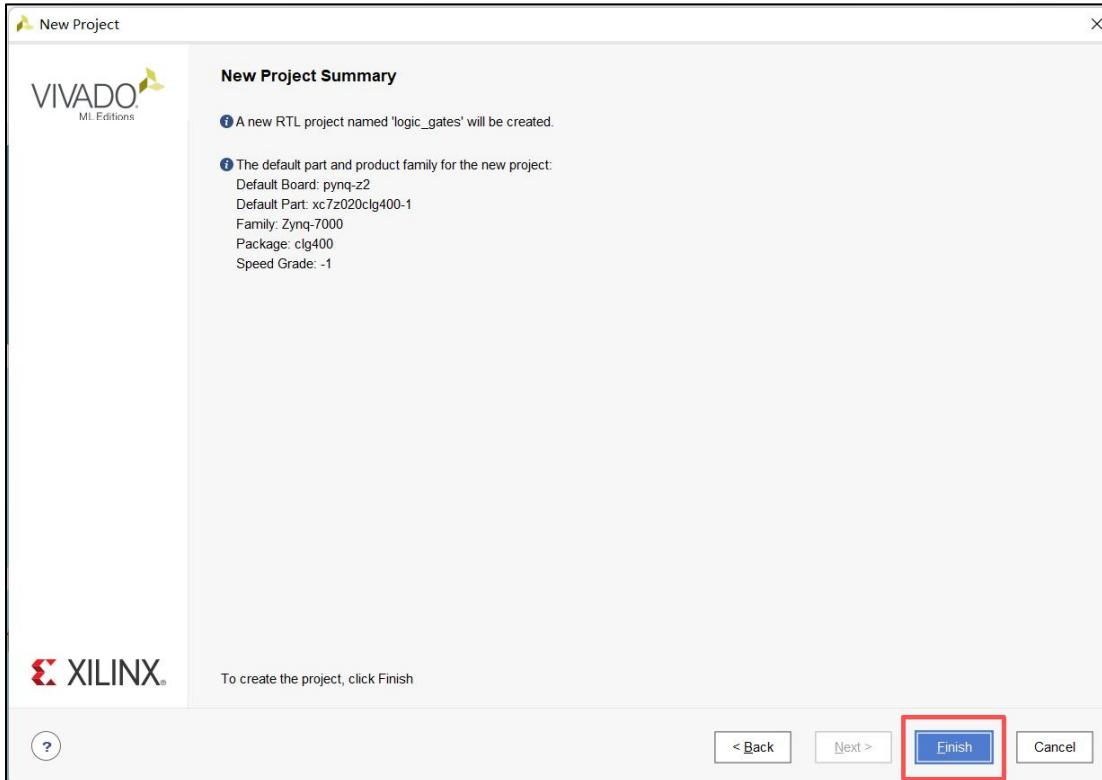
④ 在 Project Type 窗口中，选择 RTL Project，表示将创建基于 RTL 的工程，然后勾选 Do not specify sources at this time 选项（这样将跳过添加源文件的步骤，源文件可以在后续设计过程中再添加），点击 Next 进入下一步：

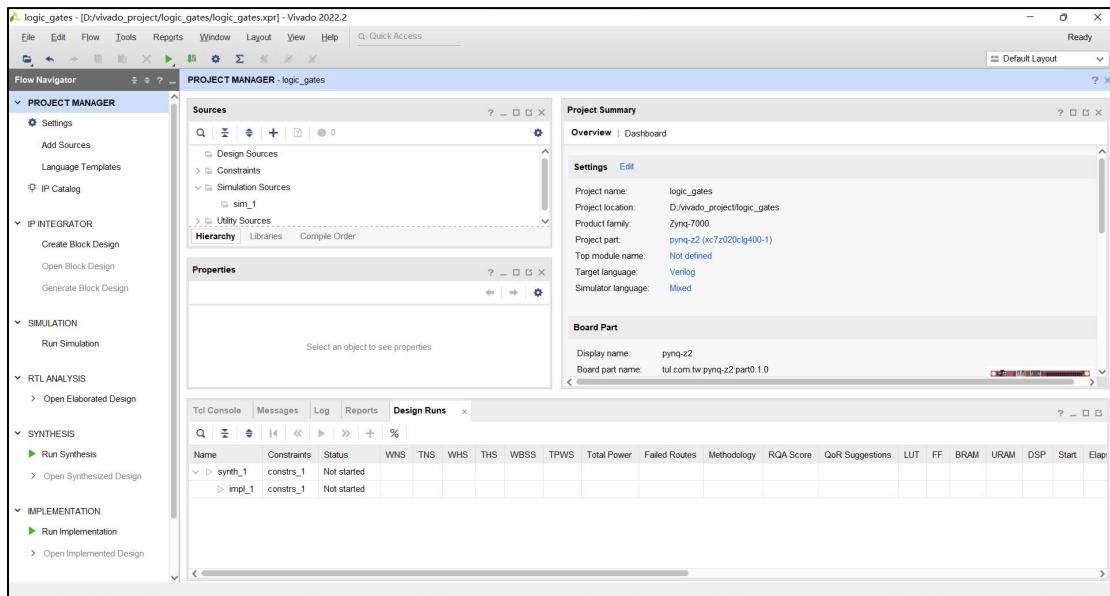


⑤ 在 Default Part 窗口中，点击 Boards 选项，找到 pynq-z2 开发板并点击，表示该项目将基于此 FPGA 开发板进行设计，点击 Next 进入下一步：



⑥ 在 New Project Summary 窗口中，如图所示，查看工程创建内容是否正确。若无需修改，则点击 Finish，空白工程创建完成，进入 vivado 主设计窗口：

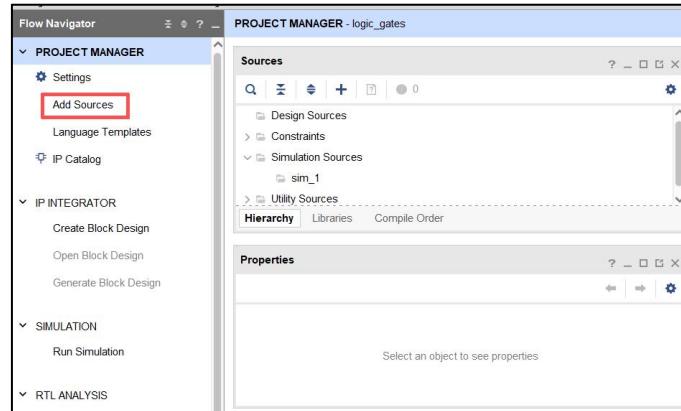




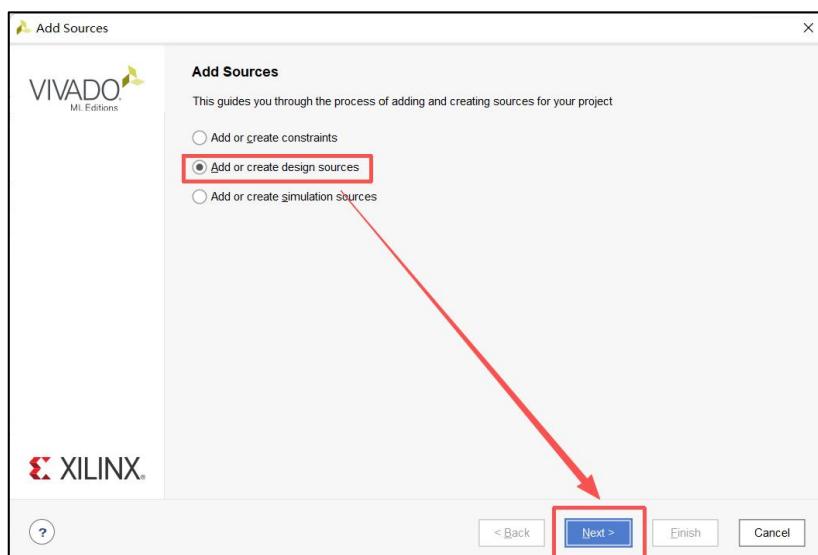
3.项目设计

① 添加项目顶层文件

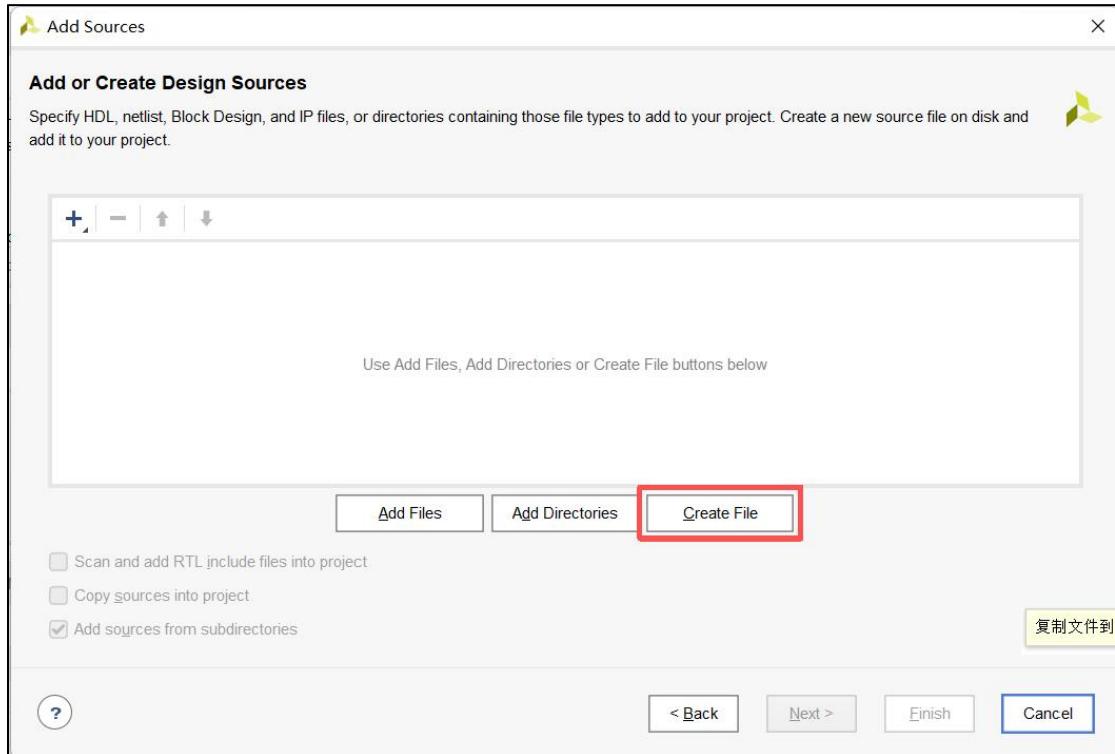
- 在流程导航栏(Flow Navigator)中,选择 PROJECT MANAGER 下的 Add Sources 选项:



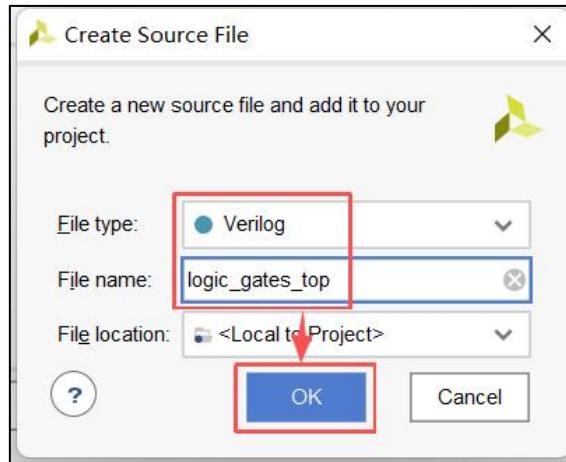
- 在弹出的 Add Sources 窗口中,选择 Add or create design sources 用于添加或创建 HDL 设计源文件,单击 Next 进入下一步:



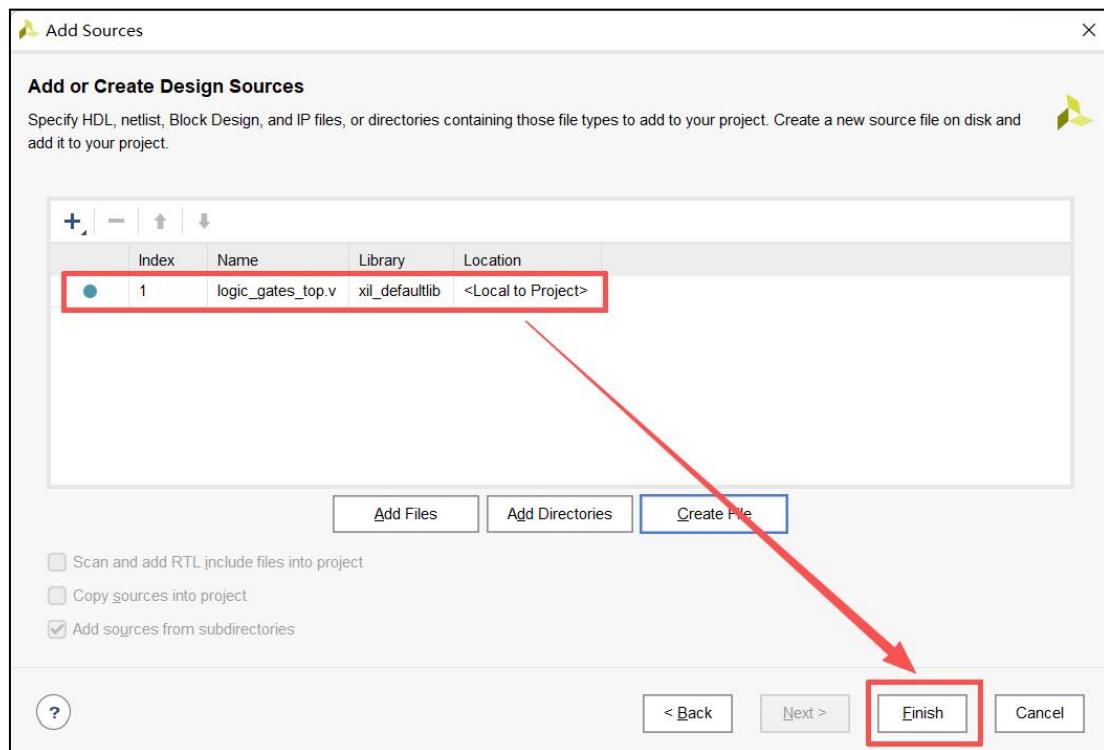
- 进入 Add or Create Design Sources 窗口。如果已经存在 HDL 设计文件，则单击 Add File 按钮进行添加；否则单击 Create File 按钮。现单击 Create File 按钮创建新的设计源文件：



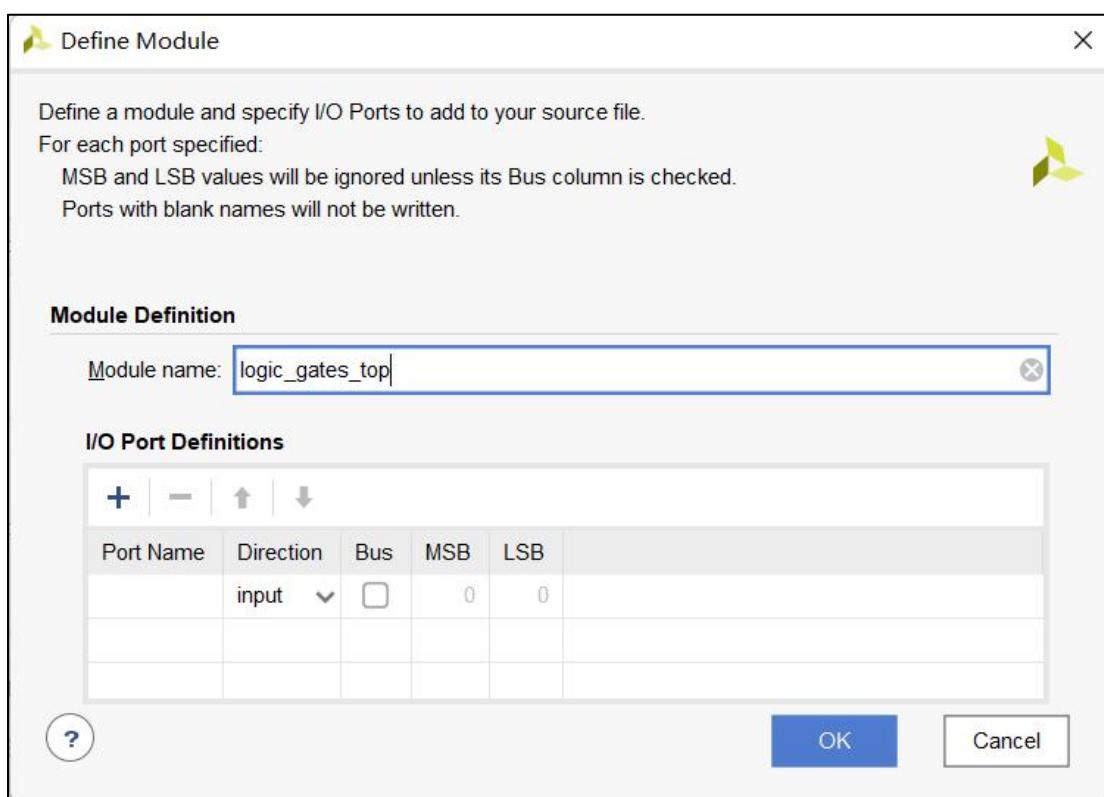
- 在打开的 Create Sources File 窗口中，File type 下拉菜单中选择 Verilog，在文本框 File name 中输入“logic_gates_top”，其它选项默认，单击 OK 按钮退出，即创建了一个名为 logic_gates_top 的 Verilog HDL 文件。该文件为该项目的顶层文件，稍后我们还将创建模块文件。



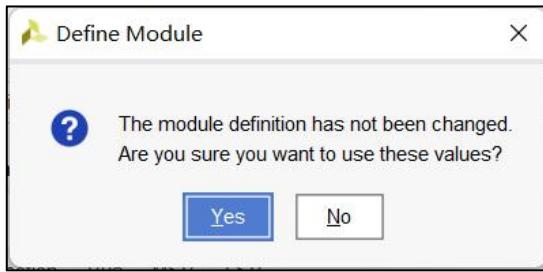
- 返回 Add or Create Design Sources 窗口，显示出刚刚创建的设计源文件。单击 Finish 按钮，完成设计源文件的创建。



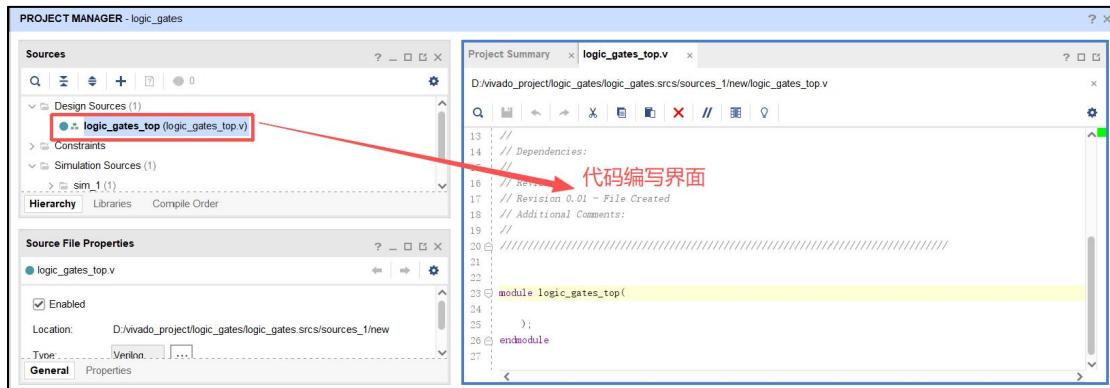
- 弹出 Define Module 窗口，用于定义模块和指定 I/O 端口。设计者既可以选择在该窗口设置端口，也可直接跳过该步骤，直接在源文件中添加。我们在此选择后者，直接点击 OK 按钮，进入下一步。



- 弹出如下对话框，提示用户该模块未做任何改动，单击 Yes 按钮即可：



- 返回 vivado 主设计窗口，在 Sources 子窗口下的 Design Sources 选项下可看到刚刚添加的顶层文件 logic_gates_top.v，双击该源文件，可以进入程序编辑窗口：



- 在程序编辑窗口添加逻辑门项目的顶层文件，如下所示，编写完成后注意进行保存操作：

```
`timescale 1ns / 1ps
```

```
module logic_gates_top(
    input [7:0] btn,
    output [31:0] leds
);

    logic_gates logic_gates(
        .A(btn[7]),
        .B(btn[3]),
        .leds(leds)
    );

endmodule
```

② 添加项目模块文件

- logic_gates_top.v 顶层文件涉及到了 logic_gates 模块，现在我们需要补充该模块的相关文件与代码：

logic_gates_top.v

```
D:\vivado_project\logic_gates\logic_gates.srcs\sources_1\new\logic_gates_top.v

`timescale 1ns / 1ps

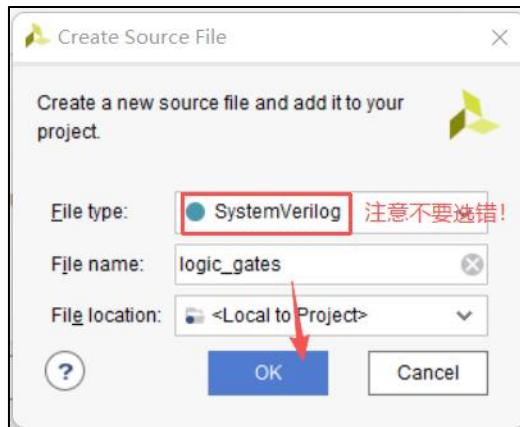
module logic_gates_top(
    input [7 : 0] btn,
    output [31 : 0] leds
);

    logic_gates logic_gates(
        .A(btn[7]),
        .B(btn[3]),
        .leds(leds)
    );

endmodule

```

- 与 ① 中添加顶层文件 `logic_gates_top.v` 步骤一致，需要注意在 Create Sources File 窗口中，File type 下拉菜单中选择 **SystemVerilog**，在文本框 File name 中输入“logic_gates”，其它选项默认，单击 OK 按钮退出，即创建了一个名为 `logic_gates` 的 SystemVerilog HDL 文件。其余步骤完全一致！



- 完成以上步骤后，发现模块文件“`logic_gates.sv`”已经创建完毕，在该文件的程序编辑窗口添加 `logic_gates` 模块，如下所示，编写完成后注意进行保存操作：

logic_gates_top.v | logic_gates.sv

```
logic_gates_top.v
`timescale 1ns / 1ps

module logic_gates_top(
    input [7 : 0] btn,
    output [31 : 0] leds
);

    logic_gates logic_gates(
        .A(btn[7]),
        .B(btn[3]),
        .leds(leds)
    );

endmodule

logic_gates.sv
module logic_gates(
    input A;
    input B;
    output [31 : 0] leds
);

    logic ans_and;
    logic ans_or;
    logic ans_not;

    and_gate and_gate(
        .A(A),
        .B(B),
        .ans_and(ans_and)
    );

```

```

`timescale 1ns / 1ps

module logic_gates(
    input          A,
    input          B,
    output [31 : 0] leds
);

logic ans_and;
logic ans_or;
logic ans_not;

and_gate and_gate(
    .A(A),
    .B(B),
    .ans_and(ans_and)
);

or_gate or_gate(
    .A(A),
    .B(B),
    .ans_or(ans_or)
);

not_gate not_gate(
    .A(A),
    .ans_not(ans_not)
);

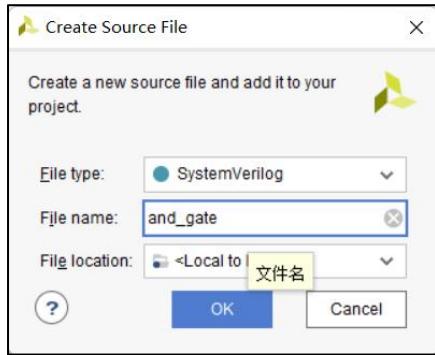
assign leds = {29'b0, ans_and, ans_or, ans_not};

endmodule

```

- 同理，我们还需要创建 logic_gates 模块下的 and_gate / or_gate / not_gate 三个模块，每个模块文件的 Create Sources File 窗口及文件编写的代码如下：

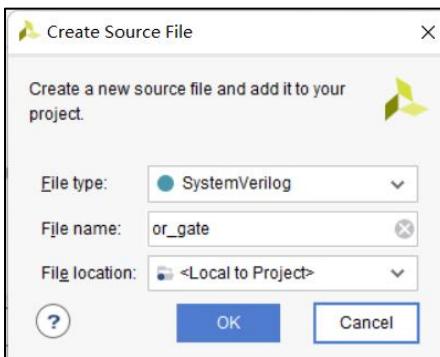
and_gate.sv 文件 (and_gate 模块) :



```
`timescale 1ns / 1ps
```

```
module and_gate(
    input  A,
    input  B,
    output ans_and
);
    assign ans_and = A & B;
endmodule
```

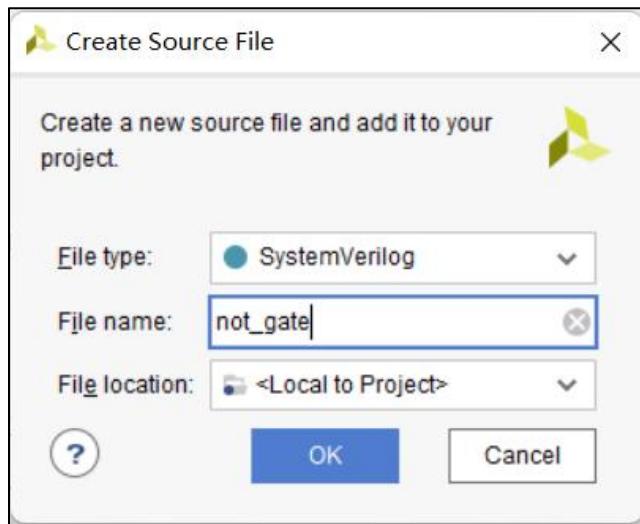
or_gate.sv 文件 (or_gate 模块) :



```
`timescale 1ns / 1ps
```

```
module or_gate(
    input  A,
    input  B,
    output ans_or
);
    assign ans_or = A | B;
endmodule
```

not_gate.sv 文件 (not_gate 模块) :



```
`timescale 1ns / 1ps
```

```
module not_gate(
    input A,
    output ans_not
);

    assign ans_not = ~A;

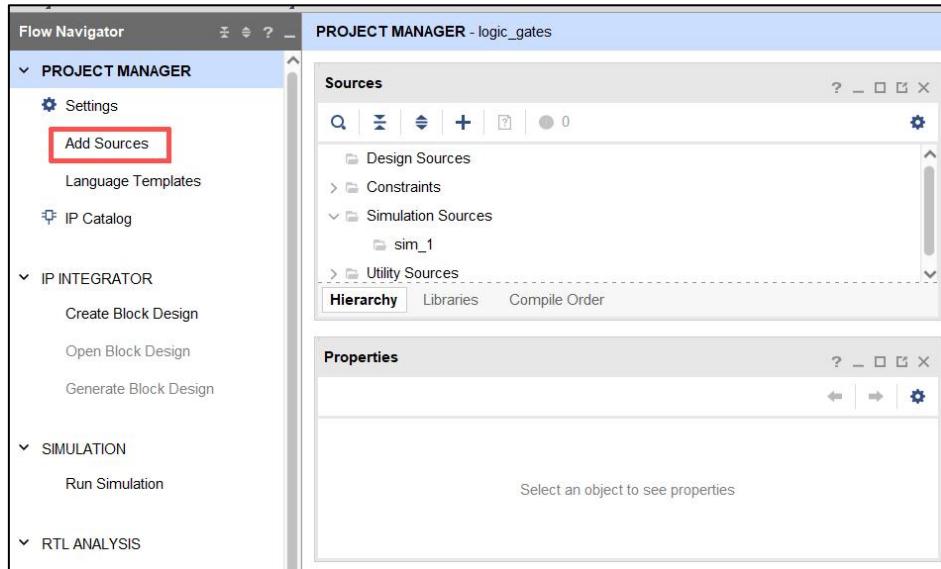
endmodule
```

- 最终在 Sources 目录下的项目框架如下，共包括 5 个新建文件，以 logic_gates_top.v 文件为顶层文件，其余文件可通过下拉箭头查看：

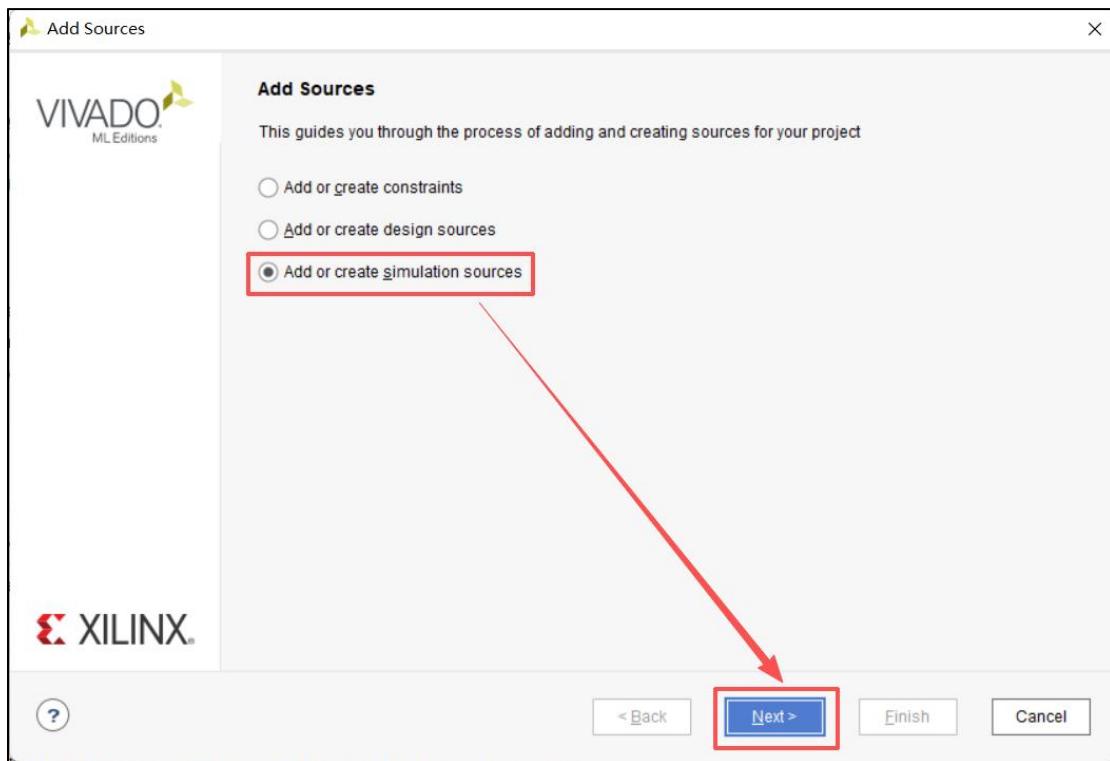


4.项目行为仿真

- 在流程导航栏(Flow Navigator)中,选择 PROJECT MANAGER 下的 Add Sources 选项:

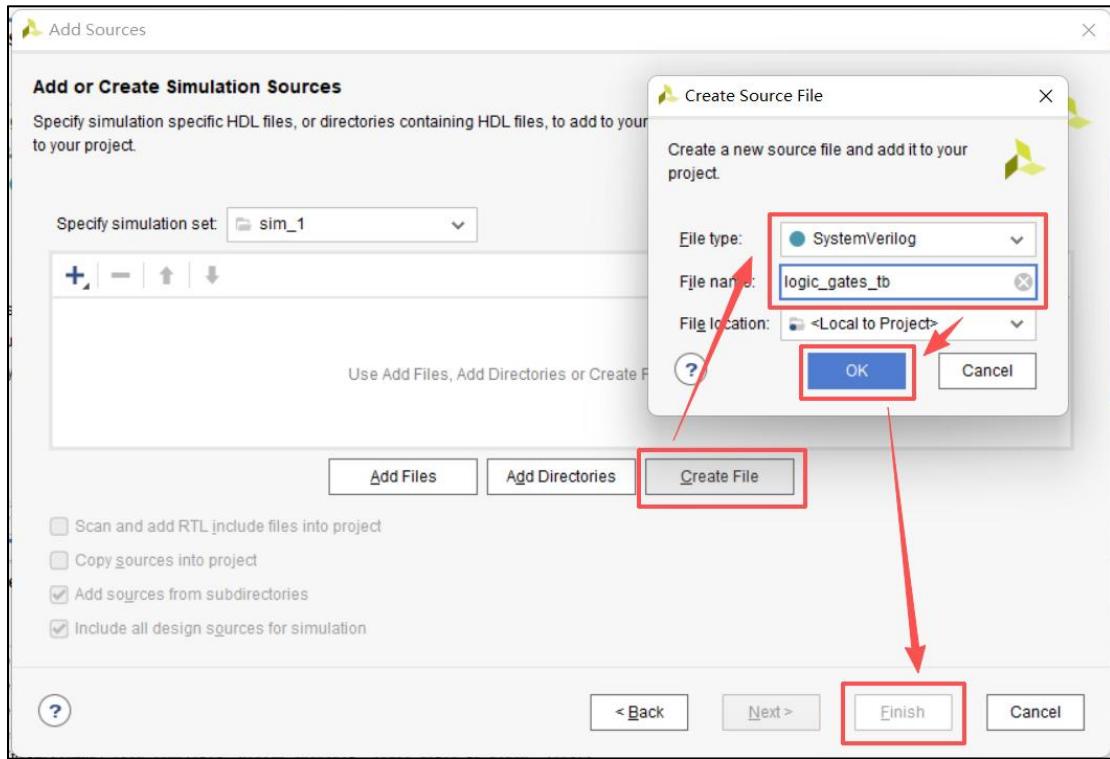


- 在弹出的 Add Sources 窗口中,选择 Add or create simulation sources 用于添加或创建仿真文件,单击 Next 进入下一步:

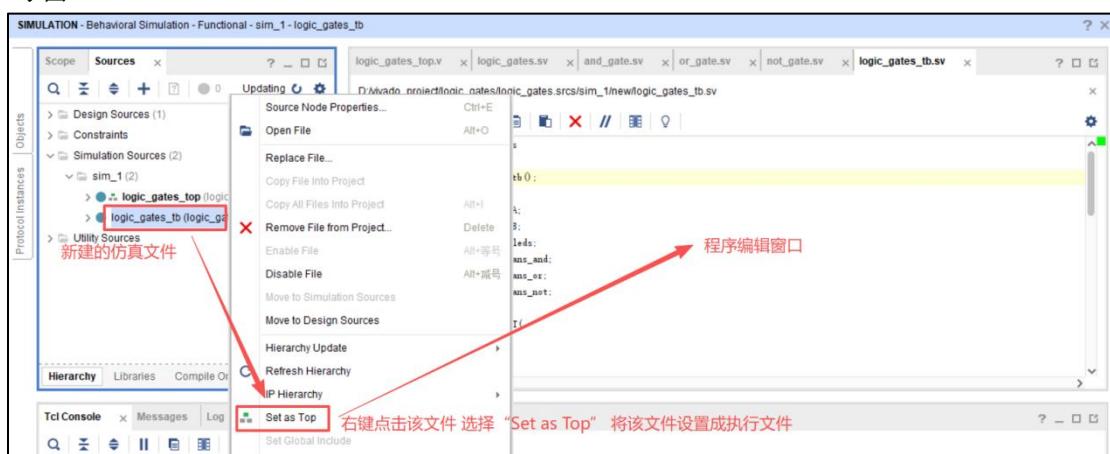


- 在弹出的 Add or Create Simulation Sources 窗口中,点击 Create File 按钮,弹出 Create Source File 界面,用于创建仿真文件。

- 在 File type 下拉菜单中选择 SystemVerilog,在文本框 File name 中输入 logic_gates_tb,其他选项默认,即创建了一个名为 logic_gates_tb 的仿真测试文件,单击 OK,退出该界面。最后,点击 Finish,完成测试文件的添加。



- 由于仿真文件无需指定任何 I/O 端口，故在弹出的 Define Module 窗口中，直接单击 OK 按钮。然后，在弹出的对话框中，单击 Yes 按钮。
- 返回 vivado 主设计窗口，在 Sources 子窗口下的 Simulation Sources 选项下可看到刚刚添加的仿真测试文件 logic_gates_tb.sv。双击该文件进入程序编写窗口：



- 按如下编写仿真测试文件，编写完成后注意进行保存操作：

```
`timescale 1ns / 1ps

module logic_gates_tb();

logic [ 7 : 0] btn;
logic [31 : 0] leds;

logic_gates_top udt(
    .btn(btn),
    .leds(leds)
);

initial begin
    btn = 8'b00000000;
    #20;

    btn = 8'b10000000;
    #20;

    btn = 8'b00001000;
    #20;

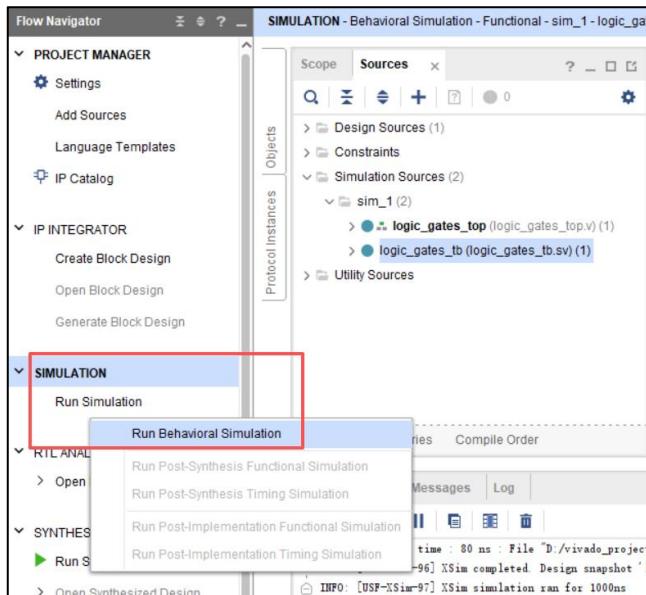
    btn = 8'b10001000;
    #20;

    $stop;
end;

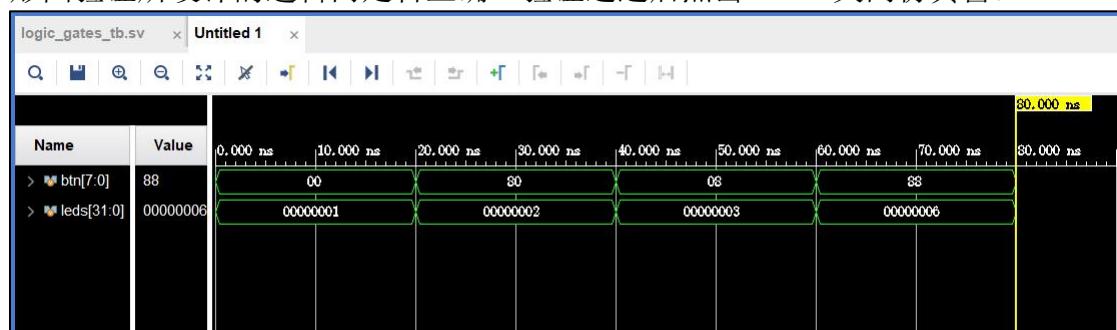
initial begin
    $timeformat(-9, 0, "ns", 5);
    $monitor("At time %t: btn = %b, leds = %b", $time, btn, leds);
end

endmodule
```

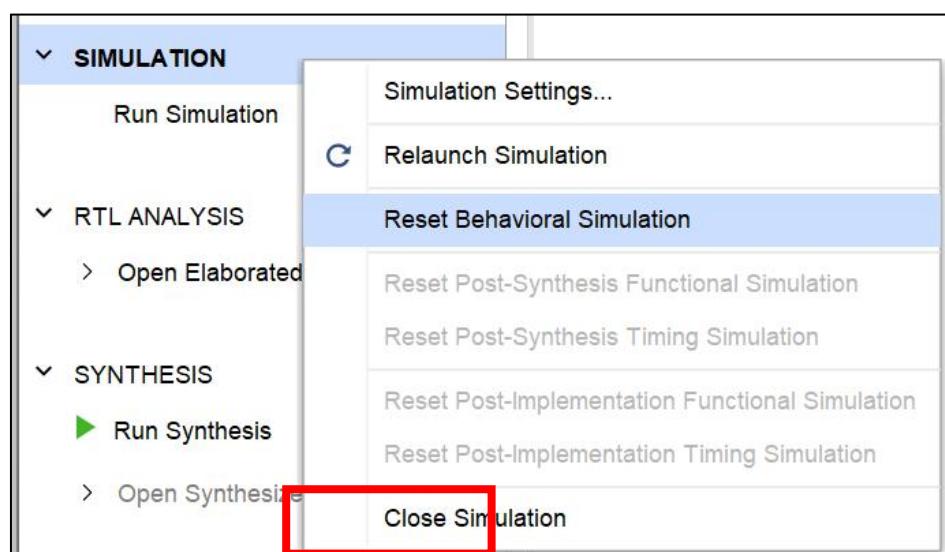
- 在 Flow Navigator 中点击 SIMULATION → Run Simulation → Run Behavioral Simulation，开始行为仿真：



- 如果没有出现报错信息，则弹出如图所示的仿真波形图。同学们可根据波形图验证所设计的逻辑门是否正确。验证通过后点击“X”关闭仿真窗口。



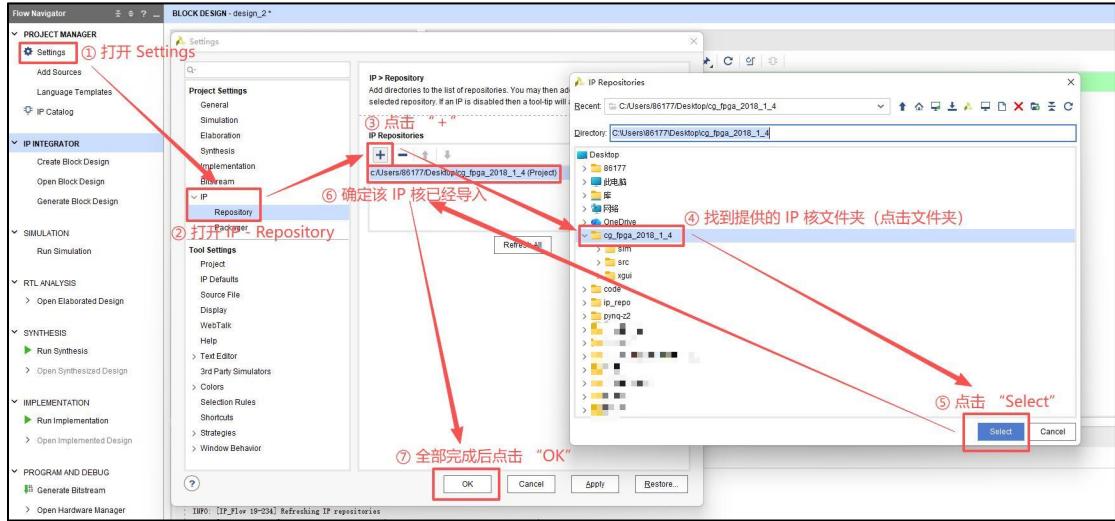
Flow Navigator 中右键 SIMULATION → Close Simulation 可以关闭仿真：



5.项目综合

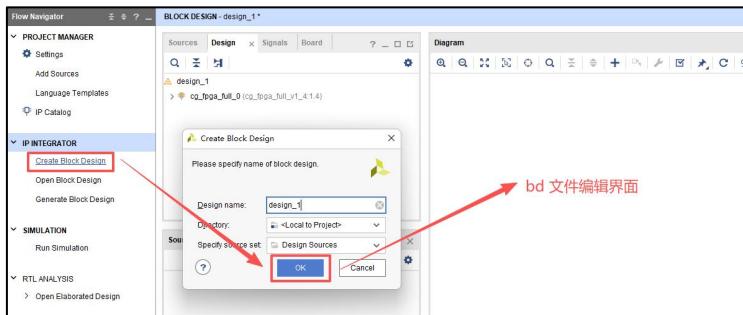
① 根据以下步骤为该项目导入用于测试的 IP 核:

该 IP 核的下载方式在本文档第 1 页有提及！！！压缩包需要解压！！！



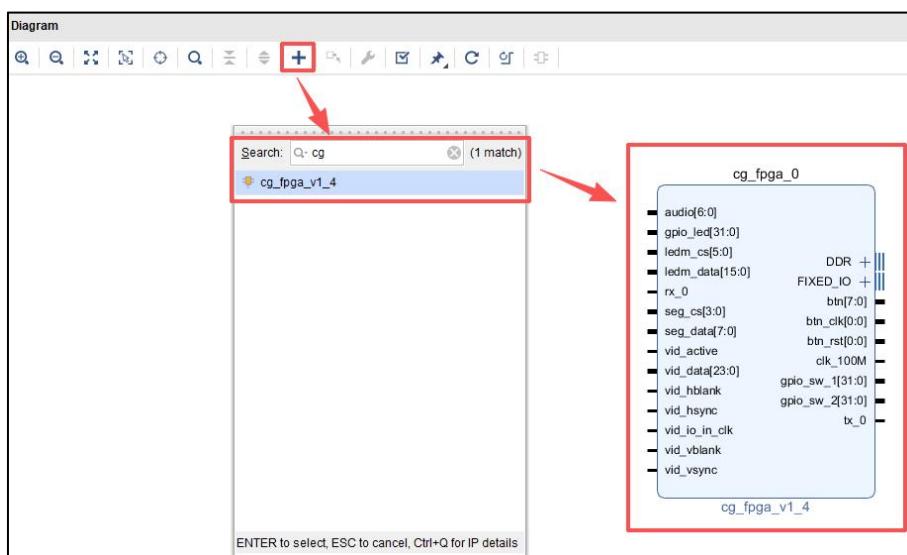
导入该 IP 核的目的是适配远程 FPGA 实验云平台的测试操作。

② 点击页面左侧“Create Block Design”，新建 bd 文件:

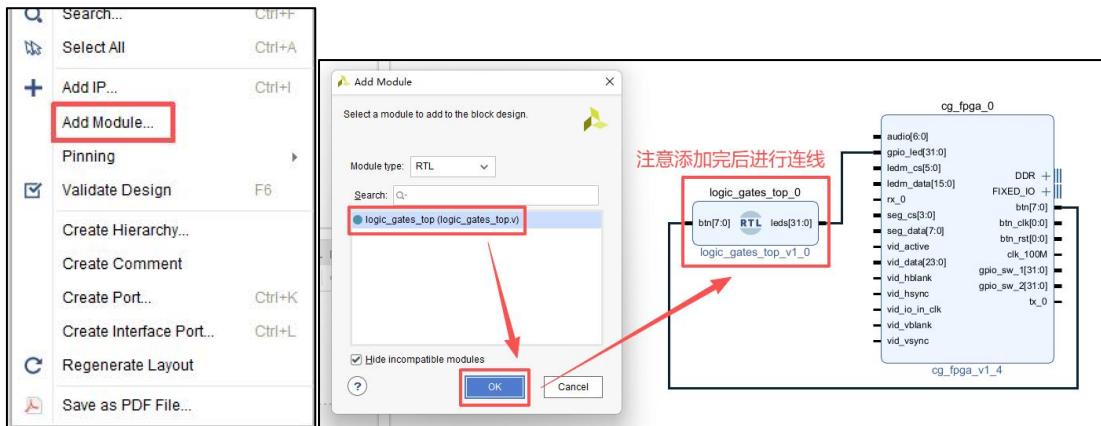


③ 点击“+”搜索“cg_fpga_v1_4”添加，如下图所示：

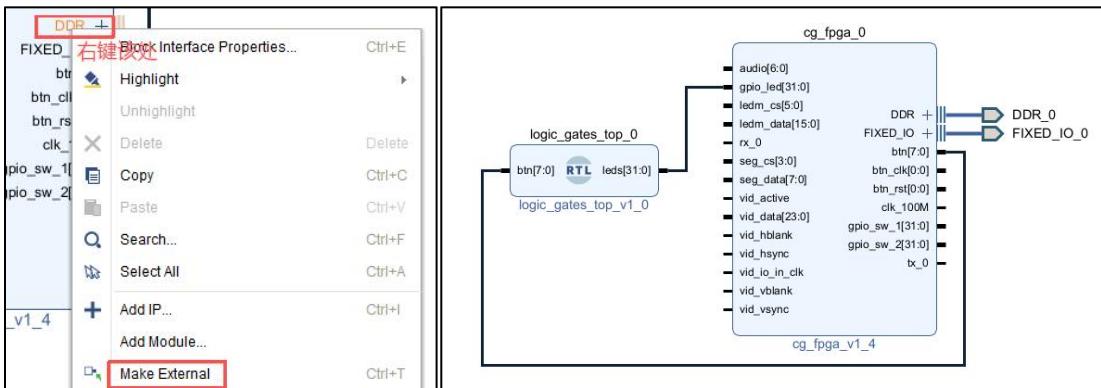
这里添加的便是在 ① 中导入的 IP 核，该 IP 核实际上是封装了远程 FPGA 开发板，其各接口的含义可在智慧树相关文档中查阅，后续实验也会陆续用到该 IP 核的若干接口用于实验的相关测试。



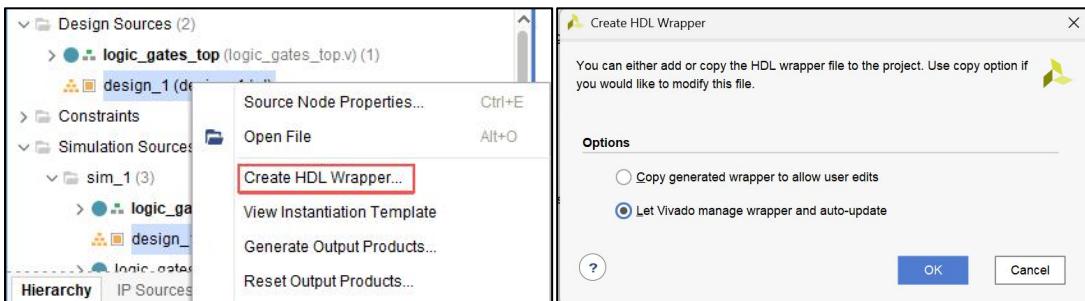
④ 点击鼠标右键，单击“Add Module”，选择“logic_gates_top”模块进行添加，并按照下图所示进行连线：



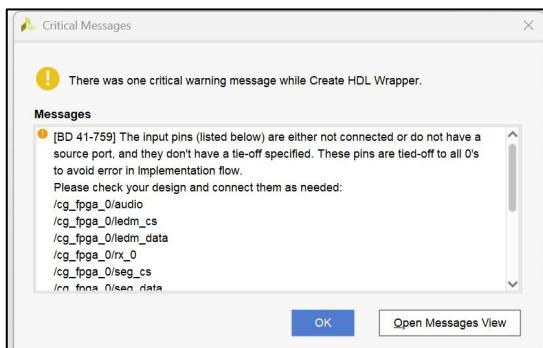
⑤ 针对“FIXED_IO”和“DDR”两个信号，点击鼠标右键选择“Make External”，最终如下图所示：



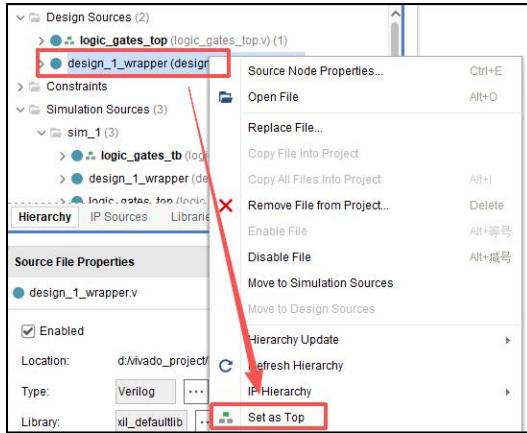
⑥ 鼠标右键点击 Sources 目录下的新建 bd 文件，选择“Create HDL Wrapper”在弹出的提示框点击“OK”，生成 Wrapper 文件：



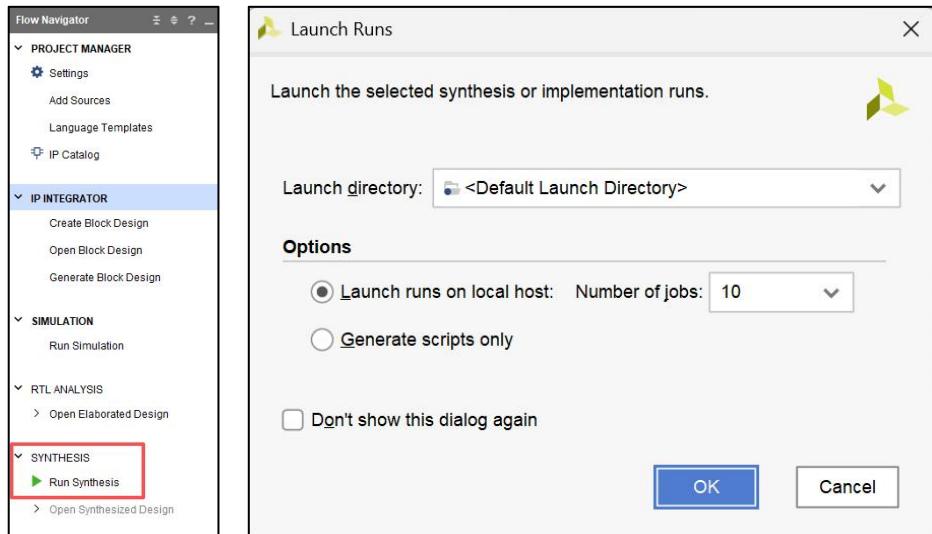
此警告可以忽略，不影响综合，点击 OK：



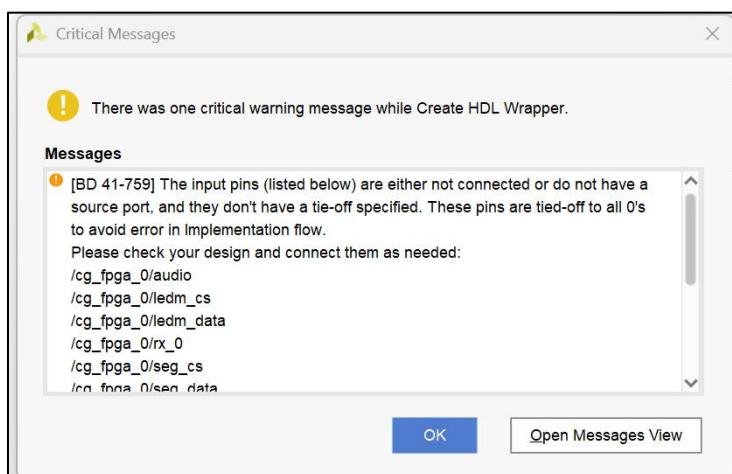
⑦ 将新生成的 Wrapper 文件右键点击，选择“Set as Top”将该文件设置成顶层文件（如已经是顶层执行文件则无需理会此步骤）：



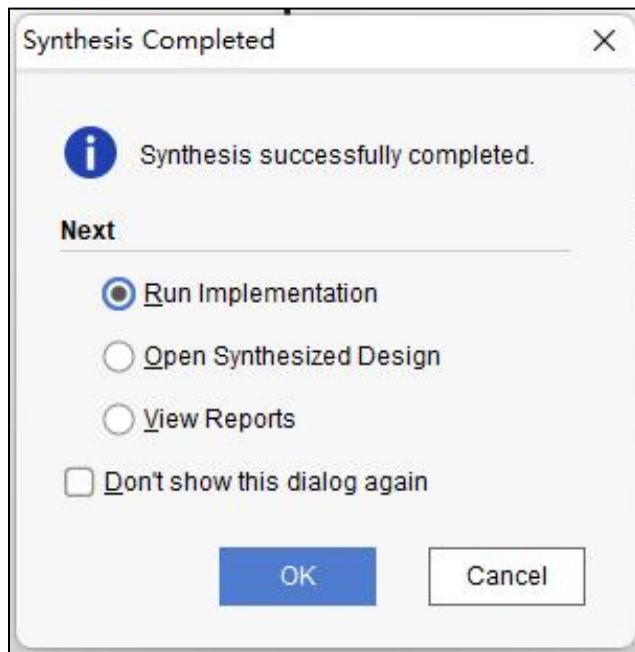
⑧ 在 Flow Navigator 中，点击 SYNTHESIS → Run Synthesis，弹出以下窗口，点击 OK，开始进行工程综合：



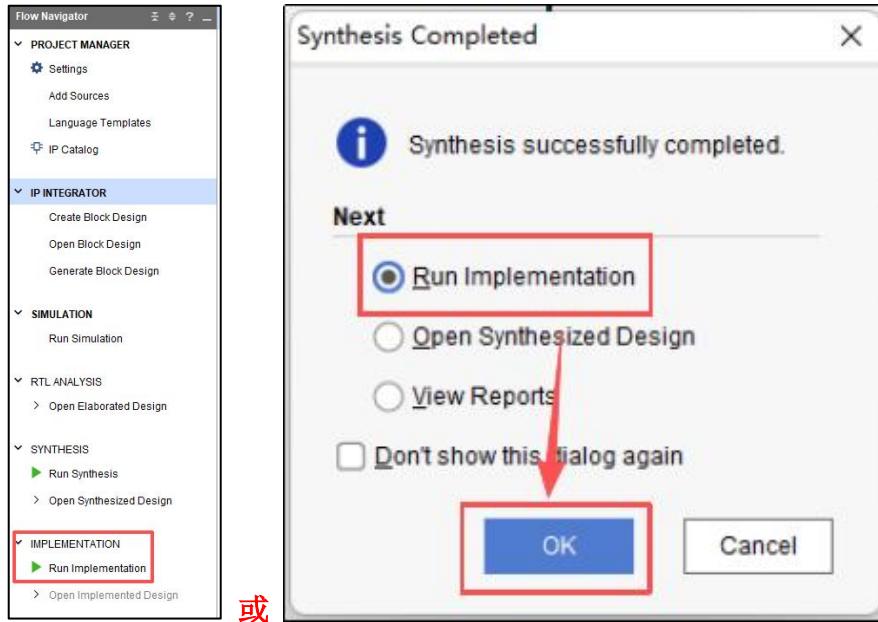
综合过程中会再次弹出警告，点击 OK：



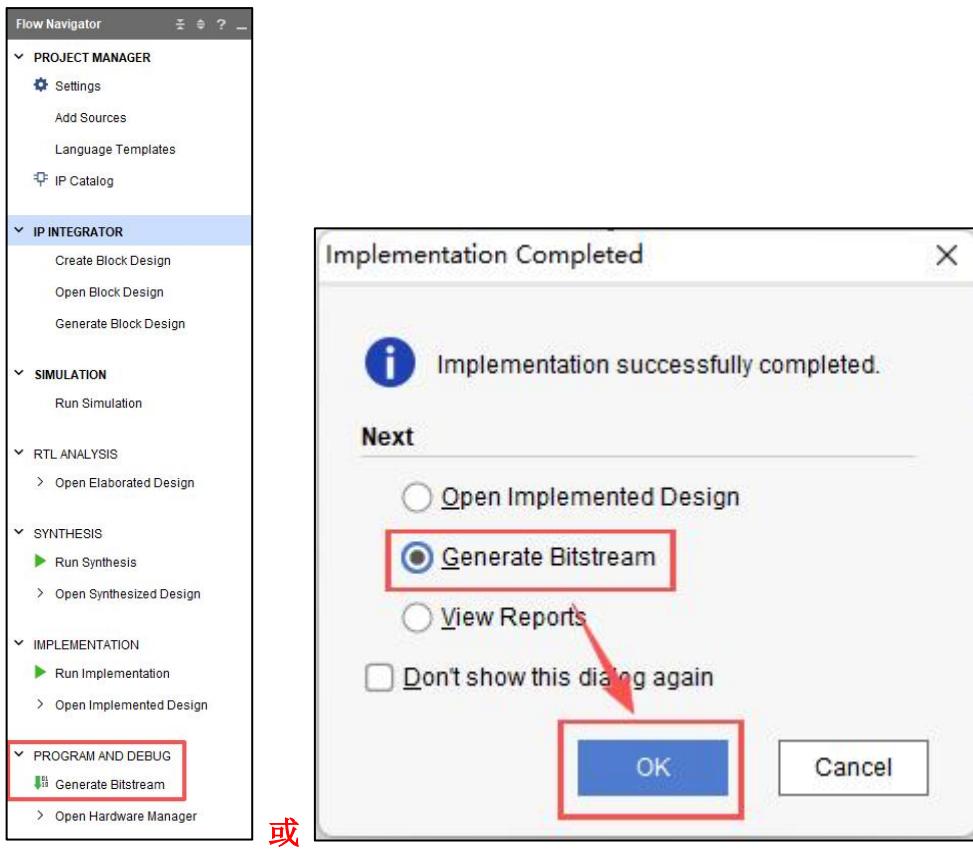
完成后弹出如下界面：



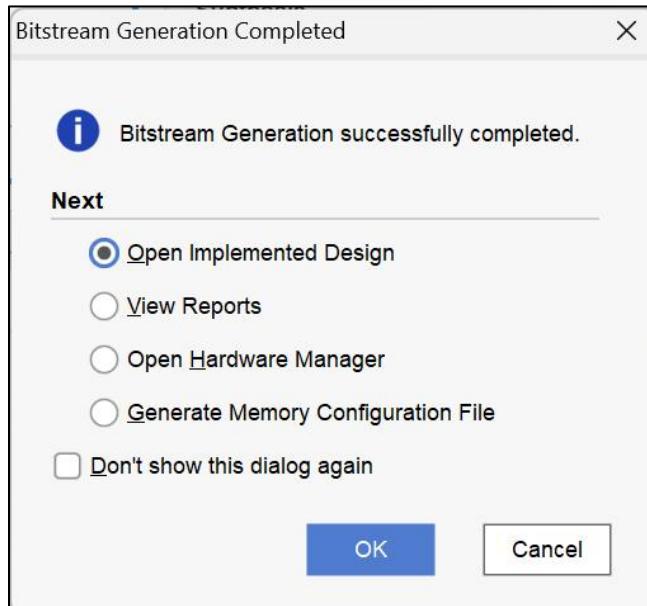
⑨ ⑧的综合完成后，如果没有报错，vivado 会弹出如下的窗口，提示综合已完成，等待设计者输入下一项任务。此时，可选择第 1 个选项 Run Implementation，点击 OK 按钮开始实现过程。（用户也可单击 Cancel 按钮关掉该窗口，然后在 Flow Navigator 中单击 IMPLEMENTATION → Run Implementation，执行实现过程）



⑩ ⑨的实现完成后，如果没有报错，vivado 会弹出如下的窗口，提示实现已完成，等待设计者输入下一项任务。如果设计者需要继续生成 bit 文件，可选择第 2 个选项 Generate Bitstream，点击 OK 按钮，开始生成 bit 文件。（用户也可单击 Cancel 按钮关掉该窗口，然后在 Flow Navigator 中单击 PROGRAM AND DEBUG → Generate Bitstream，产生 bit 文件）



bit 文件生成完毕后会出现如下界面，单击 Cancel 按钮关掉该窗口。



至此，采用 Xilinx Vivado 进行数字逻辑电路开发的流程已经完毕，经过了创建工程、工程设计、行为仿真、工程配置、综合、实现、生成 bit 文件等步骤。这几个步骤同学们必须熟练掌握！当然，上述流程仅仅是 vivado 开发的简略流程，除此之外，vivado 还提供了十分丰富的设计、分析功能，包括原理图分析、资源使用情况报告、时序报告等等。大家可在使用过程中逐步体会！

三、 基于远程硬件平台的实验测试

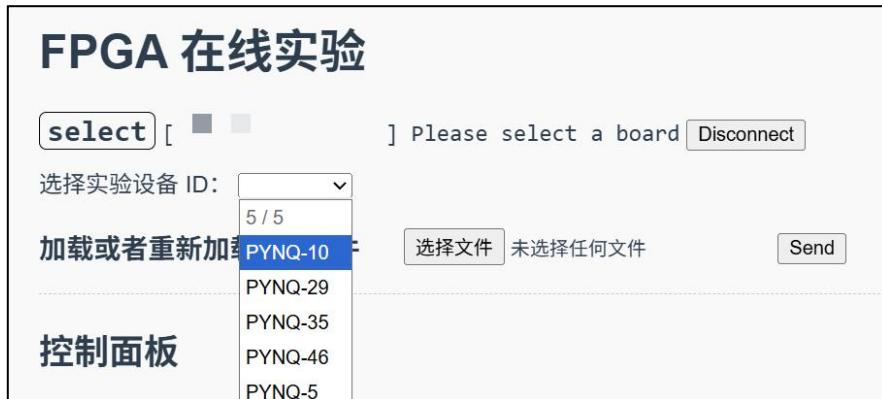
1. 延续该文档第 1 页的操作，进入远程 FPGA 在线实验平台



2. 点击 connect 连接 (连接后静置五分钟不操作，设备将自动断开)



再选择实验设备 ID，随便选一个即可：



之后点击“选择文件”，选中 .bit 后缀文件，点击 Send 进行烧写：

bit 文件路径：logic_gates 项目工程路径\logic_gates.runs\impl_1



烧写成功的状态为 working，提示“Load success”：

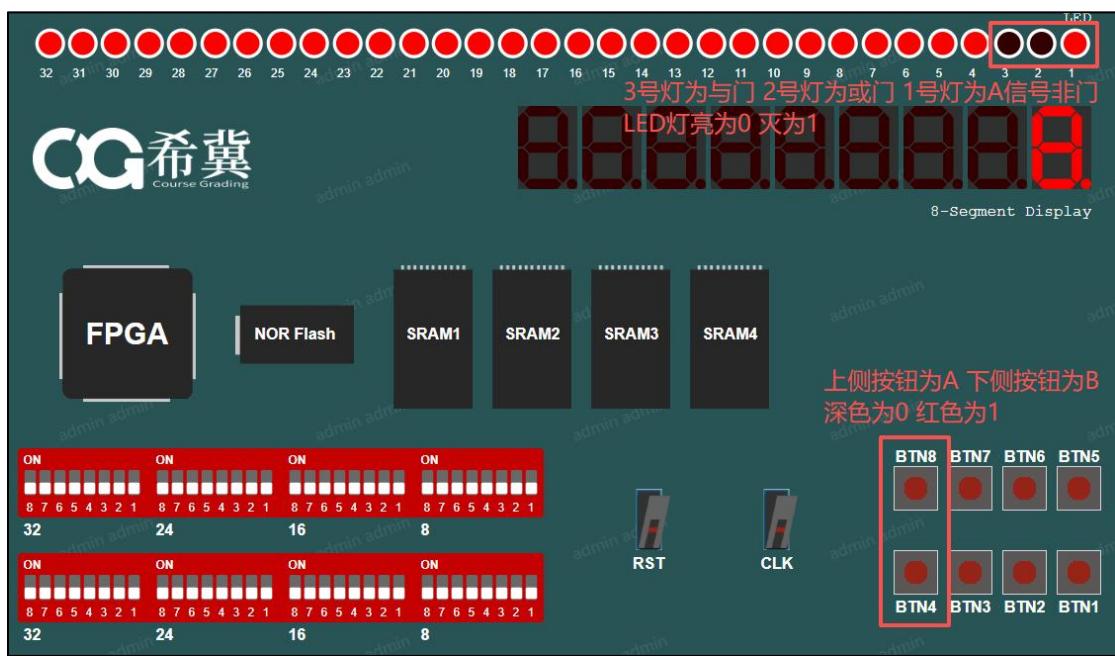
FPGA 在线实验

working [admin... Jmin] Load success Disconnect

选择实验设备 ID: PYNQ-12

加载或者重新加载 bit 文件 选择文件 未选择任何文件 Send

3. 操作外设，观察是否符合预期，本实验仅用到两个按键（表示两个操作数）和 3 个 led 灯（表示与或非的结果），具体如下图所示



自此 Vivado 的基本使用 -> 远程 FPGA 平台使用已经讲解完毕，基于此同学们可以实现复杂的数字系统了！