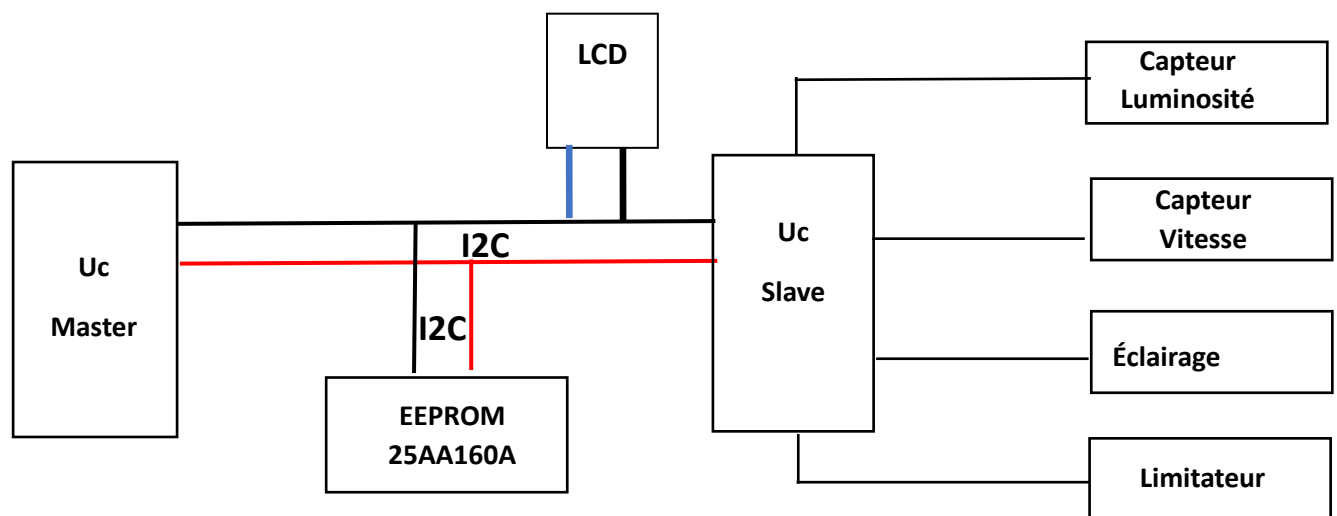


TP2

Tableau de bord d'un véhicule a base de communication I2C , SPI et PIC16F877A Master-slave

Un microcontrôleur gère un tableau de bord d'un véhicule électrique. Le tableau est schématisé dans la figure suivante et se compose de :

- 1 PIC 16F877A Maître communiquant avec I2C avec 400 KHz
- 1 PIC16F877A Esclave communiquant avec I2C connecté à :
 - Capteur de luminosité
 - Capteur de vitesse
 - Un gestionneur d'éclairage
 - Un Limiteur
- Une EEPROM série 24lc256 Communiquant avec I2C
- Un écran LCD communiquant avec le maître via I2C



Le fonctionnement du système est le suivant :

Le PIC Maître envoie une commande à l'esclave qui selon la commande soit il envoie la valeur de la température soit celle de la vitesse soit il active et désactive l'éclairage soit il active ou désactive le limiteur. Le maître utilise I2C pour communiquer. Le maître affiche les informations sur un LCD connecté par I2C.

Le maitre, chaque seconde, lit les valeurs de luminosité et vitesse et les enregistre dans la EEPROM via I2C.

- 1- Combien de commandes doivent être utilisées par le maitre pour différencier les actions à exécuter par l'esclave ? dans un tableau donner un code sur 8 bits de votre choix pour chaque commande.
- 2- Détailler la liaison I2C entre Maitre-Esclave et EEPROM
- 3- Donner la valeur de SSPCON, SSPSTAT coté esclave.
- 4- Donner la valeur de SSPCON, SSPSTAT coté Maitre.
On suppose que la Vitesse est enregistrée dans la variable **Vitesse** et luminosité dans la variable **Lum** et que la commande du Limitateur est le gestionneur de feu se fait via RC0 et RC1.
- 5- Ecrire en C le programme de l'esclave.
- 6- Ecrire en C le programme du maitre.

	R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF

SMP: Sample bit

Mode I²C (maître ou esclave)

1 - Contrôle de la vitesse de balayage désactivé pour le mode de vitesse standard (100 kHz).

0 - Contrôle de la vitesse de balayage activé pour le mode haute vitesse (400 kHz).

CKE - Le bit de sélection du front d'horloge

In I2 C Master or Slave mode :

1 = Input levels conform to SMBus spec

0 = Input levels conform to I2C specs

D/A: Data/Address bit Mode I2C seulement.

1 - Indique que le dernier octet reçu ou transmis était une donnée.

0 - Indique que le dernier octet reçu ou transmis était une adresse

P - Stop bit mode I²C seulement

1 - STOP bit détecté

0 - STOP bit not détecté

S - Start bit mode I²C mode seulement.

1- START bit detecté.

0 - START bit non detecté.

R/W - Read Write bit est utilisé uniquement en mode I 2 C.

Ce bit contient les informations de bit R/W suivant la dernière correspondance d'adresse. Ce bit n'est valide qu'à partir de la correspondance d'adresse jusqu'au prochain bit Start, Stop bit ou not ACK bit.

En mode esclave I²C

1 - Données lues.

0 - Ecriture de données.

En mode maître I²C

1 - La transmission est en cours.

0 - La transmission n'est pas en cours.

UA - Update Address bit est utilisé uniquement en mode I2C 10 bits.

1 - Le registre SSPADD doit être mis à jour.

0 - L'adresse dans le registre SSPADD est correcte et n'a pas besoin d'être mise à jour.

BF Buffer Full Status bit

Pendant la réception des données (en modes SPI et I²C)

1 - Réception terminée. Le registre SSPBUF est plein.

0 - La réception n'est pas terminée. Le registre SSPBUF est vide.

Pendant la transmission des données (en mode I²C uniquement)

1 - Transmission de données en cours (n'inclut pas les bits ACK et STOP).

0 - Transmission des données terminée (n'inclut pas les bits ACK et STOP).

	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (0)	Features
SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
								Bit name

Bit de détection de collision d'écriture WCOL

- 1 - Collision détectée. Une écriture dans le registre SSPBUF a été tentée alors que les conditions I²C n'étaient pas valides pour qu'une transmission démarre
- 0 - Aucune collision.

Bit indicateur de débordement de réception SSPOV

- 1 - Un nouvel octet est reçu alors que le registre SSPSR contient toujours les données précédentes.
- 0 - Les données série sont correctement reçues.

SSPEN - Le bit d'activation du port série synchrone En mode SPI

- 1 - Active le module MSSP et configure les broches SCK, SDO, SDI et SS comme source des broches du port série ;
- 0 - Désactive le module MSSP et configure ces broches comme broches de port d'E/S.

En mode I²C

- 1 - Active le module MSSP et configure les broches SDA et SCL comme source des broches du port série ; et
- 0 - Désactive le module MSSP et configure ces broches comme broches de port d'E/S.

CKP - Le bit de sélection de polarité d'horloge n'est pas utilisé en mode maître I²C. En mode SPI

- 1 - L'état d'inactivité de l'horloge est à un niveau haut ; et
- 0 - L'état inactif de l'horloge est à un niveau bas.

En mode esclave I²C

- 1 - Active l'horloge ; et
- 0 - Maintient l'horloge basse. Utilisé pour fournir plus de temps pour la stabilisation des données.

SSPM3-SSPM0 - Bits de sélection du mode de port série synchrone.

0101 = SPI mode Esclave, clock = SCK, SS non validée, SS peut être utilisée en E/S

0100 = SPI mode Esclave, clock = SCK , SS (select slave)

0011 = SPI mode Maître, clock = TMR2 output/2

0010 = SPI mode Maître , clock = FOSC/64

0001 = SPI mode Maître , clock = FOSC/16

0000 = SPI mode Maître , clock = FOSC/4