

## DIC HW2

20175186 최지호

Spice code for the RC transient circuit.

\* rc.sp for SPICE3F5

Vin in 0 pwl 0ps 0 100ps 0 150ps 1.0 1ns 1.0

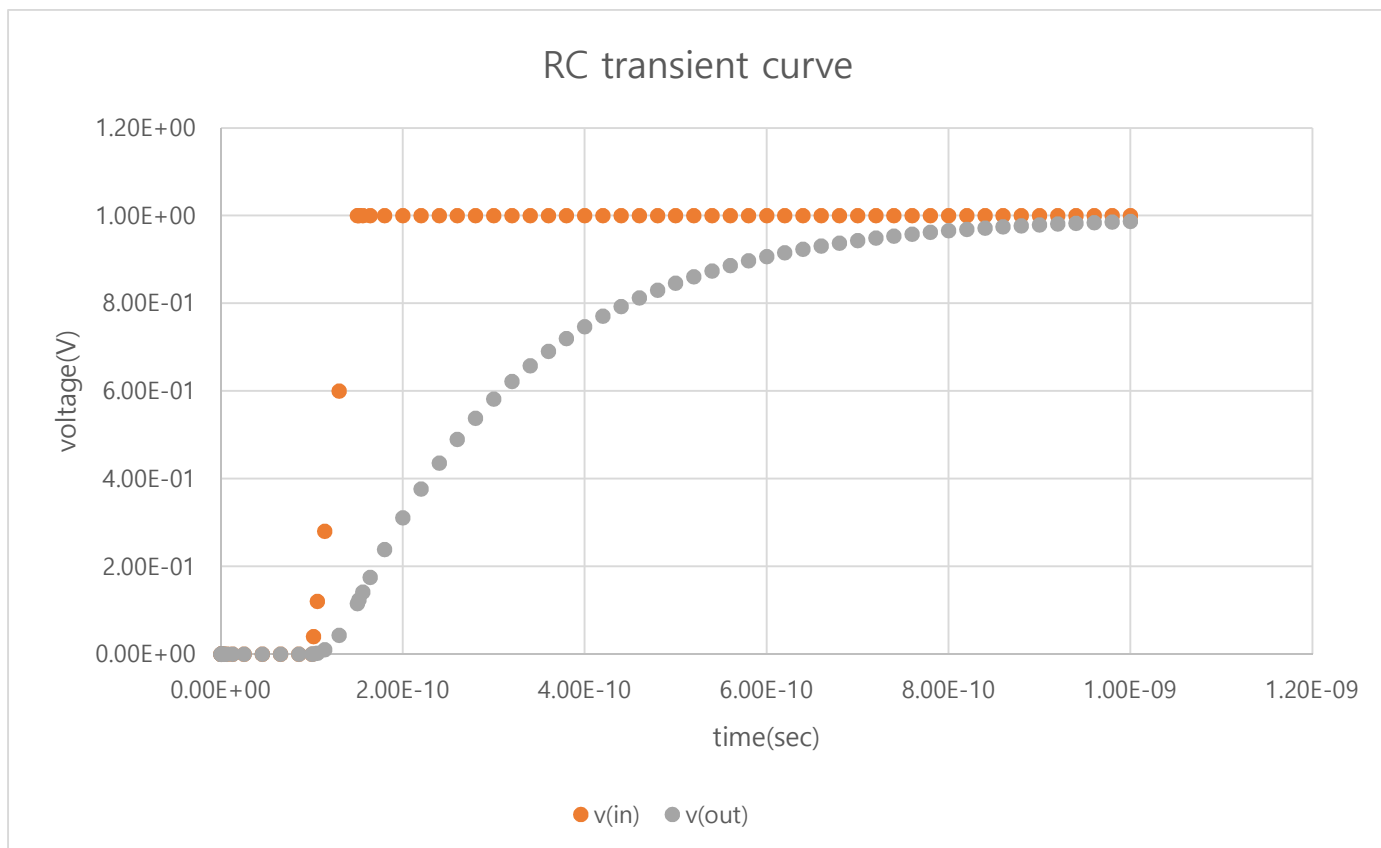
R1 in out 2k

C1 out 0 100f

.tran 20ps 1ns

.print tran v(in) v(out)

.end



Circuit simulation analysis

전체 1ns 시간에서 Vout이 1V의 50%에 도달하는데 280ps정도가 걸림을 확인할 수 있었다. 이러한 동작 특성은, capacitor가 passive element로써 느린 동작 속도를 가지다는 사실을 확인할 수 있었다.

Spice code for the NMOSFET

```
* mosiv.sp for spice3f5
```

```
.include models_1p2mu.sp
```

```
Vgs g 0 0
```

```
Vds d 0 0
```

```
M1 d g 0 0 NMOS W=2.4 L=1.2
```

```
.dc Vds 0 5.0 0.05 Vgs 0 5.0 1.0
```

```
.plot dc V(g) I(Vds)
```

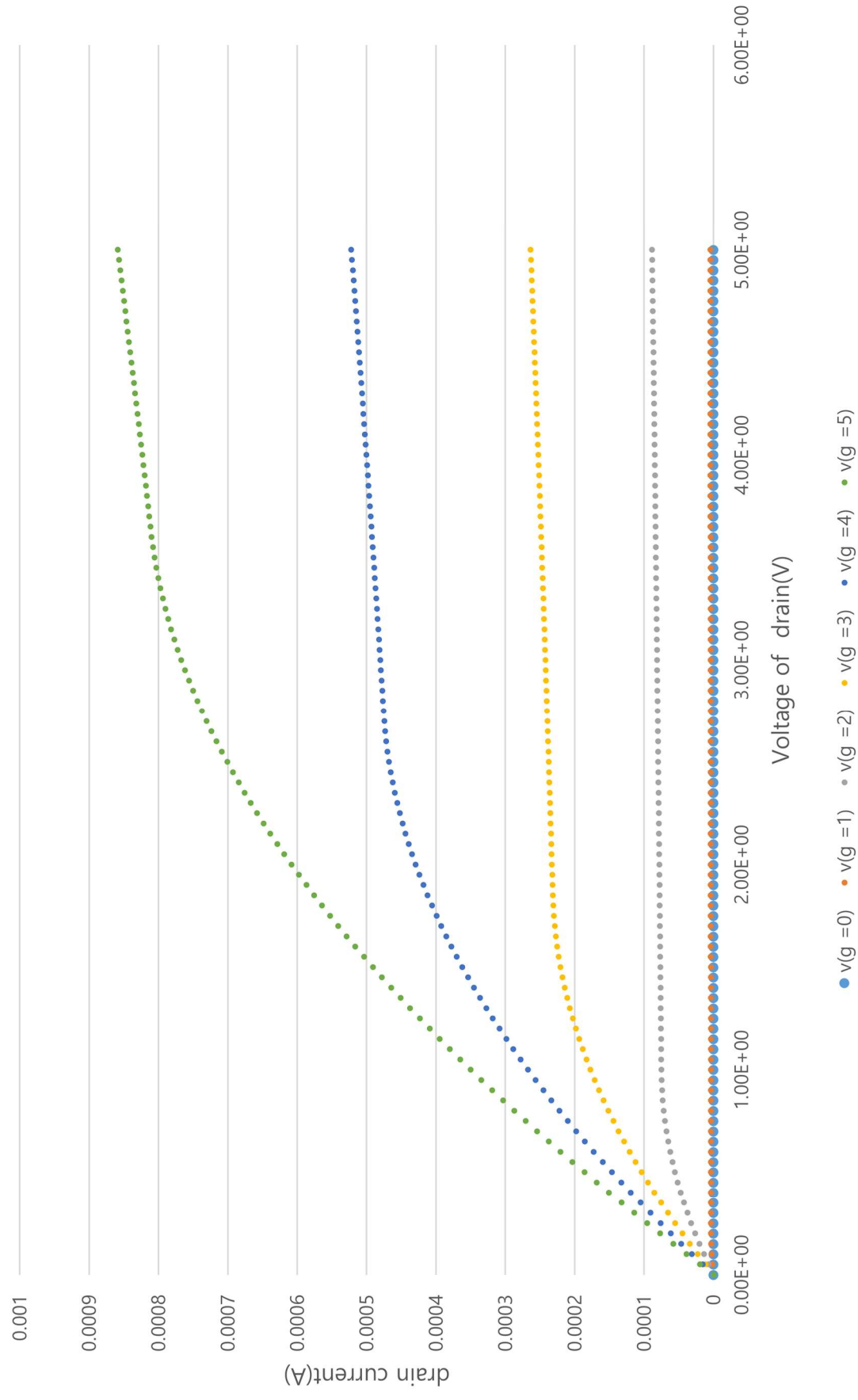
```
.end
```

Circuit simulation analysis

각각의 gate voltage에 대해서 drain voltage를 변화시키며 drain current를 관측하였다.

Gate voltage가 특정 전압, 즉 threshold voltage 이하로는 drain current가 0이 됨을 확인할 수 있었다. 또한 아래의 curve에서 triode 영역과 saturation 영역의 존재를 확인할 수 있으며, ideal한 mosfet과 다르게 channel length modulation effect에 의해서 saturation 영역에서도 drain voltage 변화에 의해서 drain current가 변화하는 것을 관찰 할 수 있으며, Simulation 값을 기반으로  $d(I_{ds})/d(V_{ds})$  에 해당하는 output resistance를 계산할 수 있었으며,  $10^4$ order의  $\Omega$ 값임을 확인 할 수 있었다.

MOS\_IV curve



Spice code for the CMOS inverter

\* inv.sp for SPICE3F5

```
.include models_1p2mu.sp
```

```
Vdd Vdd 0 5.0
```

```
Vin a 0 0.0
```

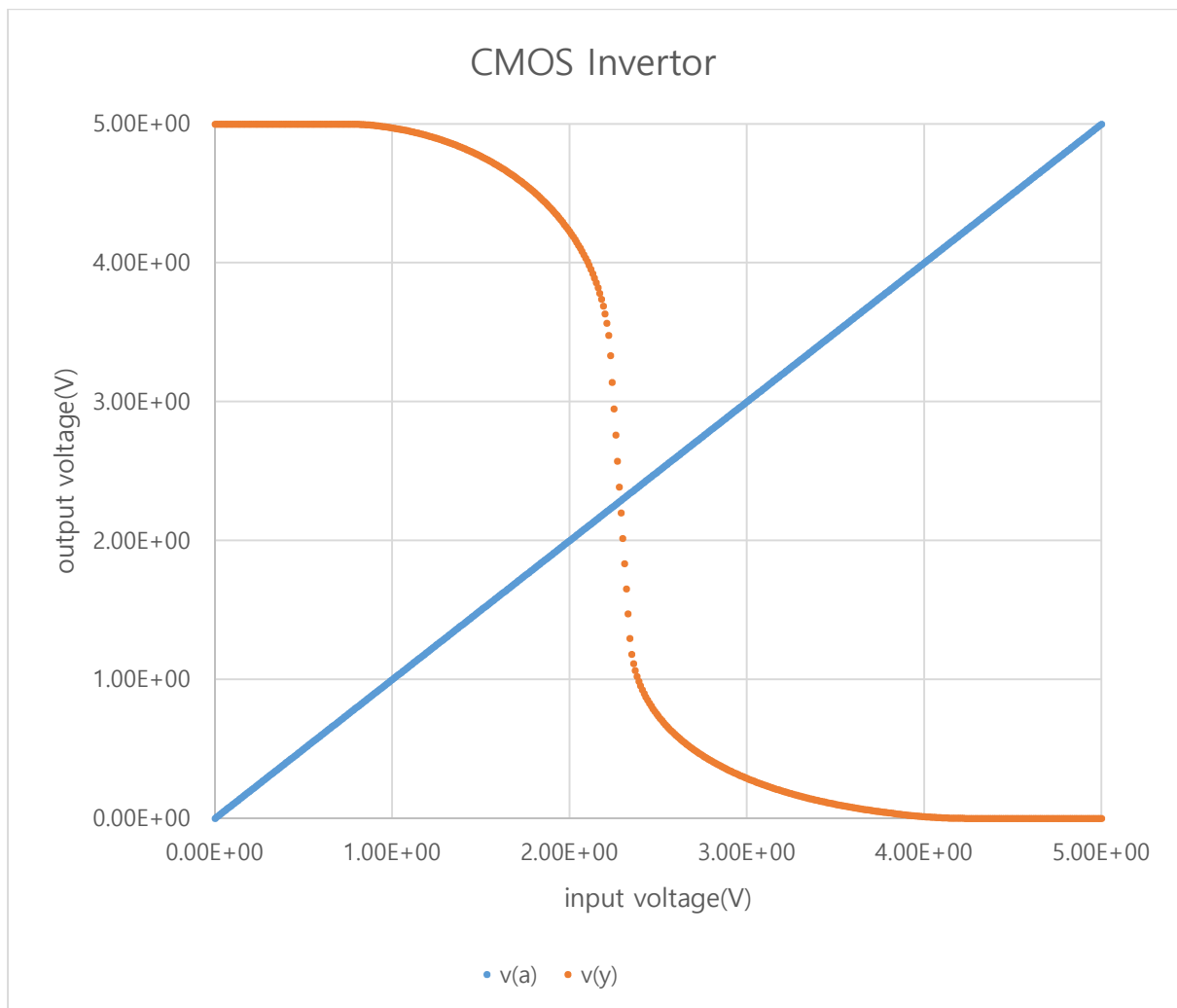
```
M1 y a 0 0 NMOS W=2.4 L=1.2
```

```
M2 y a Vdd Vdd PMOS W=4.8 L=1.2
```

```
.dc Vin 0 5 0.01
```

```
.print dc V(a) V(y)
```

```
.end
```



## Circuit simulation analysis

$V_{in}$ 을 0V에서부터 5V까지 변화시키면서 output node의 voltage를 관찰하였다. NMOS와 PMOS 전류 특성을 비슷하게 맞추어 주기 위하여 W/L 값을 조절하였기에 즉, W/L이 nmos와 pmos에 대하여 1:2의 비율 curve가 2.5V 근처에서 근사적으로 점 대칭적 임을 확인할 수 있었다. Simulation의 data를 통해서 noise margin( $d(V_{out})/d(V_{in}) = -1$ )인 지점을 찾을 수 있었고 logical low input의 noise margin은  $V_{in} = 1.74V$ 인 지점, 즉 NM도 1.74V가 됨을 확인 할 수 있었고, logical high input의 noise margin은  $V_{in} = 2.66V$ 인 지점, 즉 NM은  $5V - 2.66 = 2.34V$  임을 확인 할 수 있었다.