

## **Тема №7 "Схемотехника на полевых транзисторах"**

*Логические элементы на полевых МДП-транзисторах с одним типом проводимости. Схемы, назначения компонентов, принцип работы, определение потенциалов в различных точках схем, параметры, характеристики, временные диаграммы, область применения. Логические элементы на комплементарных КМДП-транзисторах. Схемы, назначение компонентов, принцип работы, определение потенциалов в различных точках схем, параметры, характеристики, временные диаграммы, область применения.*

### **1.1. Логические элементы на полевых транзисторах**

Наряду с элементами на биполярных транзисторах в микроэлектронике широко используются элементы на полевых транзисторах, которые считаются лучшими элементами для больших интегральных схем.

Из полевых транзисторов (ПТ) при создании ЛЭ наибольшее распространение получили ПТ с изолированным затвором. Они имеют структуру металл-диэлектрик-полупроводник и кратко называются МДП-транзисторами. В большинстве случаев в качестве диэлектрика используется окисел полупроводника, отсюда другое название – МОП-транзисторы.

Различают МДП-транзисторы с индуцированным каналом и МДП-транзисторы со встроенным каналом.

Упрощенная структура МДП-транзистора с индуцированным каналом р-типа показана на рис. 20,а.

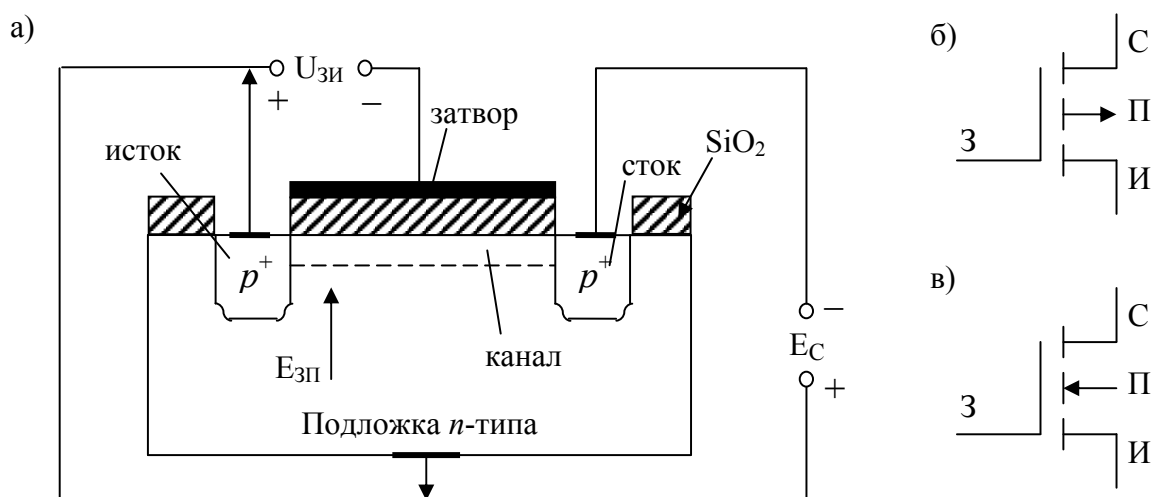


Рис. 1.

В подложке из кремния  $n$ -типа с высоким удельным сопротивлением методом диффузии созданы две сильно легированные области  $p^+$ -типа. Эти области отделены друг от друга встречно включенными ЭДП  $p^+-n$  и  $n-p^+$ . Поэтому если между этими  $p^+$ -областями включить источник внешнего напряжения  $E_C$ , то при любой его полярности один из ЭДП окажется включенным в обратном направлении и в цепи будет протекать очень незначительный ток, являющийся обратным током закрытого ЭДП.

На поверхности полупроводника между  $p^+$ -областями создают тонкий слой диоксида кремния  $SiO_2$ , обладающего высокими диэлектрическими свойствами. На этот слой напыляется металлическая пленка, служащая управляющим электродом – затвором. Если к металлическому затвору приложить отрицательное относительно подложки напряжение, то под действием возникшего электрического поля с напряженностью  $E_{зп}$  электроны начнут уходить от поверхности в глубину подложки, а дырки, наоборот, будут поступать из глубины подложки к ее поверхности. При некотором значении напряжения между затвором и подложкой концентрация дырок в приповерхностном слое подложки оказывается больше концентрации электронов, т. е. в приповерхностном слое подложки между  $p^+$ -областями

образуется область с электропроводностью р-типа. Это явление называют инверсией электропроводности, а образовавшийся в приповерхностном слое р-слой – каналом. Теперь если между р<sup>+</sup>-областями включить источник внешнего напряжения  $E_C$ , то в образовавшейся электрической цепи потечет ток, создаваемый движением основных носителей заряда (дырок). Область р<sup>+</sup>, от которой начинается движение основных носителей, называется истоком, а область р<sup>+</sup>, к которой эти носители движутся – стоком. Сила протекающего тока, называемого током стока  $I_C$ , зависит от толщины (ширины) канала, которую можно изменять изменением напряжения на затворе  $U_{зи}$  (исток электрически соединяется с подложкой).

Напряжение  $U_{зи}$ , при котором появляется инверсия электропроводности приповерхностного слоя подложки, называется пороговым и обозначается  $U_{зи\text{пор}}$ .

При увеличении абсолютного значения отрицательного напряжения  $U_{зи}$  ширина канала увеличивается, что приводит к уменьшению его сопротивления и увеличению тока стока  $I_C$ .

Условное обозначение МДП-транзистора с каналом р-типа показано на рис. 20,б.

Если использовать подложку р-типа со встроенными п<sup>+</sup>-областями стока и истока, то получится МДП-транзистор с индуцированным каналом n-типа. В таком транзисторе на затвор и на сток необходимо подавать положительные напряжения. Условное обозначение МДП-транзистора с индуцированным каналом n-типа показано на рис. 20,в.

### **Статические характеристики МДП-транзисторов с индуцированным каналом**

Эти характеристики отражают зависимость тока стока от напряжений  $U_{зи}$  и  $U_{си}$ . Практическое применение получили статические сток-затворные и стоковые, или выходные, характеристики.

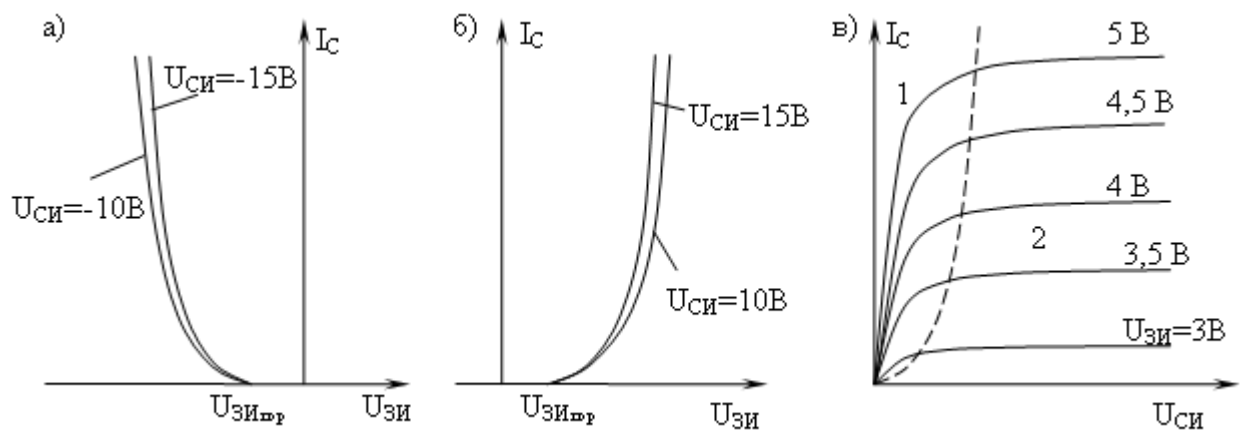


Рис. 2.

На рис. 21,а приведены сток-затворные характеристики МДП-транзистора с индуцированным каналом р-типа, а на рис. 21,б – МДП-транзистора с индуцированным каналом n-типа. Как видно из этих характеристик напряжение  $U_{СИ}$  оказывает слабое влияние на ток стока, поэтому часто вместо семейства приводится одна сток-затворная характеристика.

Выходные, или стоковые характеристики МДП-транзистора с индуцированным каналом n-типа показаны на рис. 20,в. Они похожи на выходные характеристики биполярного транзистора, включенного по схеме ОЭ, но в отличие от них при разных значениях  $U_{ЗИ}$  восходящие участки имеют различную крутизну. На стоковых характеристиках можно выделить две области: крутую (1) и пологую (2).

Связь между током стока  $I_C$  и напряжениями на электродах МДП-транзистора с индуцированным каналом определяется уравнениями Хофстайна. Для крутой области характеристик

$$I_C = K[(U_{ЗИ} - U_{ЗИ\text{ пор}})U_{СИ} - 0,5U_{СИ}^2],$$

где  $K$  – удельная крутизна, измеряемая в  $A/V^2$  и зависящая от размеров канала и материала диэлектрика.

Для пологой области характеристик

$$I_C = 0,5 K(U_{ЗИ} - U_{ЗИ\text{ пор}})^2.$$

## МДП-транзисторы со встроенным каналом

В этих транзисторах на этапе изготовления между стоком и истоком создается тонкий канал с таким же типом электропроводности. Поэтому при подключении внешнего источника напряжения  $E_C$  ток будет протекать даже при  $U_{зи} = 0$ . Изменяя напряжение  $U_{зи}$  можно изменять толщину канала и, следовательно, протекающий через него ток стока.

Сток-затворные и стоковые характеристики МДП-транзистора со встроенным каналом n-типа показаны на рис. 22,а,б, а его условное обозначение – на рис. 22,в.

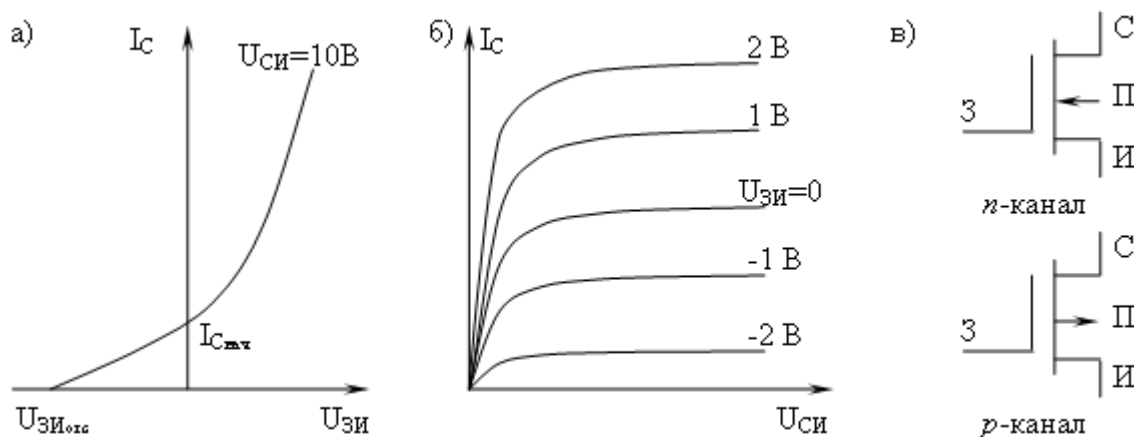


Рис. 3.

Ток стока при  $U_{зи} = 0$  называется начальным и обозначается  $I_{C \text{ нач}}$ . При подаче на затвор положительного напряжения происходит расширение канала и увеличение тока стока. При  $U_{зи} < 0$  канал сужается и ток стока уменьшается. Напряжение  $U_{зи}$ , при котором ток стока уменьшается до нуля, называется напряжением отсечки и обозначается  $U_{зи \text{ отс}}$ .

Основу статических элементов, выполненных на МДП-транзисторах, составляет инвертор, или ключевая схема, содержащая управляющий транзистор и нагрузку. В зависимости от типа нагрузки можно выделить пять основных типов инверторов: с линейной, нелинейной, квазилинейной, токостабилизирующей нагрузкой и инвертор на комплементарных МДП-транзисторах, или КМДП-инвертор.

## Инвертор с линейной нагрузкой

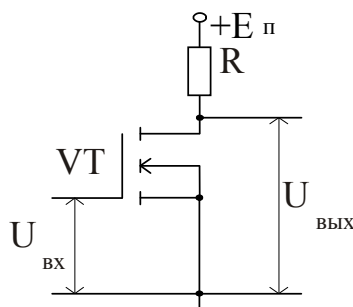


Рис. 4.

В инверторе с линейной нагрузкой (рис. 23) при подаче на затвор напряжения логического нуля  $U_{ЗИ} = U_{вх}^0 < U_{ЗИпор}$  транзистор VT закрыт и через него протекает лишь незначительный ток утечки  $I_{ут}$ . На выходе образуется напряжение логической единицы:  $U_{вых}^1 = E_{п} - I_{ут} R \approx E_{п}$ .

Если на затвор подано напряжение логической единицы  $U_{ЗИ} = U_{вых}^1 \approx E_{п}$ , то транзистор откроется и на его выходе образуется напряжение низкого уровня  $U_{вых}^0$ , определяемое формулой:  $U_{вых}^0 = E_{п} - I_C R$ .

Это напряжение будет тем меньше, чем больше сопротивление резистора R по сравнению с сопротивлением канала  $R_k$  открытого управляющего транзистора VT. Обычно выбирают R таким, чтобы его сопротивление превышало сопротивление канала открытого транзистора в 20 раз и более.

При  $U_{вых} = U_{вых}^0$  инвертор потребляет от источника питания мощность  $P^0 = I_{пот}^0 E_{п} = E_{п} (E_{п} - U_{вых}^0)/R \approx E_{п}^2/R$ , а при  $U_{вых} = U_{вых}^1$  потребляемая им мощность близка к нулю:  $P^1 = I_{пот}^1 E_{п} = I_{ут} E_{п} \approx 0$ . Следовательно, средняя потребляемая мощность инвертора с линейной нагрузкой равна:

$$P_{ср} = 0,5 (P^0 + P^1) \approx 0,5 P^0 = 0,5 E_{п}^2 / R.$$

Передающую характеристику (ПХ) инвертора можно построить, используя выходные характеристики управляющего транзистора VT и линию нагрузки

$$U_{СИ} = E_{п} - I_C R.$$

На рис. 24,а приведены выходные характеристики МДП-транзистора с индуцированным каналом n-типа, имеющего параметры  $U_{ЗИ пор} = 2,5 \text{ В}$ ,  $K = 0,04$

мА/В<sup>2</sup>, и линия нагрузки, построенная для  $R = 50$  кОм и  $E_{\Pi} = +10$  В. При  $U_{\text{ВХ}} \leq 2,5$  В ПХ представлена горизонтальным отрезком  $U_{\text{ВЫХ}} = E_{\Pi} = 10$  В (рис. 24.,б). Остальные точки ПХ получаются перенесением на нее точек с координатами, определяемыми точками пересечения выходных характеристик с линией нагрузки. Например, при  $U_{\text{ВЫХ}} = U_{\text{СИ}} = 6$  В линия нагрузки пересекается с выходной характеристикой, снятой при  $U_{\text{ВХ}} = U_{\text{ЗИ}} = 4,5$  В.

Точка пересечения ПХ с линией единичного наклона  $U_{\text{ВЫХ}} = U_{\text{ВХ}}$  определяет средний порог переключения инвертора  $U_{\text{пор. ср.}}$ .

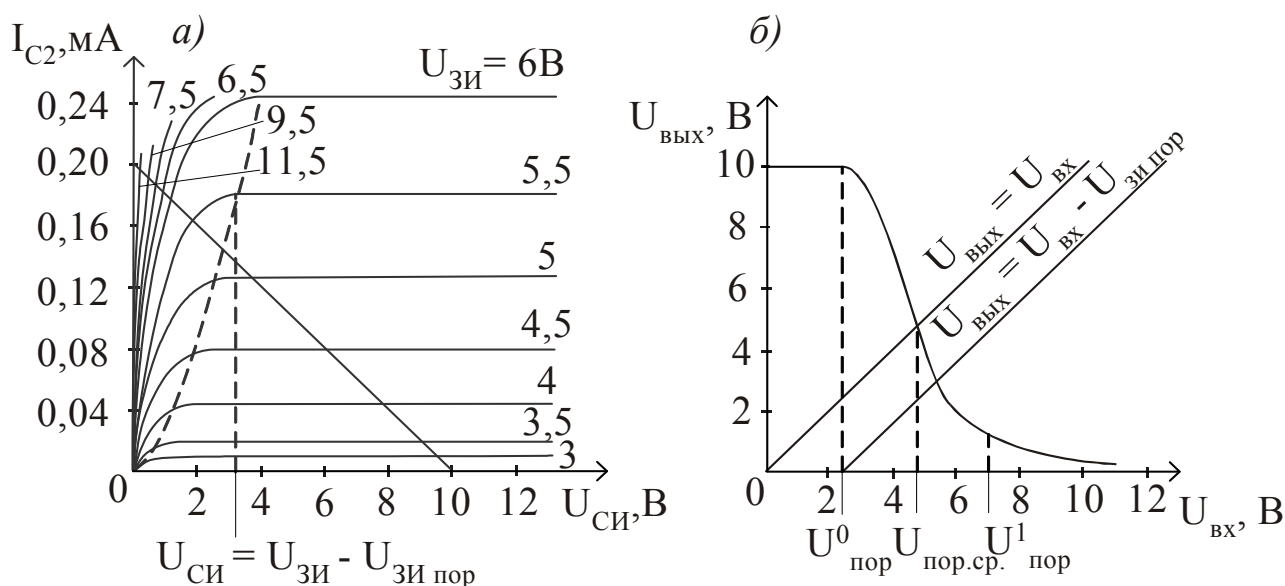


Рис. 5.

Недостатком инвертора с линейной нагрузкой является то, что площадь, занимаемая на подложке микросхемы резистором  $R$ , изготовленном методом диффузии, в 30...50 раз превышает площадь, занимаемую транзистором. Кроме того между диффузионным резистором и подложкой образуется большая распределённая ёмкость, что существенно ухудшает динамические параметры инвертора. Из-за этих недостатков инвертор с линейной нагрузкой находит ограниченное применение.

### Инвертор на МДП-транзисторах с нелинейной нагрузкой

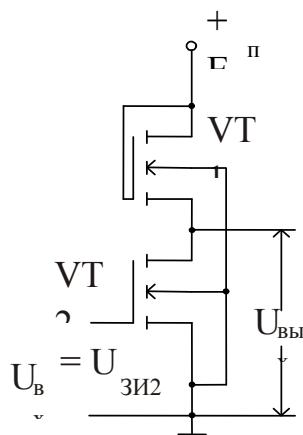


Рис. 6.

На рис. 25 приведена схема инвертора, у которого нагрузкой является МДП - транзистор VT1 с каналом n-типа. Этот транзистор всегда открыт, т.к. его затвор подключен к источнику  $+E_n$ . Поскольку при открытом управляющем транзисторе VT2 для обеспечения малого значения выходного напряжения низкого уровня (логического 0) сопротивление канала открытого транзистора VT1 должно не менее, чем в 20 раз превышать сопротивление канала открытого управляющего транзистора VT2, то удельная крутизна  $K_1$  нагрузочного транзистора VT1 должна быть меньше удельной крутизны  $K_2$  управляющего транзистора. Это достигается технологическим путем на этапе изготовления элемента: нагрузочный транзистор изготавливают с узким и длинным каналом, а управляющий – с коротким и широким.

На рис. 26,а приведены выходные характеристики нагрузочного транзистора VT1, для которого удельная крутизна  $K_1=0,005 \text{ мА/В}^2$  и  $U_{зи\text{ пор}} = 3\text{В}$ . Так как для нагрузочного транзистора выполняется условие

$$U_{зи1} = U_{си1}$$

то геометрическое место точек, удовлетворяющее этому условию, является вольт – амперной характеристикой резистора МДП – типа (кривая  $U_{зи} = U_{си}$  ).



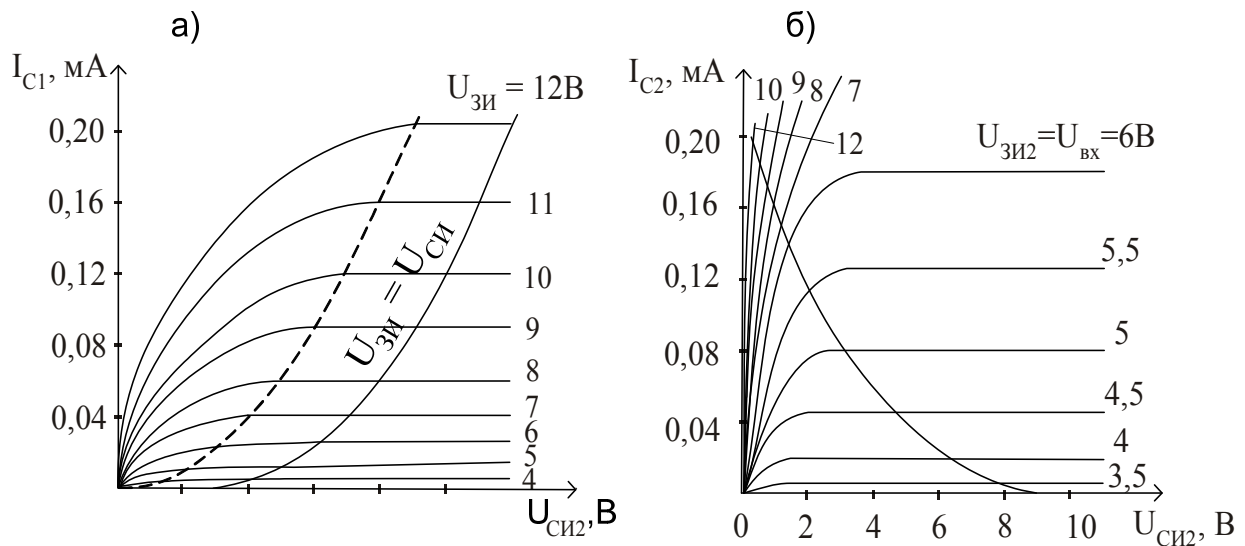


Рис. 7.

Выходные характеристики управляющего транзистора VT2 с параметрами  $K_2 = 0,04 \text{ мА/В}^2$ ,  $U_{3И \text{ пор}2} = 3 \text{ В}$  приведены на рис. 26,б. На этих характеристиках построена линия нагрузки, соответствующая ВАХ нагрузочного транзистора VT1 при  $E_{\Pi} = 12 \text{ В}$ . Так, при токе  $I_{C1} = 0,04 \text{ мА}$  в соответствии с рис. 26,а имеем  $U_{3И1} = U_{CИ1} = 7 \text{ В}$ , следовательно,  $U_{CИ2} = E_{\Pi} - U_{3И1} = 12 - 7 = 5 \text{ В}$ . При  $I_{C1} = 0,08 \text{ мА}$  имеем  $U_{3И1} = 9 \text{ В}$ , поэтому  $U_{CИ2} = 12 - 9 = 3 \text{ В}$  и т.д. Из рис. 26,б видно, что построенная таким образом линия нагрузки имеет ярко выраженный характер, а ее начало лежит в точке с координатами  $I_{C2} = 0$ ,  $U_{CИ2} = E_{\Pi} - U_{3И \text{ пор}1} = 9 \text{ В}$ .

Если  $U_{ВХ} = U_{ВХ}^0 \leq U_{3И \text{ пор}2}$ , то транзистор VT2 закрыт, а через открытый транзистор VT1 будет протекать ток, равный току утечки транзистора VT2, то есть транзистор VT1 будет находиться на грани запираения, при этом  $U_{3И1} = U_{3И \text{ пор}1}$ . Поскольку сопротивление канала  $R_{к2}$  закрытого транзистора VT2 значительно больше сопротивления канала  $R_{к1}$  открытого транзистора VT1, на выходе будет напряжение высокого уровня

$$U_{ВЫХ}^1 = E_{\Pi} - U_{3И \text{ пор}1}$$

Это напряжение определяет уровень логической 1 в элементах на МДП – транзисторах. Если этот уровень подать на вход инвертора, то есть если  $U_{ВХ} = U_{ВЫХ}^1 = E_{\Pi} - U_{3И \text{ пор}1}$ , то транзистор VT2 откроется и открытыми окажутся оба

транзистора VT2 и VT1. Поскольку сопротивление канала  $R_{к2}$  открытого транзистора VT2 значительно меньше сопротивления канала  $R_{к1}$  открытого транзистора VT1, то на выходе установится напряжение низкого уровня.

Определим ток стока открытого управляющего транзистора VT2, работающего в крутой области стоковых характеристик:

$$I_{C2} = K_2[(E_{п} - U_{ЗИпор1} - U_{ЗИпор2})U_{СИ2} - 0,5U_{СИ2}^2]$$

Величина  $U_{СИ2}$  является малой по сравнению с  $E_{п}$ , поэтому записать его в более простом виде:

$$I_{C2} = K_2(E_{п} - U_{ЗИпор1} - U_{ЗИпор2})U_{СИ2}$$

Ввиду того, что в данном случае  $U_{СИ2}$  есть не что иное, как выходное напряжение низкого уровня, последнее уравнение можно представить в виде

$$I_{C2} = K_2(E_{п} - U_{ЗИпор.1} - U_{ЗИпор.2})U_{ВЫХ}^0$$

При этом транзистор VT1 работает в пологой области характеристик, поэтому его ток стока будет определяться уравнением:

$$I_{C1} = 0,5K_1(E_{п} - U_{ВЫХ}^0 - U_{ЗИпор1})^2 \approx 0,5K_1(E_{п} - U_{ЗИпор1})^2$$

Поскольку должно выполняться условие  $I_{C2} = I_{C1}$  (VT2 и VT1 включены последовательно по отношению к  $E_{п}$ ), то получим:

$$K_2(E_{п} - U_{ЗИпор1} - U_{ЗИпор2})U_{ВЫХ}^0 = 0,5K_1(E_{п} - U_{ЗИпор1})^2$$

Решение это уравнение относительно  $U_{ВЫХ}^0$  даёт:

$$U_{ВЫХ}^0 = \frac{K_1(E_{п} - U_{ЗИпор1})^2}{2K_2(E_{п} - U_{ЗИпор1} - U_{ЗИпор2})}$$

При  $U_{ВЫХ} = U_{ВЫХ}^0$  через инвертор протекает сквозной ток стока транзисторов VT1 и VT2. Мощность, потребляемая в режиме логического нуля на выходе, будет равна

$$P^0 = E_{п}I_{C1} = 0,5K_1E_{п}(E_{п} - U_{ЗИпор1})^2$$

При  $U_{ВЫХ} = U_{ВЫХ}^1$  через инвертор протекает лишь незначительный ток,

определяемый током утечки транзистора VT2, поэтому:

$$P^1 = E_{\pi} I_{yT} \approx 0$$

Считая состояние логического нуля и логической единицы равновероятными, получим:

$$P_{cp} = 0,5 (P^0 + P^1) \approx 0,5 P^0 = 0,25 K_1 E_{\pi} (E_{\pi} - U_{зи пор1})^2$$

Схема инвертора с нелинейной нагрузкой на МДП – транзисторах с каналом p-типа отличается от рассмотренной лишь противоположной полярностью источника питания  $E_{\pi}$ , вследствие чего уровни логического 0 и логической 1 находятся в области отрицательных значений напряжений.

Передаточную характеристику инвертора с нелинейной нагрузкой можно построить графически по точкам пересечения линии нагрузки с выходными статическими характеристиками управляющего транзистора.

Вид полученной таким образом ПХ показан на рис. 27. При  $U_{вх} \leq U_{зи пор2}$  выходное напряжение постоянно и имеет максимальное значение  $U_{вых max} = U^1 = E_{\pi} - U_{зи пор1} = 12 - 3 = 9$  В, и протекающий через инвертор сквозной ток определяется лишь током утечки, составляющим обычно лишь несколько наноампер.

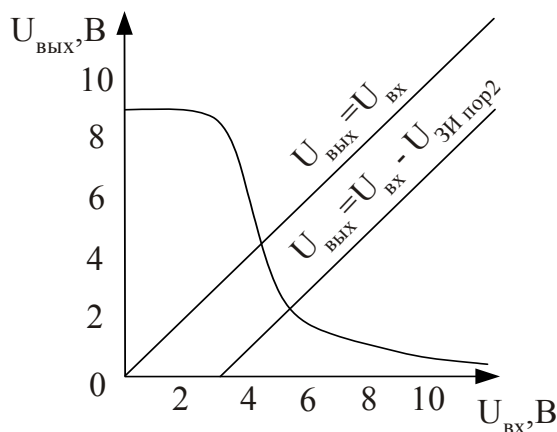


Рис. 8.

Передаточная характеристика инвертора на МДП-транзисторах с нелинейной нагрузкой практически не зависит от температуры поэтому

рассматриваемый инвертор имеет высокую помехоустойчивость в широком диапазоне изменения температур. Отсутствие входных (затворных) токов обеспечивает независимость ПХ и помехоустойчивости от числа нагрузок.

### Инверторы с квазилинейной и токостабилизирующей нагрузками

Если затвор нагрузочного МДП – транзистора подключить к дополнительному источнику питания  $E_{п2}$ , напряжение которого удовлетворяет условию  $E_{п2} \geq E_{п1} + E_{ЗИпор1}$ , то образуется инвертор с квазилинейной нагрузкой (рис. 28, а). При этом нагрузочный транзистор VT1 все время находится в крутой области выходных характеристик, благодаря чему увеличивается уровень логической 1 на выходе инвертора до значения  $U_{вых}^1 \approx E_{п1}$  и линия нагрузки, построенная на выходных характеристиках управляющего транзистора VT2, имеет меньшую нелинейность, чем в инверторе с нелинейной нагрузкой. Однако такой инвертор из-за необходимости осуществления вывода затвора нагрузочного транзистора VT1 занимает большую площадь на подложке по сравнению с инвертором с нелинейной нагрузкой.

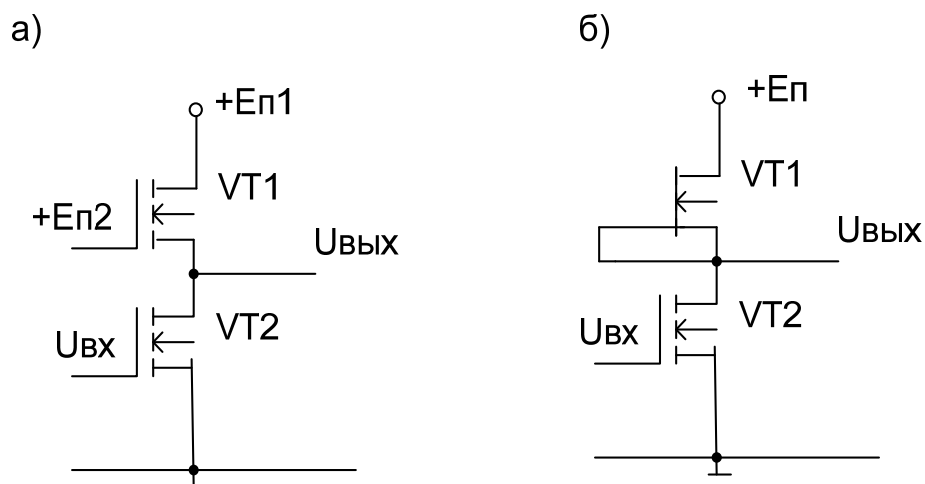


Рис. 9.

В инверторе с токостабилизирующей нагрузкой (рис. 28, б) в качестве нагрузки используется МДП-транзистор со встроенным каналом, который всегда открыт независимо от значения  $U_{вх}$ . При  $U_{вх} < U_{ЗИпор2}$  управляющий транзистор VT2 открыт и  $U_{вых} = U^1 \approx E_{п}$ . Если  $U_{вх} = U^1 = E_{п}$ , то VT2 открыт и

$U_{\text{вых}}$  определяется соотношением сопротивлений каналов открытых транзисторов VT1 и VT2. При надлежащем выборе параметров в этом случае на выходе образуется напряжение низкого уровня  $U^0$ .

Остальные параметры инверторов с квазилинейной и токостабилизирующей нагрузками могут быть определены по методике, импльзуемой для определения параметров инвертора с нелинейной нагрузкой. При этом оказывается, что для всех типов рассмотренных инверторов уровень логического 0 одинаков и может быть определен по формуле :

$$U_{\text{вых}}^0 = \frac{K_1(E_{\text{п}} - U_{\text{ЗИпор1}})^2}{2K_2(E_{\text{п}} - U_{\text{ЗИпор1}} - U_{\text{ЗИпор2}})}$$

### Инверторы на КМДП–транзисторах

Недостатком всех ранее рассмотренных схем инверторов является протекание сквозного тока в режиме логического 0 на выходе. Более экономичными являются схемы ключей на комплементарных МДП-транзисторах, называемых схемами КМДП-типа, или схемами с дополнительной симметрией. В такой ключевой схеме (рис. 29.) нагрузочный транзистор VT1 и управляющий VT2 имеют каналы с противоположными типами электропроводности и параллельно соединенные затворы и стоки. Подложки каждого транзистора соединены с их истоками.

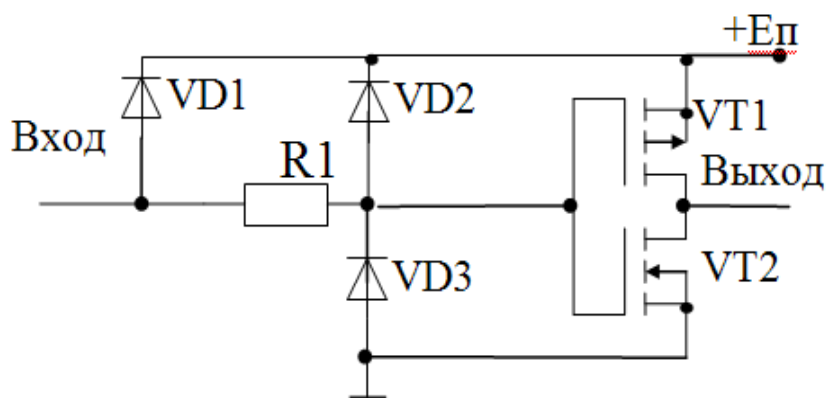


Рис. 10.

Из-за очень большого входного сопротивления (порядка  $10^{14}$  Ом) даже

статический заряд, образованный на затворе, может вызвать электрический пробой подзатворной диэлектрической пленки и выход транзистора из строя. Для защиты от зарядов электростатического электричества на входах КМДП – схем имеется специальная диодно-резисторная схема защиты, состоящая из резистора  $R_1$  и охранных диодов  $VD1$ ,  $VD2$  и  $VD3$ . Диоды  $VD1$  и  $VD2$  осуществляют защиту схемы от положительных входных напряжений, превышающих напряжение  $E_p$  на  $+0,5$  В, а диод  $VD3$  осуществляет защиту от отрицательных входных напряжений, превышающих по абсолютному значению напряжение  $-0,5$  В. В диапазоне изменения входного напряжения  $-0,5 \text{ В} \leq U_{вх} \leq E_p + 0,5 \text{ В}$  охранные диоды закрыты и не оказывают влияния на работу схемы. Благодаря такой схеме уровень безопасного электростатического потенциала элементов КМДП – типа составляет 100 В.

При  $U_{вх} = U^0$  транзистор  $VT2$  закрыт. В тоже время  $U_{зи1} = U_{вх} - E_p \approx -E_p$ , транзистор  $VT1$  открыт и через него напряжение питания поступает на выход схемы, образуя высокий уровень выходного напряжения  $U_{вых}^1 = +E_p$ . Если  $U_{вх} = U^1 = +E_p$ , то транзистор  $VT2$  открыт. Так как при этом  $U_{зи} = U_{вх} - E_p = 0$ , то транзистор  $VT1$  будет закрыт, и на выход через открытый транзистор  $VT2$  будет передан нулевой потенциал корпуса, вследствие чего  $U_{вых}^0 = 0$ . Из сказанного следует, что при любом уровне входного напряжения один из транзисторов КМДП – инвертора закрыт, а другой открыт. Тем самым исключается протекание сквозного тока в статическом режиме.

На рис. 30 приведены схемы базовых ЛЭ, реализующих функции ИЛИ-НЕ и И-НЕ в ПЛ. В этих схемах транзисторы  $VT1$ ,  $VT3$  и  $VT2$ ,  $VT4$  образуют КМДП-инверторы: когда в каждом один из них закрыт, то другой открыт. Действительно, если в схеме рис. 30,а  $x_1=0$  и  $x_2=1$ , то  $VT3$  закрыт, а  $VT4$  – открыт. При этом  $U_{зи1} = 0 - E_p = -E_p$ , т.е. транзистор  $VT1$  открыт.

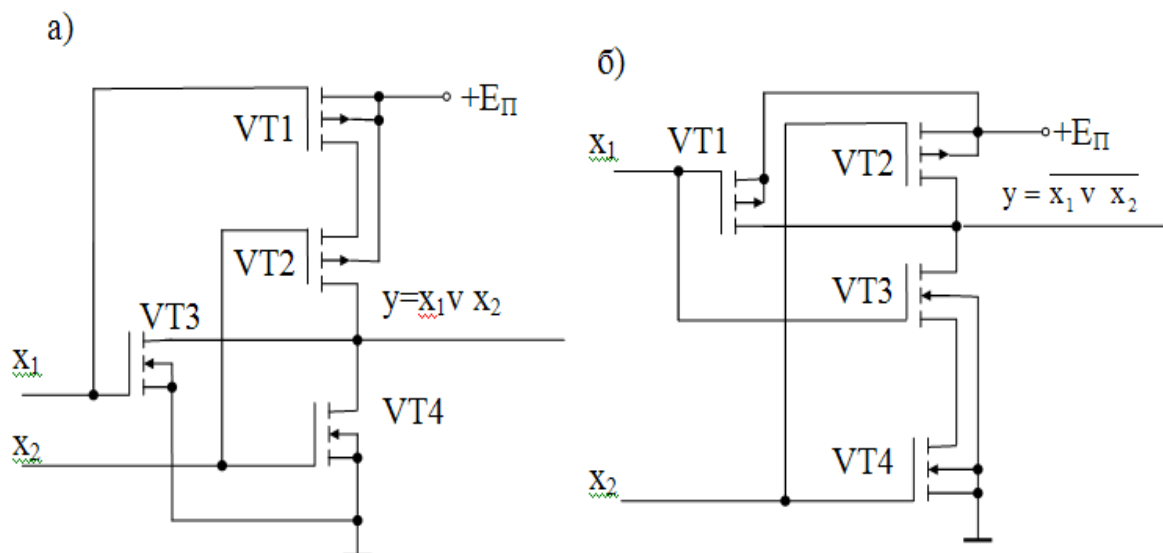


Рис. 11.

Но т.к.  $U_{зи2} = U_1 - E_{\Pi} = E_{\Pi} - E_{\Pi} = 0$ , то VT2 закрыт, вследствие чего сопротивление плеча, образованного каналами транзисторов VT3 и VT4, оказывается значительно меньше сопротивления плеча, образованного последовательно включенными транзисторами VT1 и VT2. В результате этого  $U_{вых}=0$ . Уровень выходного напряжения не изменится, если  $x_1=1$ ,  $x_2=0$  или  $x_1=x_2=1$ . В последнем случае открытыми будут транзисторы VT3 и VT4, а VT1 и VT2 – закрыты.

В схеме на рис. 30,б низкий уровень выходного напряжения будет только при одновременно открытых транзисторах VT3 и VT4, т.е. при  $x_1=x_2=1$ . Транзисторы VT1 и VT2 будут закрыты, поскольку у них напряжение между затвором и истоком близко к нулю.

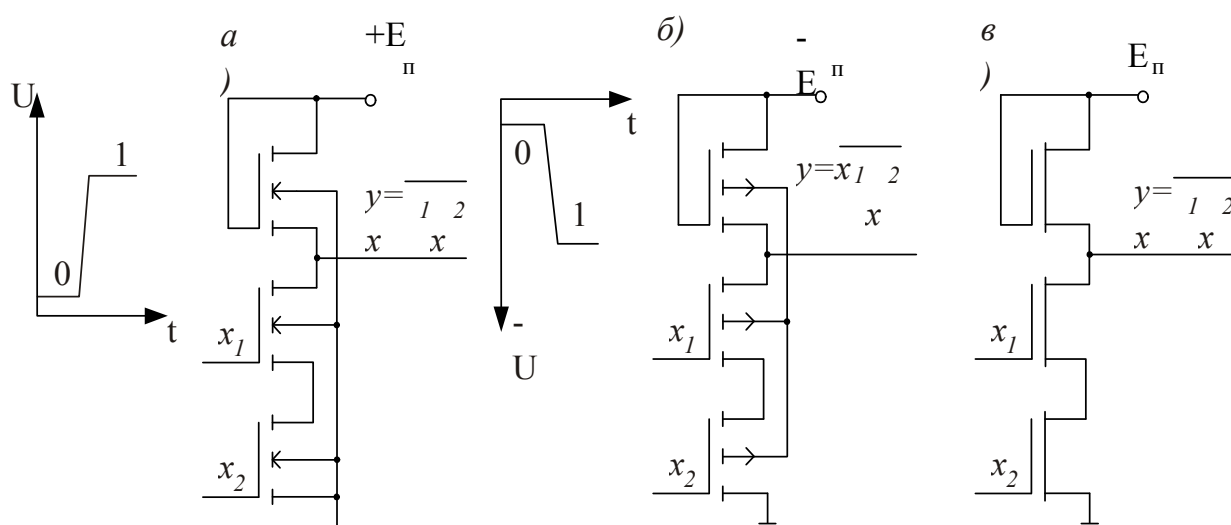
В схемах, приведенных на рис. 30 с целью упрощения не показаны защитные цепочки, однако присутствие их на каждом входе, как было отмечено выше, является обязательным.

По схемам, подобным рис. 30,а выполнены ЛЭ типов ЛЕ5, ЛЕ6, ЛЕ10, имеющиеся в сериях 561, К561, 564, К564, а по схемам, аналогичным рис. 30,б элементы ЛА7, ЛА8, ЛА9.

### Логические элементы на полевых МДП-транзисторах с одним типом

**проводимости.**

Основой для построения схем базовых ЛЭ служат рассмотренные ранее инверторы с линейной, нелинейной, квазилинейной и токостабилизирующей нагрузками. Если в любом из этих инверторов управляющий транзистор заменить группой из последовательно соединенных транзисторов, то получится ЛЭ, выполняющий операцию И-НЕ. На рис. 31,а приведена схема ЛЭ, выполненного на n-МДП-транзисторах. Характер выполняемой логической операции не изменится, если все n-МДП-транзисторы заменить на p-МДП-



транзисторы и работу элемента рассматривать в ОЛ (рис. 31,б).

Рис. 12.

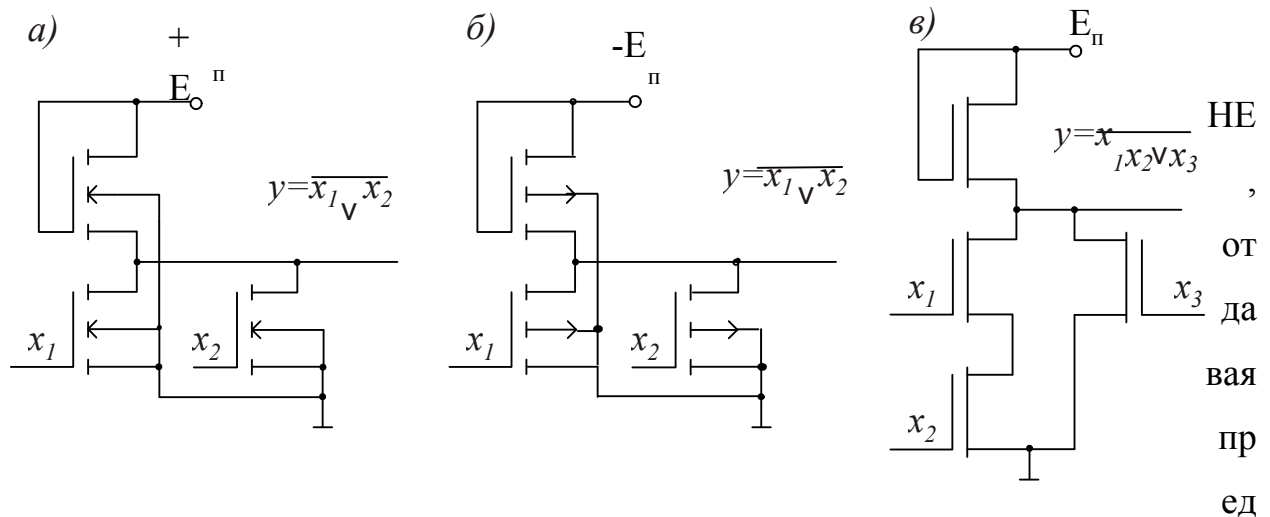
Из этого следует, что логика работы такого элемента не зависит от типа канала МДП-транзистора, а требует определенной полярности источника питания и сигнала. В связи с этим на схемах можно не указывать тип канала транзисторов и представлять их в виде, показанном на рис. 31,в.

Если управляющий транзистор заменить группой параллельно соединенных МДП-транзисторов, то полученный ЛЭ будет выполнять операцию ИЛИ-НЕ (рис. 32).

Схемы И-НЕ имеют более высокий уровень напряжения логического нуля, поскольку он суммируется из напряжений  $U_{СИ}$  открытых последовательно соединенных транзисторов. Для уменьшения абсолютного значения этого



уровня управляющие транзисторы в ЛЭ И-НЕ изготавливают с более широким каналом, однако при этом увеличиваются геометрические размеры структуры логического элемента. Поэтому при проектировании схем на МДП-транзисторах стараются по возможности избегать использования элементов И-



почтение элементам ИЛИ-НЕ.

Рис. 13.

Для построения ЛЭ на однотипных МДП-транзисторах, реализующих более сложные логические функции, применяется сочетание параллельных и последовательных соединений управляющих транзисторов. На рис. 33 показана схема ЛЭ, реализующего функцию  $y = \overline{x_1 x_2 \vee x_3}$ .

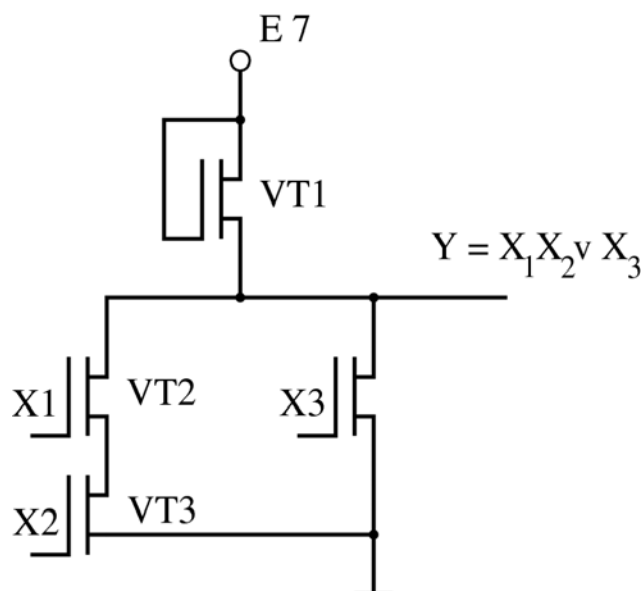


Рис. 14.

ИМС на МДП-транзисторах одного типа электропроводности присущи следующие достоинства:

- ◆ высокое входное сопротивление (до  $10^{14}$  Ом);
- ◆ малые размеры и высокая технологичность;
- ◆ меньшая потребляемая мощность, чем у ТТЛ-схем;
- ◆ высокая помехоустойчивость (порядка 2...6 В) по сравнению с 0,6 В для биполярных транзисторов;
- ◆ устойчивость к нейтронной составляющей радиационного воздействия.

Недостатки элементов на МДП-транзисторах связаны с относительно большим пороговым напряжением и высоким напряжением питания (у элементов типа р-МДП напряжение питания в 3...6 раз превышает напряжение питания элементов ТТЛ). Если по быстродействию элементы на МДП-транзисторах с каналом n-типа сравнимы с элементами ТТЛ, то элементы на транзисторах с каналом р-типа имеют в 8-10 раз меньшее быстродействие. Однако преимуществом схем на МДП-транзисторах с каналом р-типа является то, что они значительно дешевле и технологичнее.

### **Логические элементы на комплементарных КМДП-транзисторах.**

Отличительной особенностью комплементарных МДП-структур является

их свойство не потреблять мощности в статическом режиме при любом сочетании сигналов, потому что открывание МДП-транзистора одного типа сопровождается запирающим МДП-транзистора другого типа. Общая закономерность построения таких структур состоит в том, что параллельное соединение одного типа транзисторов сопровождается последовательным соединением транзисторов противоположного типа. Проиллюстрируем это положение на базовых элементах, реализующих функции ИЛИ-НЕ (рис. 34,а) и И-НЕ (рис. 34,б). В схемах пары транзисторов Т1, Т3 и Т2, Т4 образуют комплементарные структуры: когда один из них заперт, то другой открыт.

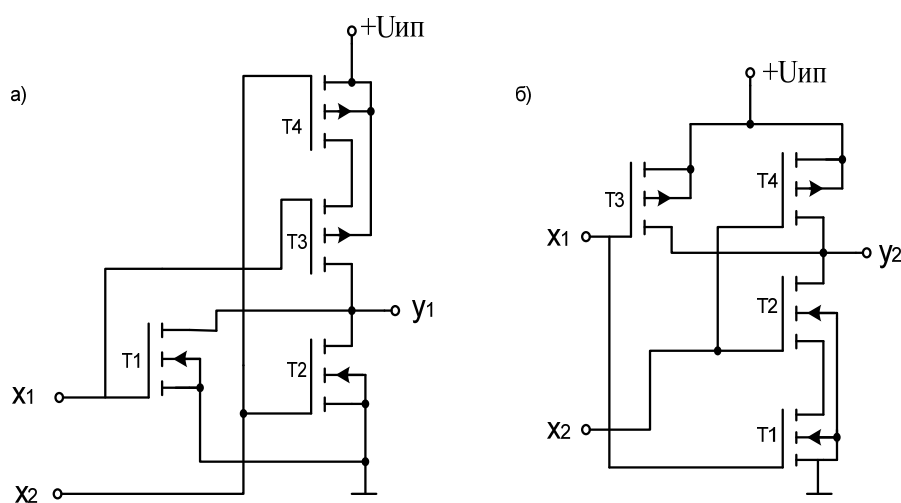


Рис. 15.

Пусть в схеме на рис. 34,а на оба входа  $x_1$  и  $x_2$  подан 0 (нулевой потенциал в положительной логике). Тогда транзисторы n-типа Т1 и Т2 заперты, так как разность потенциалов между их затворами и истоками (с подложками), присоединенными к корпусу, близка к нулю. Транзисторы р-типа Т3 и Т4 – открыты, потому что нулевой потенциал, подведенный к затворам, относительно их подложек, соединенных с положительным полюсом источника питания, создаст отрицательную разность потенциалов, необходимую для индуцирования в них р-канала. Но так как через эти каналы протекают лишь пренебрежимо малые токи запертых транзисторов Т1 и Т2, падения напряжения на транзисторах Т3 и Т4 незначительны и, значит, выходное напряжение, примерно равное  $+U_{ип}$ , соответствует 1.

Если хотя бы на один из входов, например  $x_1$ , подать 1, т.е. потенциал, близкий к  $+U_{ип}$ , то соответствующий р-транзистор (в данном случае ТЗ) закроется, отключая  $+U_{ип}$  от выхода, на который через открывшийся транзистор n-типа (Т1) подан нулевой потенциал корпуса, т.е. логический 0. Таким образом, в рассмотренной схеме логический перепад напряжений выше, чем в любой другой логике (коэффициент использования напряжения ключевой схемы близок к единице). Поэтому помехоустойчивость логических ИМС на комплементарных МДП-структурах высока.

Аналогично можно разобрать работу схемы рис. 34,б, реализующей в положительной логике функцию И-НЕ. В рассматриваемых базовых элементах реализуется принцип двойственности, т.е. при смене логики на противоположную одна и та же схема может выполнять функции как ИЛИ-НЕ, так и И-НЕ.

К преимуществам элементов на комплементарных МДП-структурах относится также способность работать без сбоев при больших разбросах напряжения питания, к недостаткам – повышенное напряжение питания (как правило,  $U_{ип} = 9В$ ) и относительная технологическая сложность их изготовления.

## **1.2.Преобразователи уровней**

При проектировании управляющих систем часто возникает необходимость предъявления различных требований к их логическим узлам и блокам с точки зрения быстродействия, рассеиваемой мощности, помехоустойчивости и т.п. Эти требования можно удовлетворить, используя микросхемы, выполненные по различным технологиям: ТТЛ, ЭСЛ, И<sup>2</sup>Л, КМОП. Кроме того, в большинстве управляющих систем, помимо ИМС различной степени интеграции используются навесные дискретные элементы (транзисторы, диоды, конденсаторы, трансформаторы, дроссели), а также кнопки, тумблеры, разъемы, элементы индикации и т.п. Для обеспечения совместимости

логических уровней различных семейств цифровых устройств используют специальные элементы – преобразователи уровней, называемые также адаптерами, драйверами и трансляторами.

На рис. 35. представлен общий случай согласования элементов ЛЭ1 и ЛЭ2 с различными типами логики и схемотехники. Основным элементом схемы согласования является преобразователь уровней ПУ. Входное (ВхУ) и выходное (ВыхУ) устройства обеспечивают согласование выхода ЛЭ1 со входом ПУ и выхода ПУ со входом ЛЭ2. В отличие от логических элементов, у которых значения уровней входных и выходных сигналов, как правило, совпадают, у ПУ значения этих уровней всегда различны. Поэтому для обеспечения нормальной работы ЛЭ1 и ЛЭ2 необходимо, чтобы входное устройство ПУ было реализовано по схеме выходного каскада ЛЭ1, а выходное устройство ПУ – по схеме входного каскада ЛЭ2. Для обеспечения выполнения этих условий для питания ПУ необходимо использовать питающие напряжения, характерные как для ЛЭ1, так и для ЛЭ2.

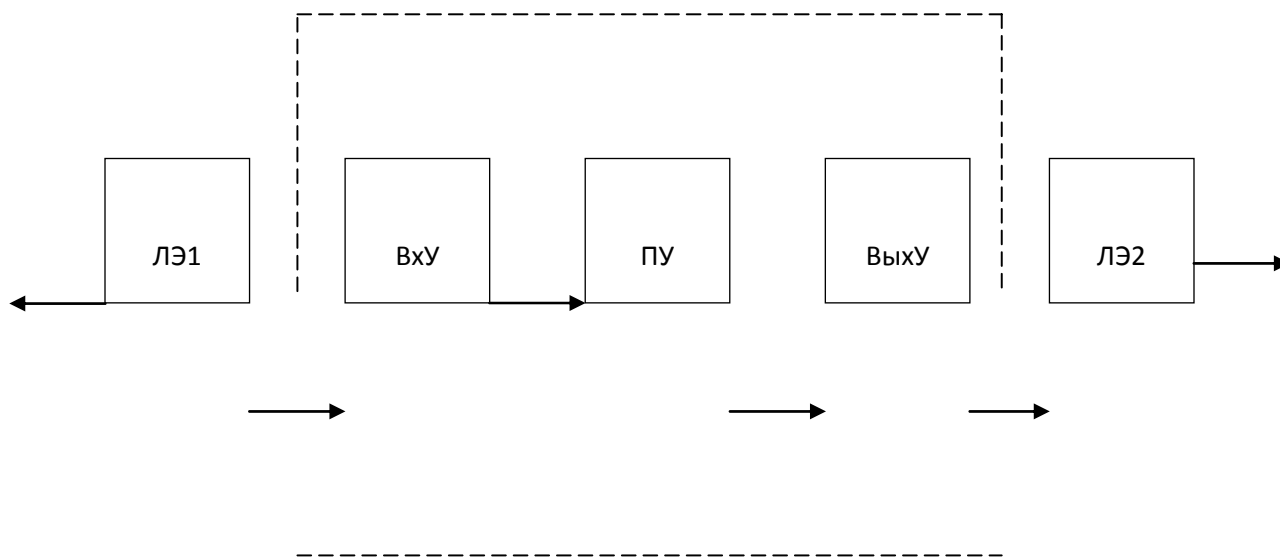


Рис. 16.

Ввиду большого количества встречающихся на практике вариантов совместной работы управляющего и управляемого логических элементов с различными уровнями сигналов проектирование ПУ осуществляют для

конкретных схем с учетом входных характеристик и параметров управляемого элемента. При этом ПУ должен обеспечивать передачу сигналов от управляющего элемента к управляемому с высокой степенью надежности и иметь необходимые динамические параметры с учетом емкостных и активных нагрузок.

### Схемотехника преобразователей уровней ТТЛ - ЭСЛ

Общая принципиальная схема ПУ ТТЛ – ЭСЛ приведена на рис. 36,а. Каскад, выполненный на транзисторе VT1 и резисторах R1, R2, R3, является входным. На транзисторе VT2 и резисторе R4 выполнен собственно ПУ, а на VT3 и R5 – эмиттерный повторитель, выполняющий роль выходного каскада.

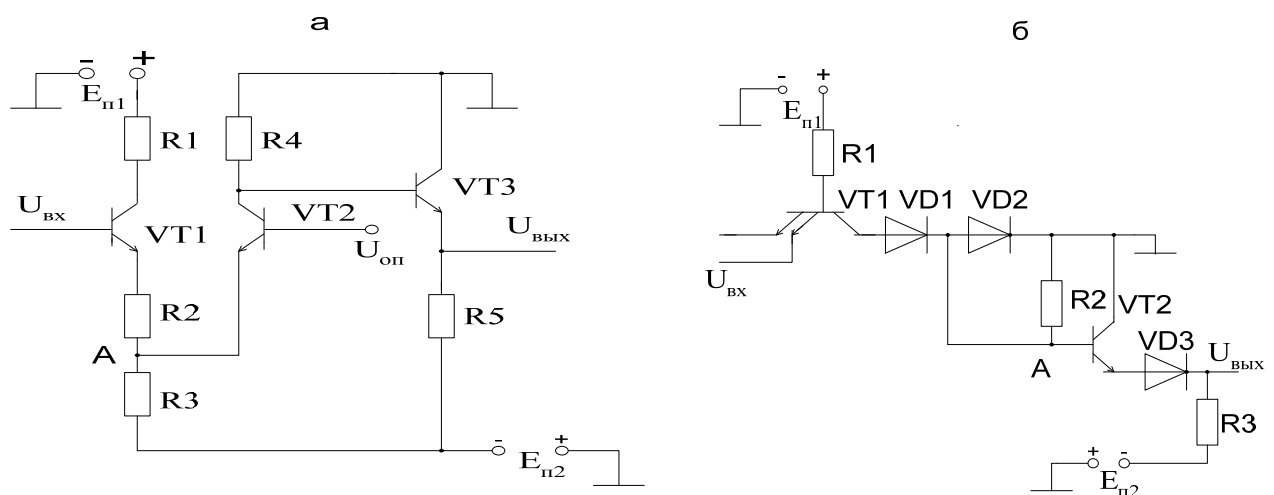


Рис. 17.

При  $U_{\text{ВХ}} = U_{\text{ТТЛ}}^0$  потенциал точки А ( $U_A$ ) будет меньше, чем при  $U_{\text{ВХ}} = U_{\text{ТТЛ}}^1$ . В зависимости от конкретного значения  $U_A$  транзистор VT2 будет работать в активном режиме (открыт), либо в режиме отсечки (закрыт).

При  $U_{\text{ВХ}} = U_{\text{ТТЛ}}^1$  должно быть выполнено условие  $U_A > U_{\text{оп}}$ . При этом транзистор VT2 будет закрыт, и через резистор R4 будет протекать только ток

базы транзистора VT3, создавая на нем напряжение  $U_{R4} = I_{B3}R4 \approx -0,1 \text{ В}$ . Выходное напряжение будет соответствовать уровню логической 1 ЭСЛ:

$$U_{\text{вых}}^1 = -U_{R4} - U_{BЭ03} = -0,1 \text{ В} - 0,8 \text{ В} = -0,9 \text{ В}.$$

При  $U_{\text{вх}} = U_{\text{ТТЛ}}^0$  напряжение  $U_A$  снижается до уровня, при котором транзистор VT2 открывается, и на его коллекторе образуется напряжение

$$U_{K2} = U_{B3} = -U_{R4} = -(I_{K2} + I_{B3})R4 \approx -0,9 \text{ В},$$

а на выходе схемы – напряжение логического нуля ЭСЛ:

$$U_{\text{вых}}^0 = -U_{R4} - U_{BЭ03} = -0,9 \text{ В} - 0,8 \text{ В} = -1,7 \text{ В}.$$

Недостатком рассмотренного ПУ является значительная протяженность участка, на котором наблюдается спад передаточной характеристики и, как следствие этого, низкая помехоустойчивость.

В ПУ ТТЛ – ЭСЛ, показанном на рис. 36,б, входной каскад выполнен на МЭТ VT1. При  $U_{\text{вх}} = U_{\text{ТТЛ}}^0$  ток базы протекает через открытый эмиттерный переход

$$I_{B1} = (E_{п1} - U_{BЭ01} - U_{\text{ТТЛ}}^0) / R1,$$

транзистор VT1 находится в режиме насыщения при нулевом токе его коллектора, что приводит к запираанию диодов VD1 и VD2. Потенциал точки А оказывается равным нулю и

$$U_{\text{вых}} = U_{\text{выхЭСЛ}}^0 = U_A - U_{BЭ02} - U_{до3} = 0 \text{ В} - 0,8 \text{ В} - 0,8 \text{ В} = -1,6 \text{ В}$$

Уровень логической 1 ЭСЛ на выходе ПУ образуется в случае, если на все его входы поступают напряжения  $U_{\text{вх}} = U_{\text{ТТЛ}}^1$ . При этом МЭТ VT1 работает в активном инверсном режиме и его ток базы

$$I_{B1} = (E_{п1} - U_{BК01} - U_{до1} - U_{до2}) / R1$$

протекает через открытые диоды VD1 и VD2, образуя в точке А напряжение  $U_A = U_{до2} = 0,8 \text{ В}$ , вследствие чего выходное напряжение оказывается равным:

$$U_{\text{вых}} = U_{\text{выхЭСЛ}}^1 = U_A - U_{BЭ02} - U_{до3} = 0,8 \text{ В} - 0,8 \text{ В} - 0,8 \text{ В} = -0,8 \text{ В}.$$

## Схемотехника преобразователей уровней ЭСЛ – ТТЛ

На рис. 37,а представлен вариант схемы ПУ ЭСЛ – ТТЛ со сложным инвертором на выходе. При  $U_{ВХ} = U_{ВХ}^1$  транзистор VT1 открыт и работает в режиме, близком к насыщению. Напряжение  $U_{КЭ1} < U_{БЭпор}$ , где  $U_{БЭпор}$  - пороговое напряжение, т.е. напряжение на эмиттерном переходе транзистора, при котором он находится на грани отпирания. Для кремниевых транзисторов  $U_{БЭпор} \approx 0,6В$ . Вследствие этого транзистор VT2 закрыт и напряжение на его коллекторе  $U_{К2} \approx +E_{п1}$ . Это вызывает отпирание транзисторов VT3 и VT5 и формирование на выходе ПУ напряжения низкого уровня:  $U_{ВЫХ} = U_{ТТЛ}^0$ .

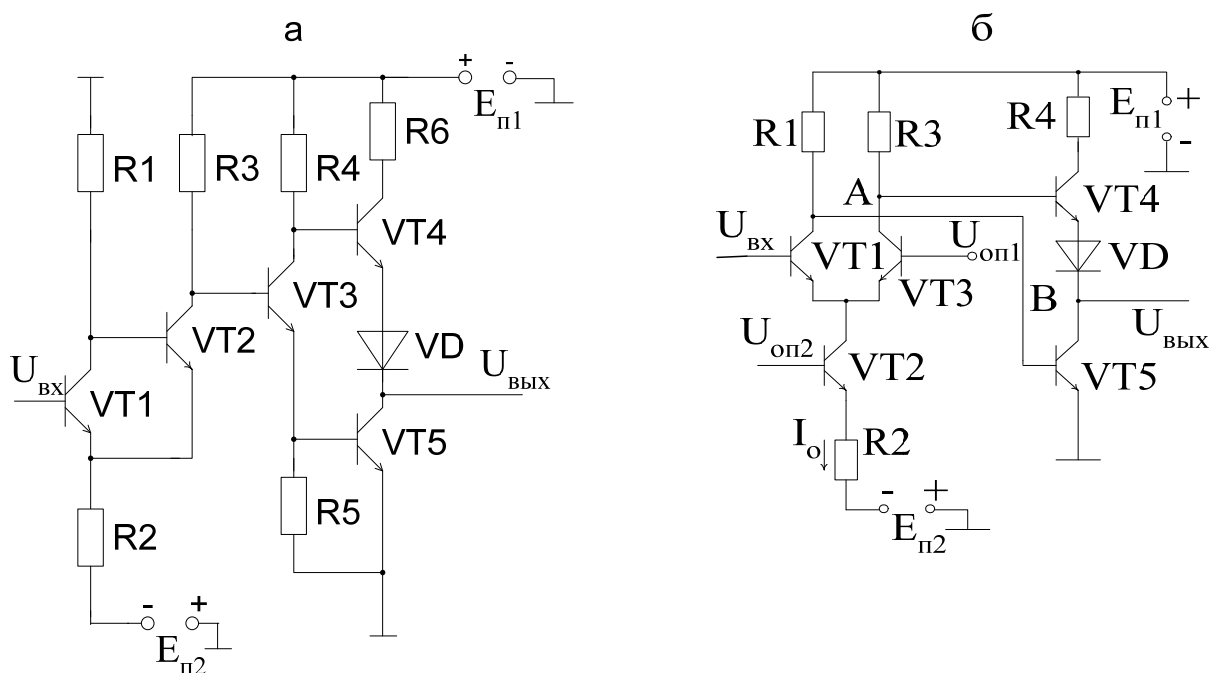


Рис. 18.

Если  $U_{ВХ} = U_{ЭСЛ}^0$ , транзистор VT1 закрывается, а VT2 открывается, вызывая запираание транзисторов VT3 и VT5. Увеличение потенциала коллектора закрывшегося транзистора VT3 приводит к отпиранию транзистора VT4 и на выходе ПУ образует высокий уровень напряжения



$$U_{\text{вых}} = U_{\text{ТТЛ}}^1 \geq 3,4 \text{ В.}$$

Устойчивая работа рассмотренного ПУ обеспечивается при выполнении достаточно жестких требований к разбросу параметров его элементов, определяющих открытое и закрытое состояния транзистора VT2. Так, например, условием закрытого состояния VT2 (при  $U_{\text{вх}} = U_{\text{ЭСЛ}}^1$ ) будет:

$$U_{\text{К1}} - U_{\text{Э1}} < U_{\text{БЭпор}}$$

Подставляя в это неравенство значения  $U_{\text{К1}} = -I_{\text{К1}} \cdot R1$  и  $U_{\text{Э1}} = U_{\text{ЭСЛ}}^1 - U_{\text{БЭо1}}$ , где  $I_{\text{К1}}$  и  $U_{\text{БЭо1}}$  - соответственно коллекторный ток и напряжение на эмиттерном переходе открытого транзистора VT1, получим

$$-I_{\text{К1}} \cdot R1 - (U_{\text{ЭСЛ}}^1 + U_{\text{БЭо1}}) < U_{\text{БЭпор}}$$

Для открытого транзистора VT2 должно выполняться условие

$$U_{\text{Б2}} - U_{\text{Э2}} = U_{\text{БЭо}}$$

Так как транзистор VT1 при этом закрыт, то  $U_{\text{Б2}} = -I_{\text{Б2}} \cdot R1$ ,  $U_{\text{Э2}} = (I_{\text{Б2}} + I_{\text{К2}})R2 - (-E_{\text{п2}}) \approx I_{\text{К2}}R2 + E_{\text{п2}}$  и условие примет вид

$$-I_{\text{Б2}}R1 - I_{\text{К2}}R2 - E_{\text{п2}} = U_{\text{БЭо}},$$

где  $I_{\text{Б2}}$  и  $I_{\text{К2}}$  - соответственно токи базы и коллектора открытого транзистора VT2.

Достоинством ПУ является его простота и стандартные значения выходных уровней сигналов ТТЛ при использовании источников питания с напряжениями  $E_{\text{п1}} = +5 \text{ В}$  и  $E_{\text{п2}} = -5 \text{ В}$ .

Большее практическое применение получила схема ПУ ЭСЛ – ТТЛ, приведенная на рис. 37,б. Она состоит из ТП (элементы VT1, VT3, R1, R3) с генератором стабильного тока (VT2, R2), выходного каскада (VT4, VT5, VD, R4) и источника опорных напряжений  $U_{\text{оп1}}(-1,3 \text{ В})$  и  $U_{\text{оп2}}$ , определяющего силу тока  $I_0$  ГСТ.

При  $U_{\text{вх}} = U_{\text{ЭСЛ}}^1$  (рассмотрение ведется в положительной логике), транзистор VT1 открыт, а VT3 закрыт, поскольку напряжение на его

эмиттерном переходе

$$U_{БЭЗ} = U_{БЗ} - U_{ЭЗ} = U_{оп1} - (U_{ЭСЛ}^1 - U_{БЭ01}) = -1,3 \text{ В} - (-0,9 \text{ В} - 0,75 \text{ В}) = + 0,35 \text{ В}.$$

Сопротивление резистора R1 подобрано таким образом, что потенциал базы транзистора VT5 при открытом транзисторе VT1 не превышает порогового, вследствие чего VT5 оказывается закрытым. В то же время потенциал базы транзистора VT4, определяемый потенциалом коллектора закрытого транзистора VT3, близок к  $+E_{п1} = +5 \text{ В}$  и транзистор VT4 оказывается в открытом состоянии. На выходе ПУ формируется высокий уровень напряжения, равный  $U_{ТТЛ}^1 = E_{п1} - U_{R3} - U_{БЭ04} - U_{до} \approx 3,4 \text{ В}$ .

При  $U_{вх} = U_{ЭСЛ}^0$  транзистор VT1 закрывается, а VT3 открывается. Это приводит к отпиранию транзистора VT5 и переводу его в режим насыщения и запираанию транзистора VT4. На выходе ПУ формируется низкий уровень напряжения.

Из приведенных рассуждений следует, что данный ПУ обеспечивает преобразование уровней ЭСЛ – ТТЛ без инвертирования выходного сигнала. Если опорное напряжение подать на базу транзистора VT1, а входной сигнал на базу транзистора VT2, то преобразование уровней ЭСЛ – ТТЛ будет происходить с инвертированием преобразуемого сигнала.

### **Схемотехника преобразователей уровней ТТЛ – КМДП**

Если нагрузками ТТЛ элементов являются входы КМДП элементов, то вследствие малости входных токов последних в большинстве случаев согласование по току обеспечивается автоматически. В то же время, как это следует из диаграмм допустимых уровней напряжений на выходах ИС ТТЛ и входах ИС КМДП (рис. 38), необходимо согласование по уровням напряжений. Такое согласование осуществляется с учетом особенностей выполнения выходного каскада элемента ТТЛ и значений напряжений источников, используемых для питания ТТЛ и КМДП элементов.

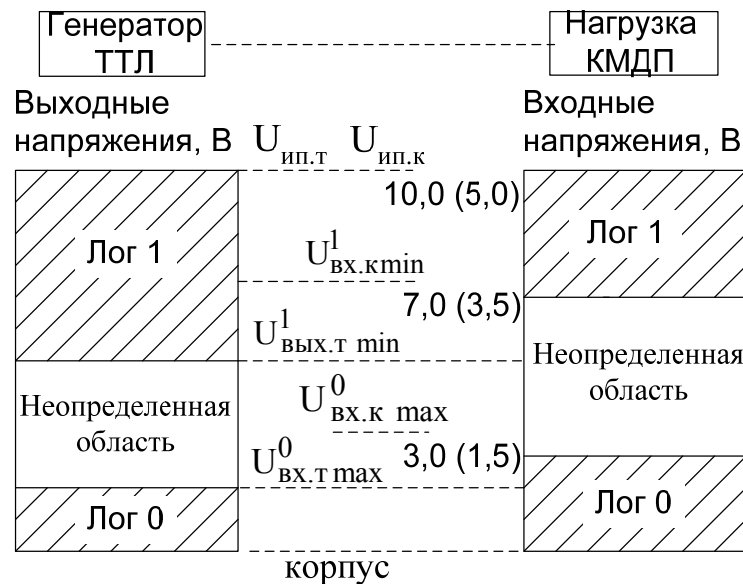


Рис. 19.

Существует три варианта выходных каскадов ТТЛ элементов: с открытым коллектором, с простым инвертором и со сложным инвертором.

ТТЛ элементы с открытым коллектором обычно используются в тех случаях, когда нагрузочные КМДП элементы питаются от источников с напряжениями, превышающими напряжение источника питания ТТЛ элементов. Увеличение уровня логической 1 на выходе ТТЛ элемента достигается включением резистора  $R_x$  между его выходом и плюсовым выводом источника питания  $E_{п2}$ , применяемом в КМДП элементе (рис. 39). Чем меньше сопротивление этого резистора, тем выше напряжение логической 1 на входах КМДП элементов. Однако уменьшение сопротивления резистора  $R_x$  приводит к увеличению тока выходного каскада элемента ТТЛ в режиме логического 0. Для предотвращения выхода из строя транзистора выходного каскада элемента ТТЛ сопротивление резистора  $R_x$  следует выбирать из условия :

$$R_x \geq (E_{п2} - U^0_{вых.т}) / I^0_{вых.т} \approx E_{п2} / I^0_{вых.т}.$$

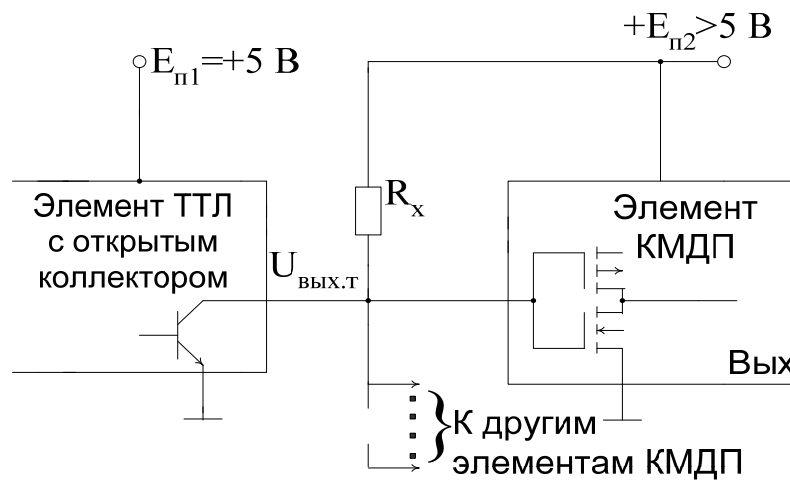


Рис. 20.

Из приведенных рассуждений следует, что при одинаковых напряжениях источников питания (+5 В) согласование по уровням напряжения между ТТЛ элементом с простым инвертом и КМДП нагрузкой обеспечивается автоматически. Для сопряжения ТТЛ элементов со сложным инвертором рекомендуется между выходом элемента ТТЛ и плюсовым выводом источника питания включить дополнительный резистор  $R_x$  (рис. 40).

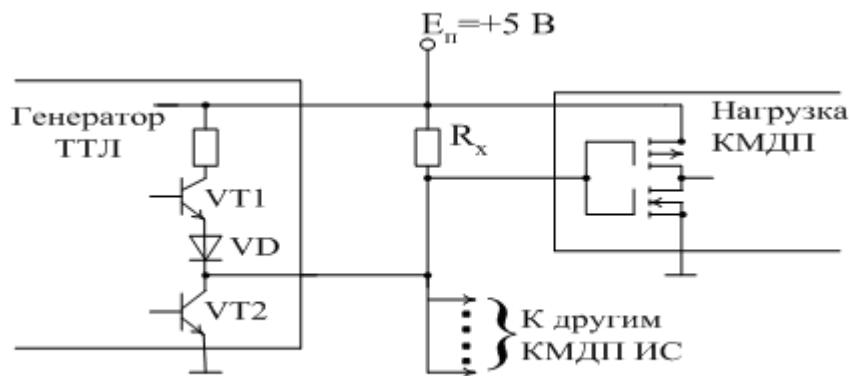


Рис. 21.

### Преобразователи уровней КМДП – ТТЛ

Такие преобразователи уровней применяются в случае, когда в качестве управляющего используется КМДП элемент, а в качестве управляемых (нагрузки) – ТТЛ элементы. При этом напряжения источников питания могут быть одинаковыми ( $E_{п.к} = E_{п.т} = 5 \text{ В}$ ), либо различными. Если  $E_{п.к} = E_{п.т}$ , то в

соответствии с рис. 38 согласование по напряжению обеспечивается автоматически. Но поскольку выходные токи  $I_{\text{ВЫХ.К}}^0$  КМДП элементов и входные токи  $I_{\text{ВХ.Т}}^0$  ТТЛ элементов одного порядка, то необходимо обеспечить согласование по току.



Рис. 22.

На рис. 41 показано согласование КМДП элемента с ТТЛ элементами при высоком (а) и низком (б) уровнях напряжения на выходах КМДП элемента. Для согласования по току необходимо выполнить условия

$$I_{\text{ВЫХ.К}}^1 > I_{1 \text{ ВХ.Т}}^1 + I_{2 \text{ ВХ.Т}}^1 + \dots + I_{\text{п. Вых.Т}}^1,$$

$$I_{\text{ВЫХ.К}}^0 > I_{1 \text{ ВХ.Т}}^0 + I_{2 \text{ ВХ.Т}}^0 + \dots + I_{\text{п. Вых.Т}}^0.$$

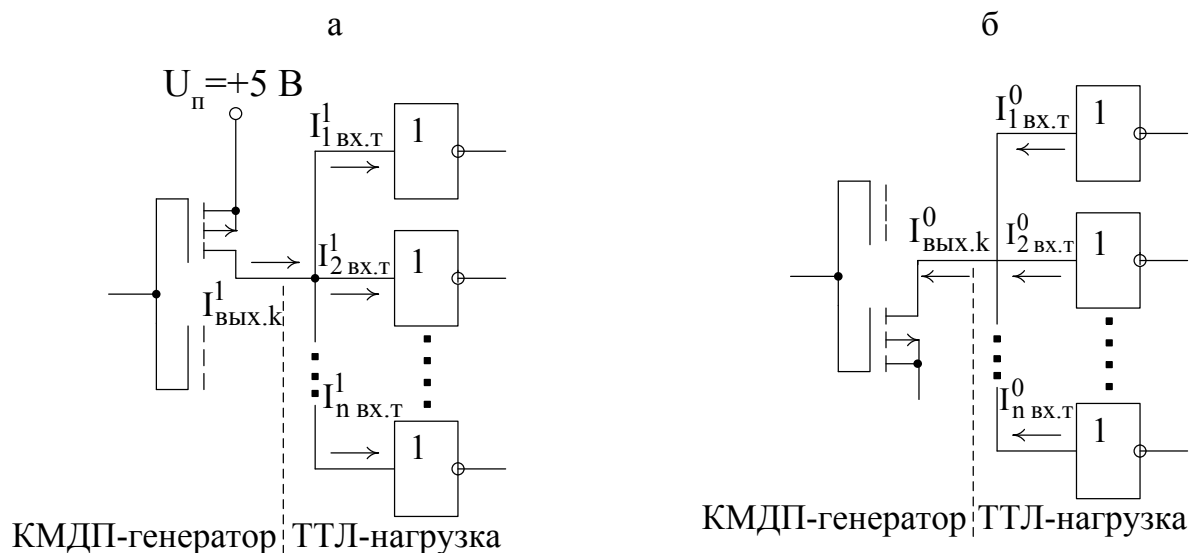


Рис. 23.

Значение  $I_{\text{вх.т}}^0$  обычно находится в пределах  $1...2 \text{ мА}$ , что превышает предельную нагрузочную способность КМДП элементов за исключением ИМС К561ЛН1, К564ЛН1, К561ПУ4, К564ПУ4.

### Специальные преобразователи уровней

Такие преобразователи могут потребоваться при совместном использовании ИМС одного типа логики, но работающих при различных напряжениях источников питания, при управлении цифровыми микросхемами от источников с нестандартными уровнями напряжений или использовании цифровых микросхем для управления устройствами, требующими повышенные входные напряжения и т.д. В таких случаях для построения ПУ используются делители напряжений, фиксаторы уровней, сдвигатели уровней, ключевые транзисторные схемы, работающие на принципе переключения тока, оптронные переключатели и трансформаторные схемы.

Делители напряжения используются для понижения логических уровней 0 и 1. Потребность в таком преобразовании уровней возникает, например, при стыковке КМДП элементов, работающих при высоком напряжении источника питания, с КМДП элементами, работающих с низким напряжением источника

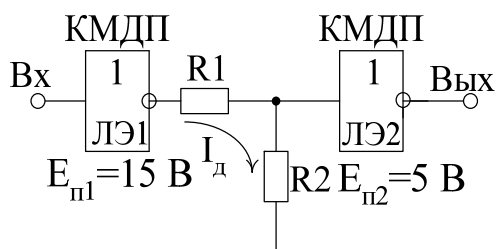
питания (рис. 43,а).

При напряжениях  $E_{п1} = 15 \text{ В}$  и  $E_{п2} = 5 \text{ В}$  делитель напряжения, образованный резисторами  $R1$  и  $R2$ , должен иметь коэффициент деления

$$K_d = R2 / (R1 + R2) = 1 / 3$$

откуда следует:  $R1 = 2R2$ . Значения сопротивлений  $R1$  и  $R2$  должны быть такими, чтобы ток делителя  $I_d$  при высоком уровне напряжения на выходе ЛЭ1 не превышал значения  $I_{вых}^1$  ЛЭ1. Рекомендуется использовать  $R1 = 20 \text{ кОм}$ ,  $R2 = 10 \text{ кОм}$ .

а



б

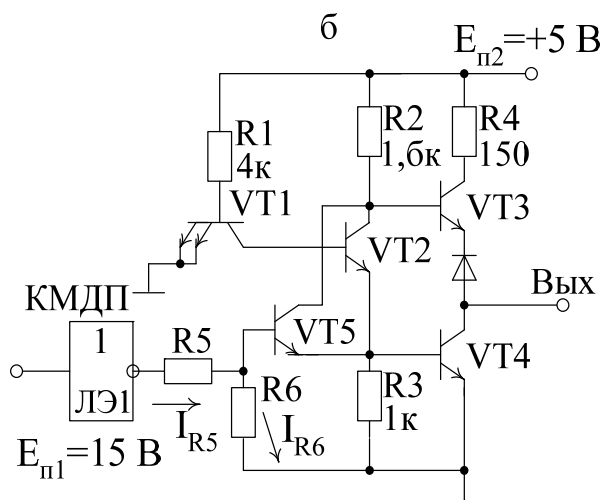


Рис. 24.

Более сложная схема делителя приведена на рис. 40,б для согласования КМДП элементов с ТТЛ элементами, когда КМДП элементы запитываются напряжением, большим 5 В. Непосредственно роль ПУ выполняет ТТЛ элемент, имеющий входы расширения по ИЛИ, а делитель R5, R6 с транзистором VT5 образует входную цепь ПУ. Заземление информационных входов ТТЛ элемента приводит к запирающему транзистору VT2. Управление выходным каскадом осуществляется через внешний транзистор VT5, на базу которого подается напряжение с делителя R5, R6, подключенного к выходу ЛЭ1. Когда на выходе ЛЭ1 низкий уровень напряжения, транзистор VT5 закрыт, транзистор VT3, благодаря высокому напряжению на его базе, открывается и на выходе ПУ формируется уровень напряжения, соответствующий логической 1 ТТЛ. При высоком уровне напряжения на выходе ЛЭ1 транзистор VT5 открывается и входит в режим насыщения, вызывая запертие транзистора VT3 и насыщение транзистора VT4. На выходе образуется уровень логического 0 ТТЛ.

Фиксаторы потенциалов используются в тех случаях, когда требуется преобразовать высокие нестандартные уровни напряжений в логические уровни 0 и 1, используемые для управления цифровыми ИМС.

$$R_{3\max} = (E_{\pi} - U_{\text{выхmin}}^1) / (K_{\text{раз}} I_{\text{вх}}^1).$$
**Программируемые логические матрицы**

Успехи в области интегральной технологии привели к созданию больших интегральных схем БИС с тысячами элементов на одном кристалле, позволивших повысить их надежность и быстродействие, снизить потребляемую мощность и габариты. Однако при этом возникла проблема: как на схемах с таким количеством элементов изготавливать устройства, реализующие различные функции, решающие разные задачи.

Казалось бы естественным изготовление так называемых заказных схем, разрабатываемых специально для решения той или иной задачи в конкретной



аппаратуре. Но проектирование заказных БИС – дорогой и трудоемкий процесс, поэтому их изготовление экономически оправдано лишь при массовом производстве таких схем, а чем специфичнее задача, решаемая заказной БИС, тем меньше ее тираж.

Выходом из создавшегося положения явились программируемые схемы с матричной структурой, которая роднит их с полупроводниковыми запоминающими устройствами. Такие схемы, изготавливаемые по единым фотошаблонам, представляют набор элементов (фрагментов), не связанных между собой. Для создания конкретного устройства элементы соединяются между собой (осуществляется программирование схемы) на заключительном этапе изготовления по специально проектируемым для каждого устройства шаблонам, с помощью которых образуются (либо разрушаются) металлизированные соединения между фрагментами. Причем подобное программирование (соединение фрагментов) может осуществлять и пользователь.

Наряду с программируемыми запоминающими устройствами выпускаются программируемые комбинационные (логические) устройства, позволяющие реализовывать на них различные логические функции. Так как микросхемы этих устройств построены по матричному принципу, их называют *программируемыми логическими матрицами* (ПЛМ).

Матрица – это сетка взаимно перпендикулярных проводников (рис. 44), в местах пересечения которых находятся полупроводниковые элементы – диоды или транзисторы (они показаны в выносках на рис. 44, а, б), включенные через легкоплавкие перемычки к проводникам матрицы. При программировании перемычки могут быть расплавлены импульсами тока и сохранены лишь в местах, необходимых для реализации той или иной логической функции (на рисунке элементы с сохраненными перемычками обозначены крестиками).

Рассмотрим, какие функции реализует матрица М1 (см. выноски на рис. 44,а). Если на горизонтальную шину подана логическая единица, то диод

будет заперт и ток от источника питания  $E$  через  $R$  не течет. Падение напряжения на  $R$  отсутствует, и на вертикальной шине, соединенной с запертым диодом, остается высокий потенциал  $U_{\bar{a}\bar{u}\bar{o}} \approx +E$  (лог.1). Если же  $U_{\bar{a}\bar{o}} \approx 0$  (низкий потенциал), то протекающий ток  $I$  создает на  $R$  падение напряжения и  $U_{\bar{a}\bar{u}\bar{o}} = E - IR \approx 0$  вольт.

Для сохранения на вертикальной шине матрицы  $M1$  высокого потенциала необходимо, чтобы все диоды этой шины были заперты, т.е. на всех входах была логическая 1. Если хотя бы один из диодов окажется открытым (т.е. на его входе логический 0), то протекающий через него ток  $I$  создает падение на  $R$  и на выходе будет логический 0. Таким образом, на вертикальной шине реализуется операция И от аргументов, помеченных крестиками. Поэтому матрицу  $M1$  называют матрицей И. В приведенном примере на выходах  $P_i$  реализуются конъюнкции.  
 $P_1 = \bar{x}_1 \bar{x}_2 \bar{x}_3$ ;  $P_2 = x_1 x_3$ ;  $P_3 = x_1 x_2$ ;  $P_4 = \bar{x}_1 x_2 \bar{x}_3$ .

Выясним, какие функции реализует матрица  $M2$  (см. выноску на рис. 41,б). Если на вертикальной шине  $U_{\bar{a}\bar{o}}$  - высокий потенциал (логическая 1), то транзистор открыт и высокий потенциал  $+E$  через него поступает на горизонтальную выходную шину  $U_{\bar{a}\bar{u}\bar{o}} \approx +E$ . Если же  $U_{\bar{a}\bar{o}} = 0$  вольт (логический 0), то транзистор заперт и  $U_{\bar{a}\bar{u}\bar{o}} \approx 0$  вольт. Очевидно, что если хотя бы один из транзисторов, соединенных с горизонтальной шиной, окажется открытым (т.е. на его входе логическая 1), то через него высокий потенциал  $+E$  поступит на выход, т.е. на выходе будет логическая 1. Таким образом, на горизонтальной шине реализуется операция ИЛИ от входных переменных  $P_i$ , помеченных крестиками. Поэтому матрицу  $M2$  называют матрицей ИЛИ. В приведенном примере на выходах  $y_i$  реализуются функции :

$$y_1 = P_1 \cup P_2 \cup P_3 \text{ и } y_2 = P_2 \cup P_4.$$

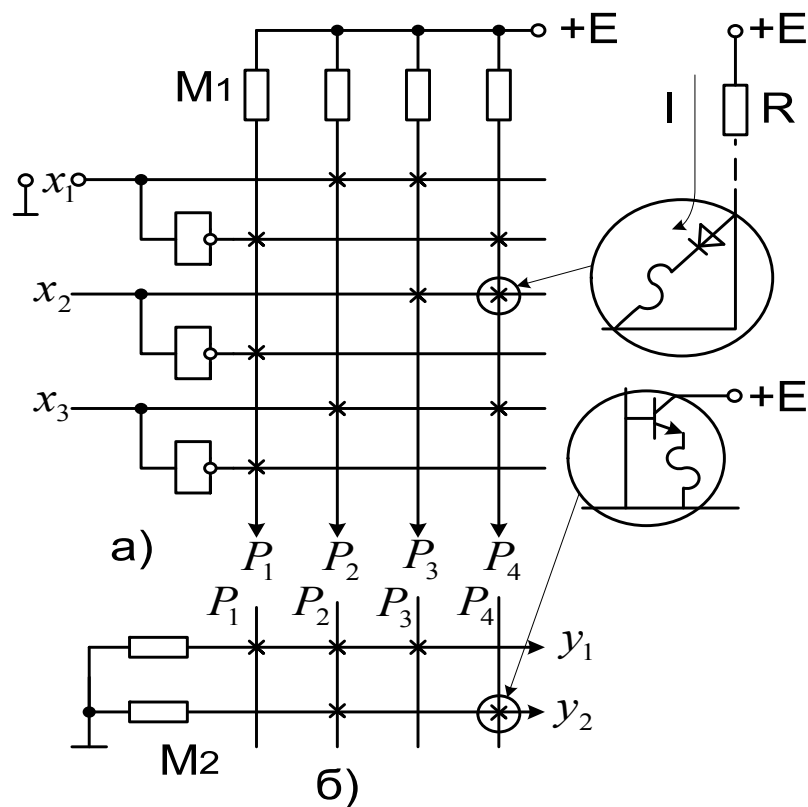


Рис. 25.

Структурная схема ПЛМ имеет вид (рис. 45):

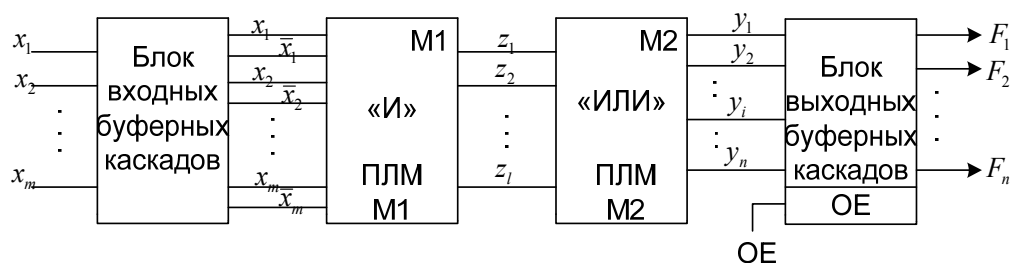


Рис. 26.

$m$  – количество входных элементов;

$l$  – число термов на выходе  $M1$ ;

$z_i$  - выходные функции матрицы  $M1$ , реализующие функцию «И»;

$y_i$  - выходные функции матрицы  $M2$ , реализующие функцию «ИЛИ»;

$F_1 \dots F_n$  - выходы матрицы.

Условное обозначение ПЛМ представлено на рис. 46.

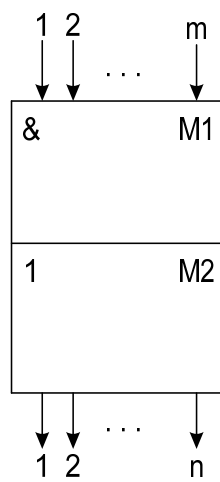


Рис. 27.