

## Тема №6 "Инжекционная интегральная схемотехника"

*Схемы, назначения компонентов, принцип работы, определение потенциалов в различных точках схемы, параметры, характеристики, временные диаграммы, область применения.*

Изобретение в 1972 г. элементов интегральной инжекционной логики (И<sup>2</sup>Л) явилось результатом работ по совершенствованию БИС на биполярных транзисторах. Для построения микросхем И<sup>2</sup>Л используется базовая структура, показанная на рис. 18,а. Области  $p_1$ - $n_1$ - $p_2$  образуют горизонтальный транзистор  $p$ - $n$ - $p$ -типа, а области  $n_2$ - $p_2$ - $n_1$  – вертикальный транзистор  $n$ - $p$ - $n$ -типа. Горизонтальный транзистор VT1 выполняет функции инжектора дырок из эмиттерной области  $p_1$  в область  $n_1$ , служащую одновременно базой этого транзистора и эмиттером вертикального транзистора VT2. Инжектированные в область  $n_1$  дырки собираются расположенными вокруг эмиттерной области  $p_1$  областями  $p_2$ , являющимися одновременно коллекторами горизонтального и базами вертикальных транзисторов. Вертикальные транзисторы имеют по несколько коллекторов, образуемых областями  $n_2$ . Подложка  $n_1^+$ , являясь конструктивной основой ИМС, объединяет эмиттеры всех вертикальных транзисторов. При этом отпадает необходимость в изоляции отдельных элементов друг от друга, что приводит к существенному уменьшению площади, занимаемой элементом, и повышению коэффициента интеграции.

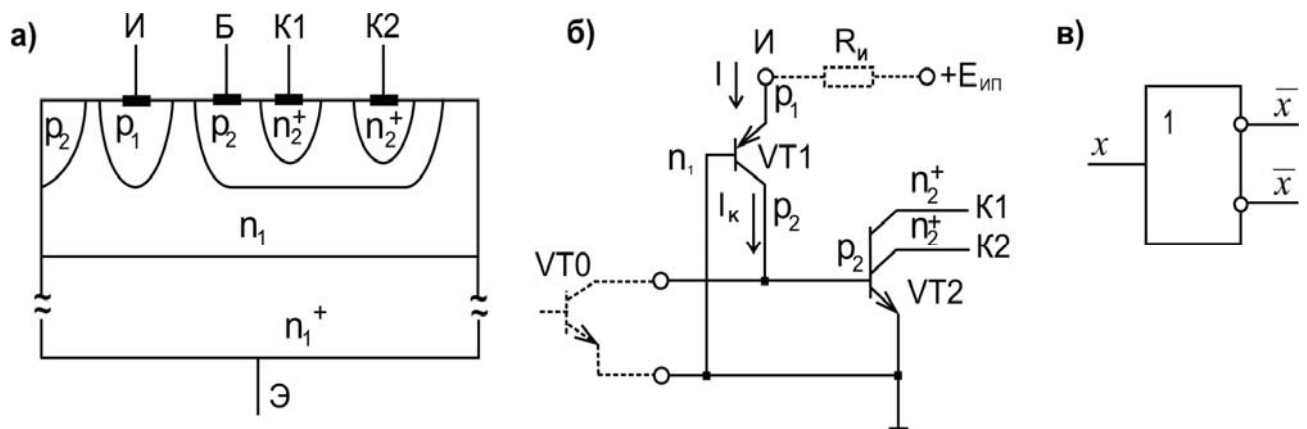


Рис. 1.

Схема замещения рассмотренной структуры приведена на рис. 17,б. Питание инжектора осуществляется от источника напряжения Еип через токозадающий резистор  $R_{и}$ , который не входит в эквивалентную схему ЛЭ и является общим для всего кристалла БИС. Возможно также питание от внешнего источника тока или путем облучения поверхности кристалла. Транзистор VT1 типа p-n-p называют токозадающим: он задает ток базы переключающего транзистора VT2 и токи баз других переключающих транзисторов, имеющих общую инжекторную область. В общем случае токозадающий транзистор VT1 является многоколлекторным, количество которых может достигать до нескольких сотен. Если ключевой транзистор предыдущего элемента (VT0) насыщен, то напряжение на эмиттерном переходе транзистора VT2 ( $U_{БЭ2}$ ) снижается примерно до 50 мВ и коллекторный ток  $I_K$  транзистора VT1 течет через насыщенный транзистор VT0. При этом транзистор VT2 оказывается закрытым и на его коллекторах устанавливаются напряжения высокого уровня. Если ключевой транзистор VT0 заперт, то напряжение на его коллекторе возрастает до уровня, ограниченного напряжением отпирания эмиттерного перехода ключевого транзистора VT2. Этот уровень у транзисторов И<sup>2</sup>Л составляет 0,6...0,75 В. Ток  $I_K$  транзистора VT1 потечет в базу транзистора VT2, вводя его в режим насыщения. На коллекторах транзистора VT2, подключенных ко входам аналогичного элемента, образуются напряжения низкого уровня порядка 50 мВ. Таким образом, рассмотренный базовый ЛЭ И<sup>2</sup>Л реализует операцию НЕ с уровнями напряжений в ПЛ  $U^1=0,6...0,75$  В,  $U^0=0,05$  В и логическим перепадом  $U_L=0,55...0,65$  В. Число выходов такого элемента равно числу коллекторов переключающего транзистора. Условное графическое обозначение инвертора с двумя выходами показано на рис. 17,в.

При анализе схем на элементах И<sup>2</sup>Л транзистор VT1 (см. рис. 18,б) обычно заменяют генератором тока в базовых цепях ключевых транзисторов VT2. Для получения необходимых логических функций применяют объединение коллекторов ключевых транзисторов. На рис. 19,а показана

реализация функции ИЛИ-НЕ на двух базовых элементах. Штриховыми линиями показаны ключевые транзисторы предыдущих элементов. Если хотя бы один из сигналов (например,  $x_1$ ) равен 1, то есть заперт транзистор VT0', то ключевой транзистор VT1 насыщен и  $y = 0$  независимо от состояния VT2. И только в случае, когда  $x_1 = x_2 = 0$  токи генераторов тока будут протекать через насыщенные транзисторы VT0' и VT0'', ключевые транзисторы VT1 и VT2 будут заперты и на выходе образуется сигнал  $y = 1$ .

Учитывая, что  $y = \overline{x_1 \vee x_2} = \overline{x_1} \overline{x_2}$ , можно считать, что при объединении коллекторов элементов И<sup>2</sup>Л реализуется функция ИЛИ-НЕ с инверсией для прямых входных сигналов или функция И для их инверсных значений. На рис. 19,б приведена схема, реализующая функцию  $y = x_1 \oplus x_2$ , которая преобразована для представления в базисе НЕ-И следующим образом:

$$y = x_1 \oplus x_2 = \overline{\overline{x_1} \overline{x_2} \vee x_1 x_2} = \overline{\overline{x_1} \overline{x_2}} \wedge \overline{x_1 x_2}.$$

Параллельное соединение выходов нескольких инверторов позволяет получить элемент ИЛИ-НЕ в ПЛ либо элемент И-НЕ в ОЛ. При этом не происходит нарушения нормального электрического режима. Параллельное соединение баз транзисторов не разрешается с целью исключения неравномерного распределения токов между несколькими переключаемыми транзисторами.

Элементы И<sup>2</sup>Л могут работать с очень малыми токами, причем быстродействие элементов растет с увеличением силы потребляемого тока. Эта особенность позволяет получать требуемое быстродействие без разработки каких-либо модификаций элементов И<sup>2</sup>Л, поскольку нужное быстродействие можно получить с помощью изменения режима работы.

Из-за отсутствия резисторов и наличия общих для обоих транзисторов областей p и n схемы элементов И<sup>2</sup>Л в 1,5...2 раза технологичнее схем элементов ТТЛ и занимают меньшую площадь на кристалле. Плотность элементов И<sup>2</sup>Л может в 50 раз превышать плотность элементов ТТЛ. Низкое напряжение питания (порядка 1,5 В), малые логические перепады и малые

паразитные емкости (обусловленные малыми размерами элементов) позволили уменьшить энергию переключения до долей пикоджоуля (у стандартного элемента ТТЛ  $A=100$  пДж).

Малые уровни сигналов и существенно отличающиеся по значениям выходные сопротивления для состояний логического 0 и 1 делают неперспективным применение элементов И<sup>2</sup>Л в схемах малой и средней степени интеграции, т.к. при этом очень трудно обеспечить надежную передачу сигналов по внешним линиям связи без использования специальных буферных элементов. Поэтому элементы И<sup>2</sup>Л ориентированы на реализацию только в БИС или СБИС.