

Тема №5 "Транзисторные логические элементы, связанные эмиттерами (ЭСЛ-элементы)"

Схемы, назначения компонентов, принцип работы, определение потенциалов в различных точках схемы, параметры, характеристики, временные диаграммы, область применения.

Цифровые микросхемы эмиттерно–связанной логики (ЭСЛ) имеют наибольшее быстродействие, достигшее к настоящему времени субнаносекундного диапазона. Такое высокое быстродействие достигнуто исключением насыщенного режима работы транзисторов и уменьшением логического перепада. Последнее обстоятельство объясняется тем, что переключение логического элемента сопровождается зарядкой и перезарядкой паразитных емкостей, обуславливающих переходные процессы в схеме. Поэтому снижение логического перепада способствует уменьшению времени переходных процессов.

Основу ЛЭ ЭСЛ составляет токовый переключатель (ТП), выполненный на основе дифференциального усилителя (рис. 15,а). Управление таким переключателем осуществляется сигналами отрицательной полярности, под действиями которых проводящим ток оказывается либо плечо с транзистором VT1, либо плечо с транзистором VT2. Протекание тока через то или иное плечо определяется уровнем входного напряжения $U_{вх}$, подаваемого на базу транзистора VT1, по отношению к уровню опорного напряжения $U_{оп}$, подаваемого на базу транзистора VT2 (рис. 15,б). Определим соотношения между уровнями $U_{вх}$ и $U_{оп}$, при которых происходит переключение тока в цепях дифференциального усилителя.

Приближенное уравнение ВАХ эмиттерного перехода биполярного транзистора определяется уравнением:

$$I_3 \approx I_s(e^{U_{БЭ}/m\phi T} - 1) \approx I_s e^{U_{БЭ}/m\phi T},$$

где: ϕ_T – температурный потенциал, значение которого при комнатной температуре составляет ≈ 26 мВ, m – коэффициент, характеризующий отклонение ВАХ от экспоненциальной зависимости, имеющий значение

для различных концентраций примесей от 1,2 до 1,5 ; I_s – ток насыщения, определяемый как обратный ток эмиттерного перехода при закороченном переходе база–коллектор.

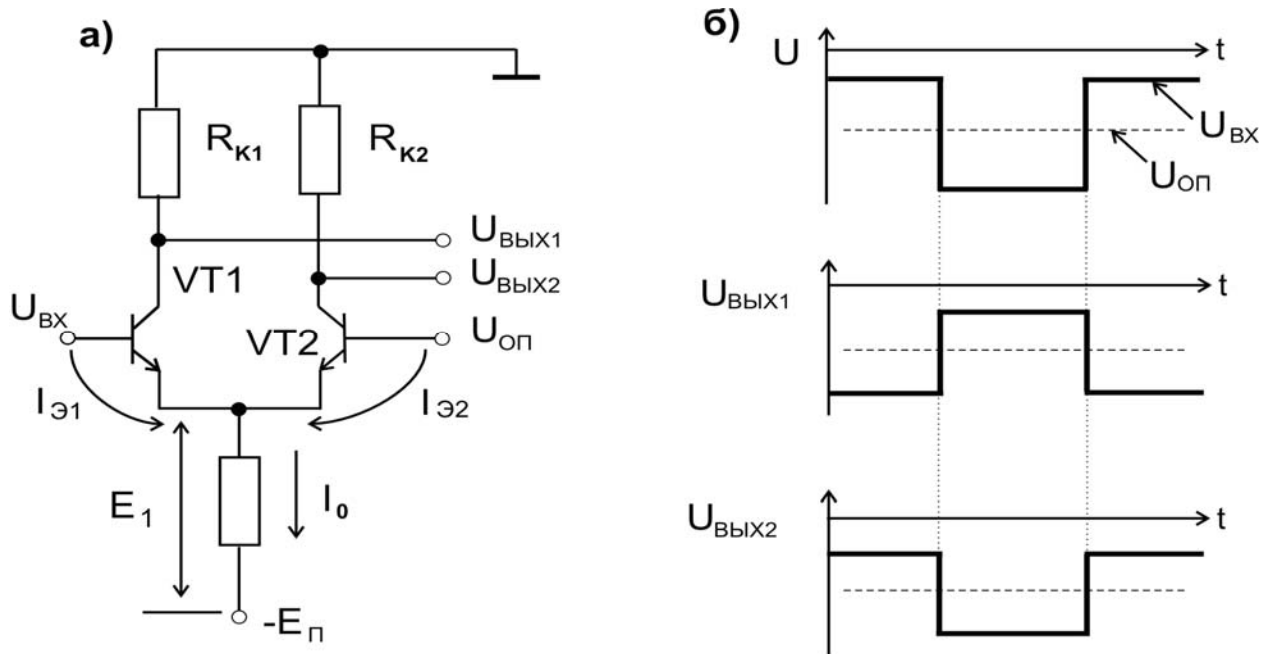


Рис. 1.

На основании этого уравнения аналитические зависимости для эмиттерных токов транзисторов VT1 и VT2 будут иметь вид:

$$I_{Э1} \approx I_s e^{(U_{ВХ} - E_1)/m\phi T}, I_{Э2} \approx I_s e^{(U_{ОП} - E_1)/m\phi T},$$

откуда следует:

$$U_{ВХ} - E_1 = m\phi_T \ln (I_{Э1}/I_s) \text{ и } U_{ОП} - E_1 = m\phi_T \ln (I_{Э2}/I_s).$$

Вычитая второе уравнения из первого, получим:

$$U_{ВХ} - U_{ОП} = m\phi_T \ln (I_{Э1}/I_s) - m\phi_T \ln (I_{Э2}/I_s) = m\phi_T \ln (I_{Э1}/I_{Э2}).$$

Будем считать, что транзистор ТП закрыт, если его эмиттерный ток не превышает 1% общего тока I_0 , т.е. $I_{Эзкр} = 0,01I_0$. При этом ток открытого транзистора будет $I_{Эоткр} = 0,99I_0$. В таком случае транзистор VT1 будет закрыт, а VT2 – открыт, если

$$U_{ВХ} - U_{ОП} = m\phi_T \ln (0,01/0,99) = - m\phi_T \ln 99.$$

Учитывая, что $\ln 99 \approx 4,6$, а при комнатной температуре $m\phi_T \approx 30$ мВ, получим

$$U_{\text{вх}} - U_{\text{оп}} = -140 \text{ мВ}.$$

Транзистор VT1 будет открыт, а VT2 – закрыт, если $I_{\beta 1} = 0,99 I_0$, а $I_{\beta 2} = 0,01 I_0$, т.е. при

$$U_{\text{вх}} - U_{\text{оп}} = m\varphi_T \ln (0,99/0,01) = 140 \text{ мВ}$$

Следовательно, переключение тока из коллекторной цепи транзистора VT1 в коллекторную цепь транзистора VT2 и наоборот происходит при изменении входного напряжения по отношению к опорному на $\pm 140 \text{ мВ}$, что соответствует логическому перепаду $U_{\text{л}} = 280 \text{ мВ}$.

В базовых схемах ЛЭ ЭСЛ используется опорное напряжение $U_{\text{оп}} = -1,3 \text{ В}$, а уровни логического 0 и 1 соответственно равны $U^0 = -1,7 \text{ В}$, $U^1 = -0,9 \text{ В}$.

Транзисторы токового переключателя не входят в режим насыщения, что позволяет максимально использовать их частотные возможности. Небольшой логический перепад ($U_{\text{л}} = U^1 - U^0 \approx 0,8 \text{ В}$) позволяет использовать в качестве $R_{\text{К1}}$ и $R_{\text{К2}}$ резисторы с малыми сопротивлениями, вследствие чего уменьшается время перезарядки нагрузочных емкостей. Благодаря этим факторам элементы ЭСЛ оказываются более быстродействующими по сравнению с ЛЭ ТТЛ и ТТЛШ.

Электрические схемы и принцип работы логических элементов ЭСЛ

В схеме базового элемента ЭСЛ (рис. 16,а) левое плечо ТП образовано несколькими параллельно включенными транзисторами, число которых определяет число входов. В рассматриваемом ЛЭ это транзисторы VT1 и VT2. На базу транзистора правого плеча VT3 подается опорное напряжение, вырабатываемое источником опорного напряжения (ИОН), выполненного на транзисторе VT4 и элементах R_6 , R_7 , R_8 , $VD1$ и $VD2$ и представляющего собой эмиттерный повторитель (ЭП) с температурной стабилизацией напряжения, осуществляемой цепочкой R_7 , R_8 , $VD1$, $VD2$. ИОН обеспечивает на базе VT3 напряжение $U_{\text{оп}} = (U^1 + U^0)/2 = -1,3 \text{ В}$. Параметры схемы рассчитаны так, что напряжение на эмиттерных переходах

транзисторов VT1...VT4 $U_{БЭ0} = 0,75$ В, а у транзисторов VT5 и VT6 $U_{БЭ0} = 0,8$ В.

Определим логические функции, реализуемые базовым элементом в ПЛ. Если хотя бы на один из входов подан уровень логической 1 (например, $x_1 = U^1 = -0,9$ В), то соответствующий транзистор левого плеча ТП (в данном случае VT1) будет открыт. При этом потенциал эмиттеров транзисторов VT1, VT2 и VT3 (точка А) окажется равным $U_A = -U_{X1} - U_{БЭ01} = -0,9 - 0,75 = -1,65$ В, а напряжение на эмиттерном переходе VT3 $U_{БЭ3} = U_{ОП} - U_A = -1,3 - (-1,65) = 0,35$ В, что вызовет запирающее действие этого транзистора. Ток ТП будет протекать через левое плечо ТП и на выходе y_1 формируется низкий потенциал, а на выходе y_2 – высокий. Если на все входы подать напряжение логического 0 ($U^0 = -1,7$ В), то транзисторы VT1 и VT2 будут закрыты, а VT3 – открыт, и ток переключится в правое плечо. На выходе y_1 станет высокий потенциал, а на выходе y_2 – низкий.

Из сказанного следует, что по выходу y_1 в ПЛ реализуется функция ИЛИ–НЕ, а по выходу y_2 – функция ИЛИ. Параметры схемы рассчитаны таким образом, что высокий потенциал по выходам y_1 и y_2 составляет $\approx -0,1$ В, а низкий – $\approx -0,9$ В. Эти уровни отличаются от стандартных логических уровней 1 и 0 элементов ЭСЛ. Для приведения указанных уровней к стандартным служит вторая ступень, образованная эмиттерными повторителями на транзисторах VT5, VT6 и резисторах R10, R11. Напряжения на выходах y_1 и y_2 повторяют выходные функции y_1 и y_2 первой ступени, но смещены относительно их на уровень $-U_{БЭ}$ открытых транзисторов VT5 и VT6, примерно равный $-0,8$ В.

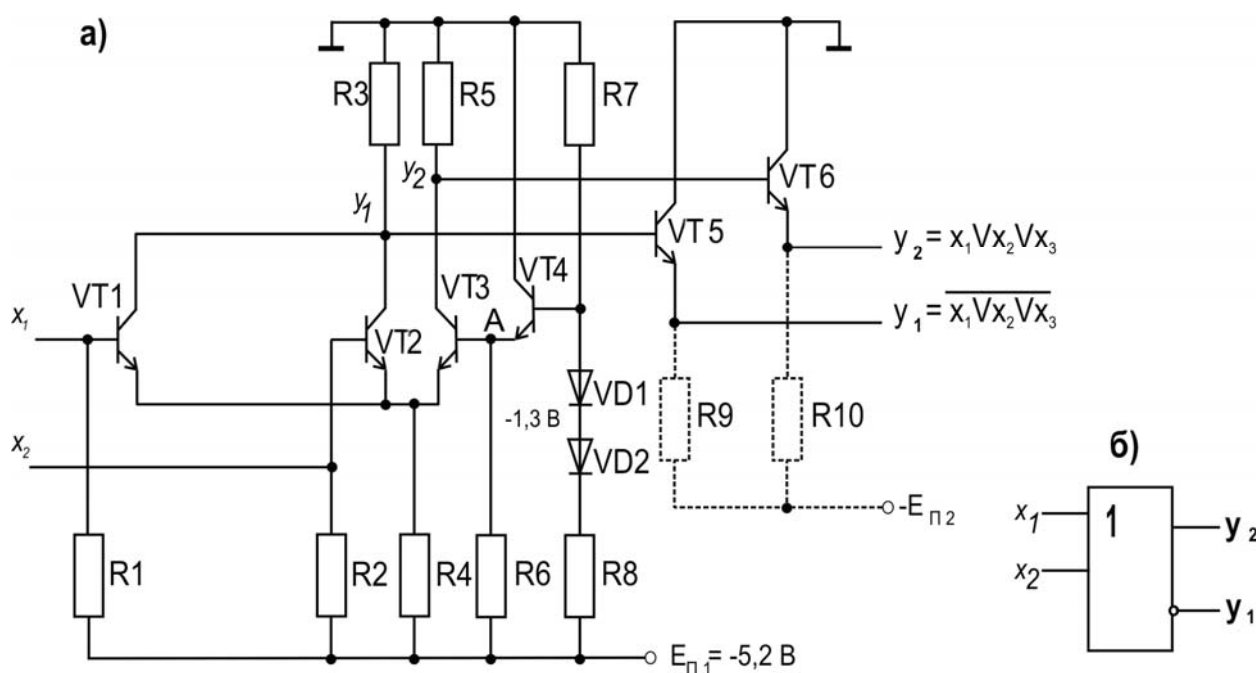


Рис. 2.

В рассматриваемом элементе базы входных транзисторов через высокоомные резисторы R1 и R2 (50 кОм) подключены к отрицательному полюсу источника питания $E_{П1}$. Благодаря этому транзисторы, входы которых остались незадействованными (свободными), оказываются закрытыми и не влияют на выполнение логических операций. Кроме того, такое подключение источника питания обеспечивает меньшую зависимость выходных напряжений от помех, наводимых в общей шине, а также сохранность микросхем при случайных соединениях выходов с корпусом. Резисторы R9 и R10 в схему не включаются с целью уменьшения рассеиваемой мощности в корпусе микросхемы. Если выходы такого ЛЭ подключаются по входам однотипных элементов, то роль нагрузочных резисторов для VT6 и VT7 будут выполнять резисторы R1, R2 подключаемых элементов. При необходимости в качестве R9 и R10 могут быть подключены внешние резисторы. При этом используется несколько вариантов номиналов этих резисторов: 240 – 500 Ом при использовании одного стандартного источника питания $E_{П1} = -5,2 \text{ В}$; 75 или 100 Ом при использовании дополнительного источника питания $E_{П2} = -2 \text{ В}$. В любом из перечисленных вариантов входные резисторы R1, R2 из-за своей

высокоомности никакого влияния на режимы работы транзисторов VT1, VT2 не оказывают.

Применение дополнительного источника $E_{П2}$ с меньшим напряжением позволяет уменьшить выходной ток и потребляемую мощность.

Особенностью схемотехнического решения ЛЭ ЭСЛ является применение раздельного подключения общей шины (земли) к цепям логической части, включающей ТП и ИОН, и цепям выходных эмиттерных повторителей. Это связано с тем, что в этих цепях наблюдается различный характер потребления электрического тока в момент переключения ЛЭ. Ток, протекающий в шине, связанной с логической частью схемы, примерно постоянный, а в шине, связанной с выходными эмиттерными повторителями он носит импульсный характер, причем сила его тем больше, чем меньше сопротивление нагрузки. Из-за индуктивного характера общей шины импульсные токи вызывают появление в ней импульсного напряжения, которое при подключении к ней коллекторов транзисторов VT5 и VT6 через резисторы R3 и R5 передавалось бы на выход ЛЭ в виде помехи, снижающей помехоустойчивость всего устройства.

Условное обозначение базового элемента ЭСЛ дано на рис. 16,б.

Наличие двух выходов с прямым и инверсным значениями функций расширяет логические возможности ЛЭ ЭСЛ. В некоторых вариантах элементов ЭСЛ используют расширители, подобно тому, как это делают в ТТЛ – схемах. Для получения более сложных логических функций используют объединение эмиттеров выходных ЭП на общую нагрузку, объединение коллекторов транзисторов двух и более ТП, построение многоуровневых (многоярусных) ТП.

Основные характеристики и параметры элементов ЭСЛ

Для оценки параметров элементов ЭСЛ в различных режимах и условиях эксплуатации используют три основные статические характеристики: передаточную $U_{\text{вых}} = f(U_{\text{вх}})$, входную $I_{\text{вх}} = f(U_{\text{вх}})$ и выходную $I_{\text{вых}} = f(U_{\text{вых}})$.

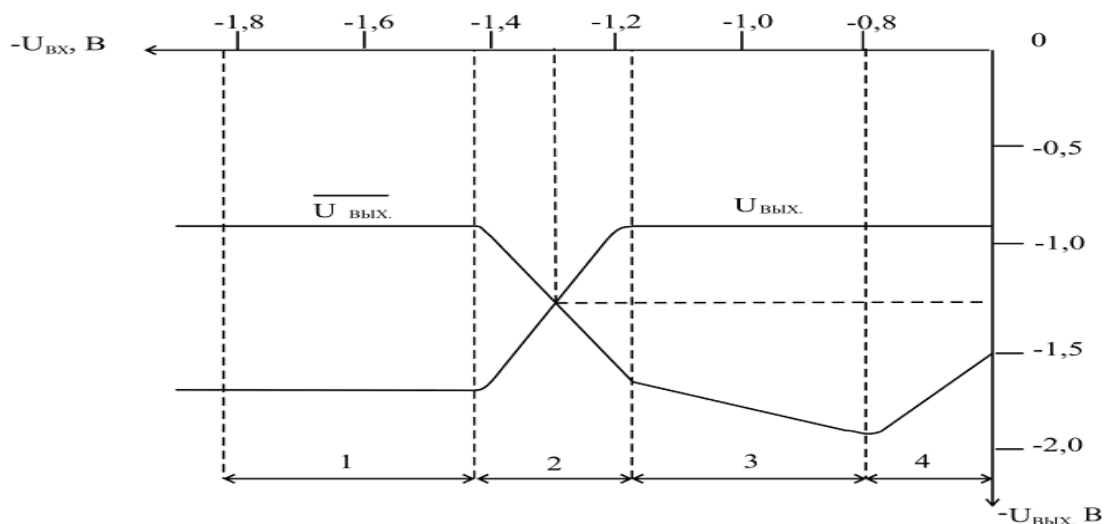


Рис. 3.

Типичная передаточная характеристика базового элемента ЭСЛ 500-й серии по прямому $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ и инверсному $-U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ выходом приведена на рис. 17. На ней можно выделить четыре области:

1 – область установившегося значения низкого уровня выходного напряжения (логического 0) для прямого выхода и высокого уровня (логической 1) для инверсного выхода.

2 – область переключения выходного напряжения из 0 в 1 для прямого выхода и из 1 в 0 для инверсного.

3 – область установившегося значения высокого уровня выходного напряжения (логической 1) для прямого выхода и низкого уровня (логического 0) для инверсного выхода. В этой области увеличение (по модулю) входного напряжения сопровождается незначительным уменьшением напряжения на инверсном выходе из-за неидеальности генератора тока ТП.

4 – область насыщения для инверсного выхода. Поскольку у насыщенного транзистора инверсного плеча ТП напряжение $U_{\text{КЭнас}} = \text{const}$, то выходное напряжение этого плеча (т.е. напряжение коллектора насыщенного транзистора) с некоторым смещением отслеживает напряжение его базы. Эта область является нерабочей.

По передаточной характеристике можно определить некоторые

статические параметры элемента: $U_{\text{вх}}^0, U_{\text{вх}}^1, U_{\text{вых}}^0, U_{\text{вых}}^1, U_{\text{вх.пор.}}^0, U_{\text{вх.пор.}}^1, U_{\text{вых.пор.}}^0, U_{\text{вых.пор.}}^1$, а также его помехоустойчивость $U_{\Pi}^+ = U_{\text{вых.пор.}}^0 - U_{\text{вх.пор.}}^0$ и $U_{\Pi}^- = U_{\text{вх.пор.}}^1 - U_{\text{вых.пор.}}^1$.