**Lab5\_单周期mips-cpu设计  
金泽文 PB15111604**

实验目的：

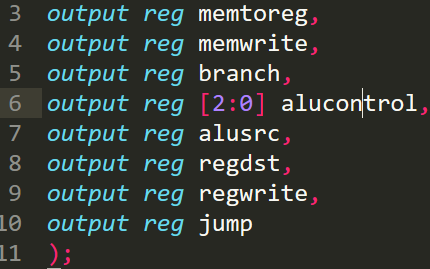
设计单周期mips-cpu。

实验内容：

* 设计CPU，完成以下程序代码的执行，其功能是起始数为3和3的斐波拉契数列的计算。只计算20个数。
* 本次实验要求设计为单周期CPU，基本思路是依据给定过的指令集（6条），设计核心的控制信号。依据前面给定的数据通路和控制单元信号进行设计。
* 注意现在涉及到两个ram，一个regfile，现在均要求是异步读，同步写。

实验分析与设计：

首先要考虑的是6条指令的解码，通过control模块解码对应opcode，由于add与addi的前opcode不同，所以考虑的case情况为7+1个（还有一个default）。

 根据不同的情况，我们需要设置以下变量，方便top模块使用。大多数用来作为mux的输入。

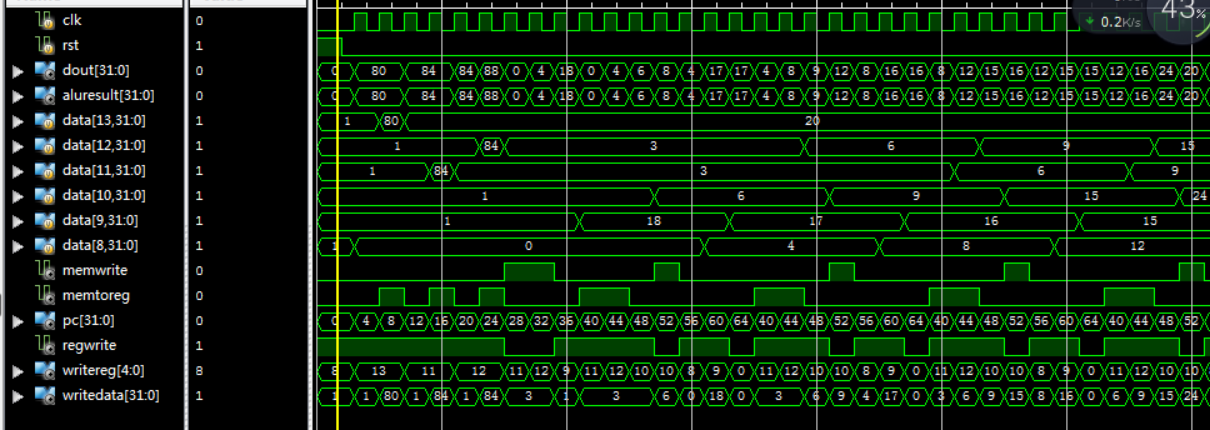
解码opcode之后在top模块中需要构造数据通路。

对于ALU模块，不同于以往，需要设置bgtz输出变量。

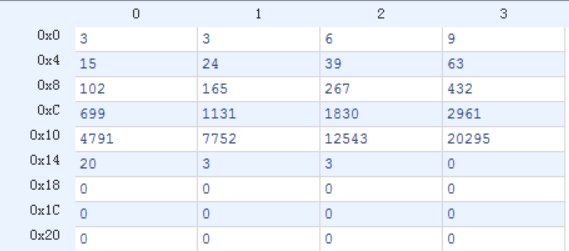
对于regfile，沿用之前的。

除此之外，需要注意的是，由于data\_mem一个地址对应的是4个字节，所以在计算对应data\_mem地址的时候需要考虑截断后两位。

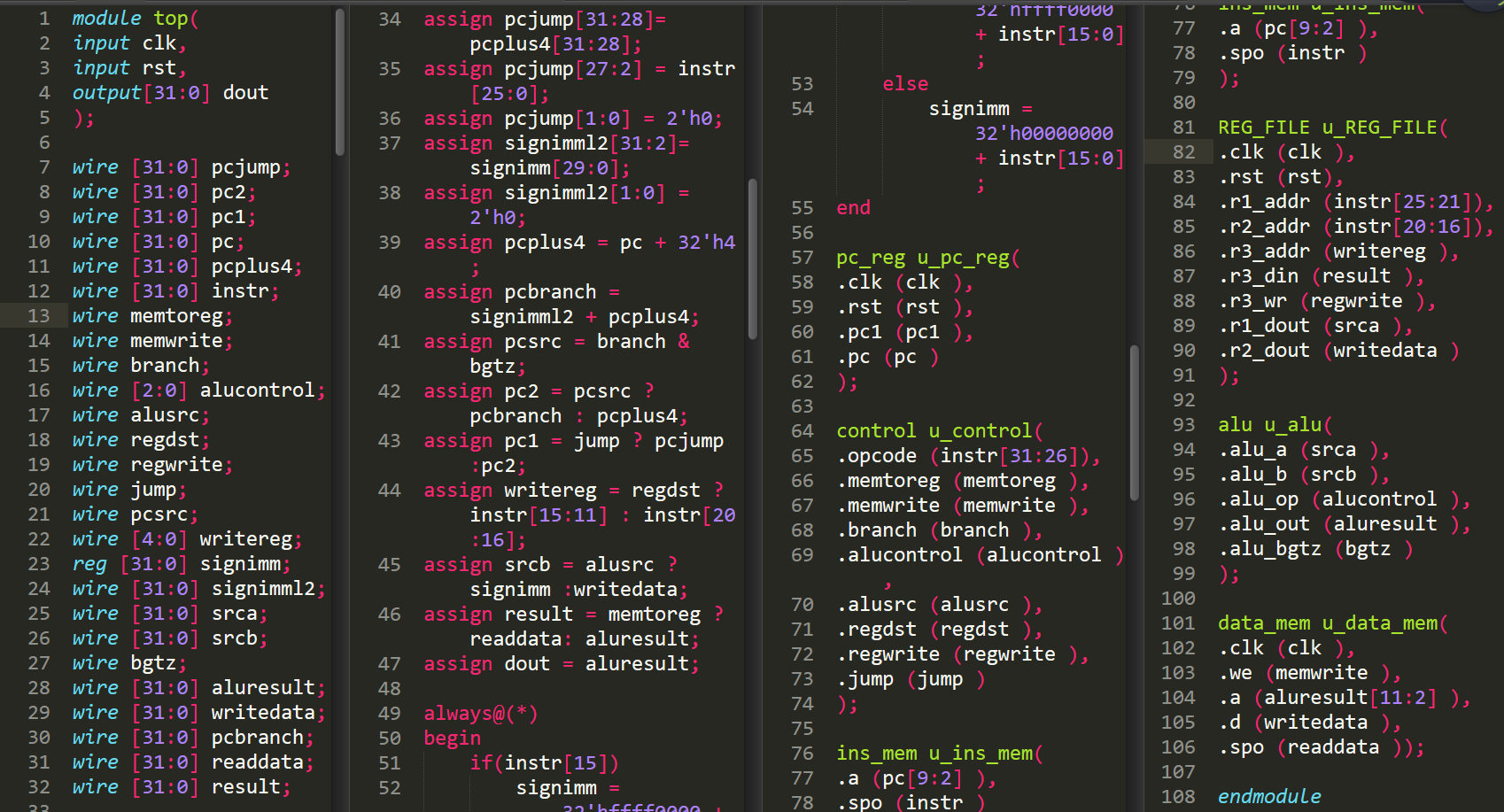
实验结果：

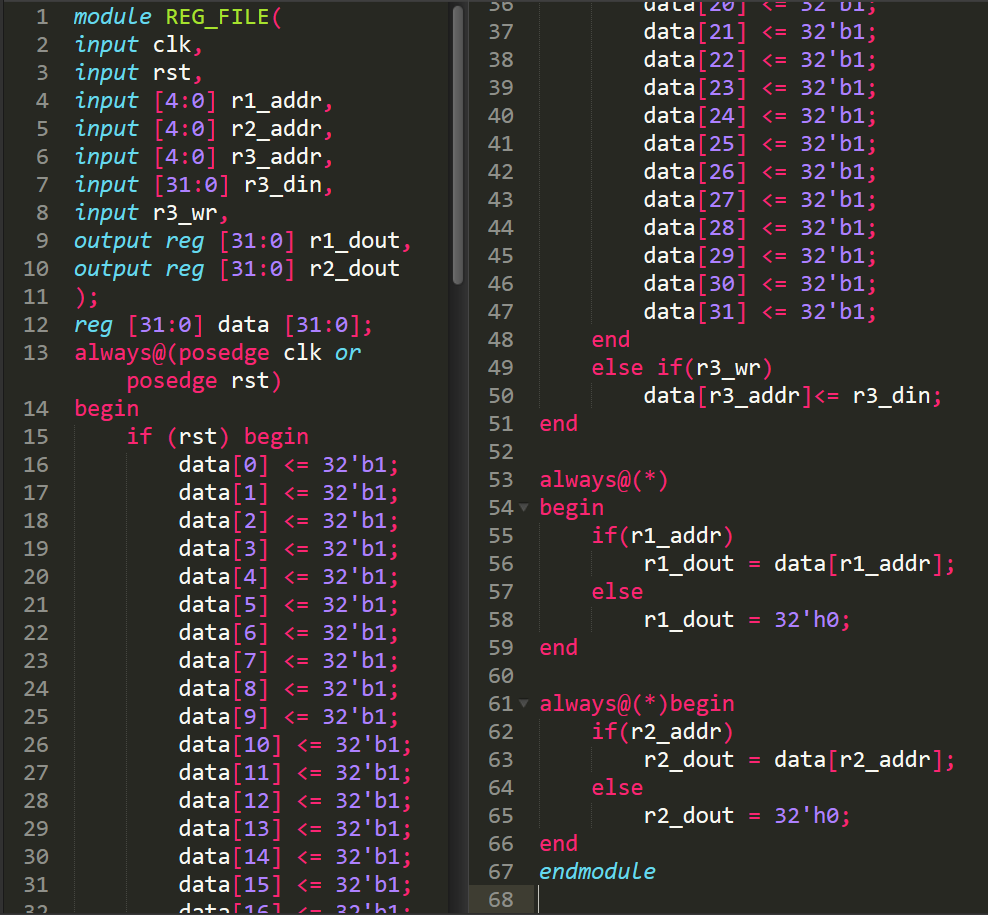
仿真波形：

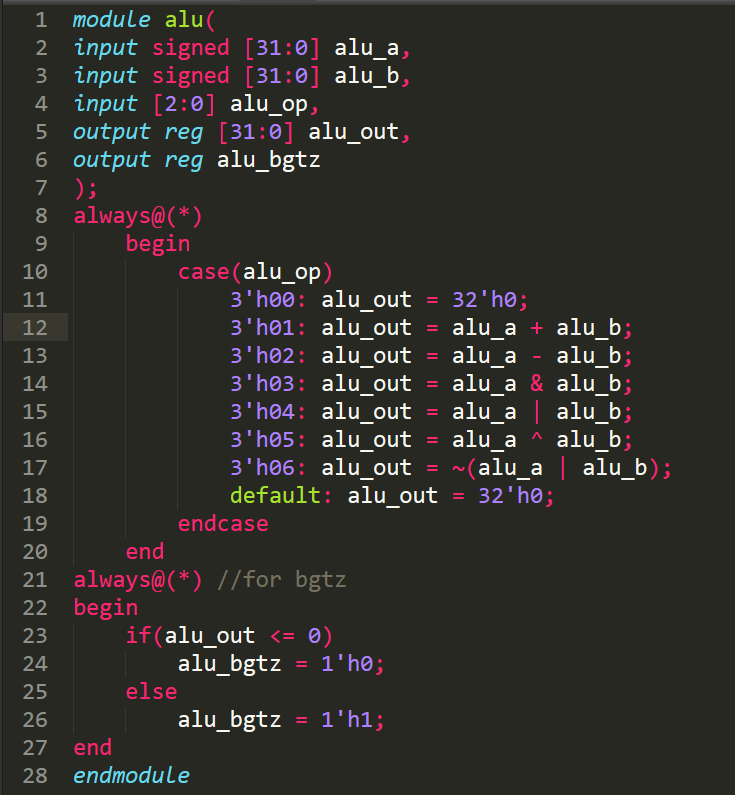
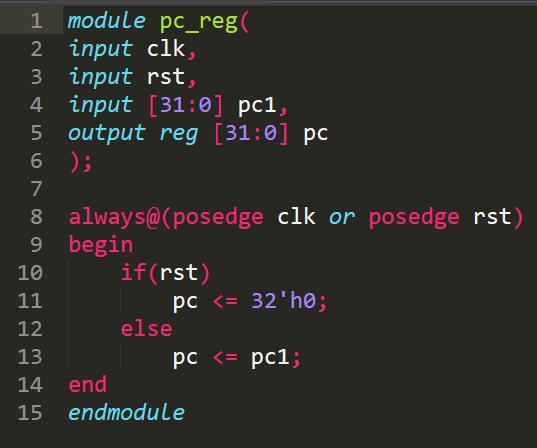
数据对应内存：



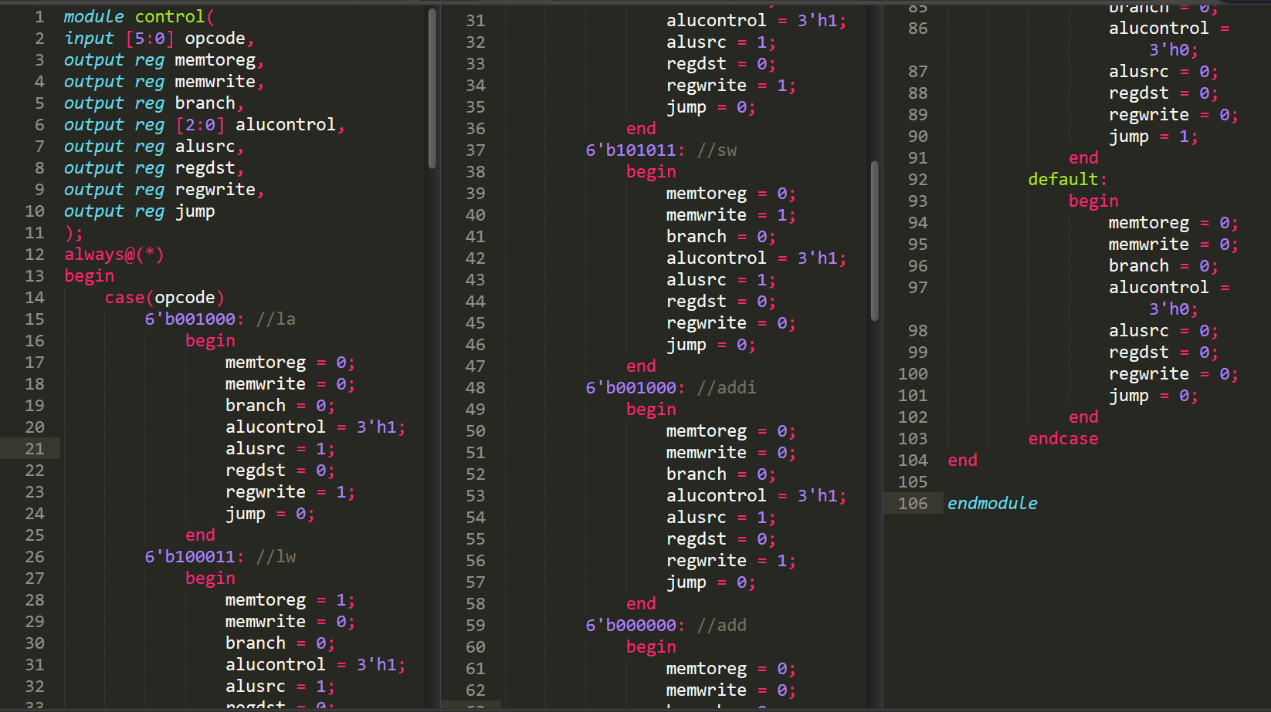
实验代码：

Top

Reg\_file

Alu

pc\_reg

control