**Lab6\_多周期mips-cpu设计  
金泽文 PB15111604**

实验目的：

设计多周期mips-cpu。

实验内容：

* 设计CPU，完成以下程序代码的执行，其功能是起始数为3和3的斐波拉契数列的计算。只计算20个数。
* 实验设计中可以不使用给定的数据通路和状态机，但仅允许使用一个存储器。
* 对指令/数据存储器的附加要求：
  + 使用异步存储器，最高评分为√√
  + 使用同步存储器，最高评分为√√√，使用同步存储器时，需要对数据通路和状态机进行适当修改。

实验分析与设计：

我采用了同步存储器。针对ppt中给出的状态机，出于对时延的考虑，在S3与S4之间，S5之后，S8之后，分别加了一个等待状态。

Top和control基本按照ppt中数据通路实现。需要指出的是，我省略了2位的AluOp，直接使用了3

位的AluControl，除了S8对应的beq需要“-”运算，其他都是“+”运算。

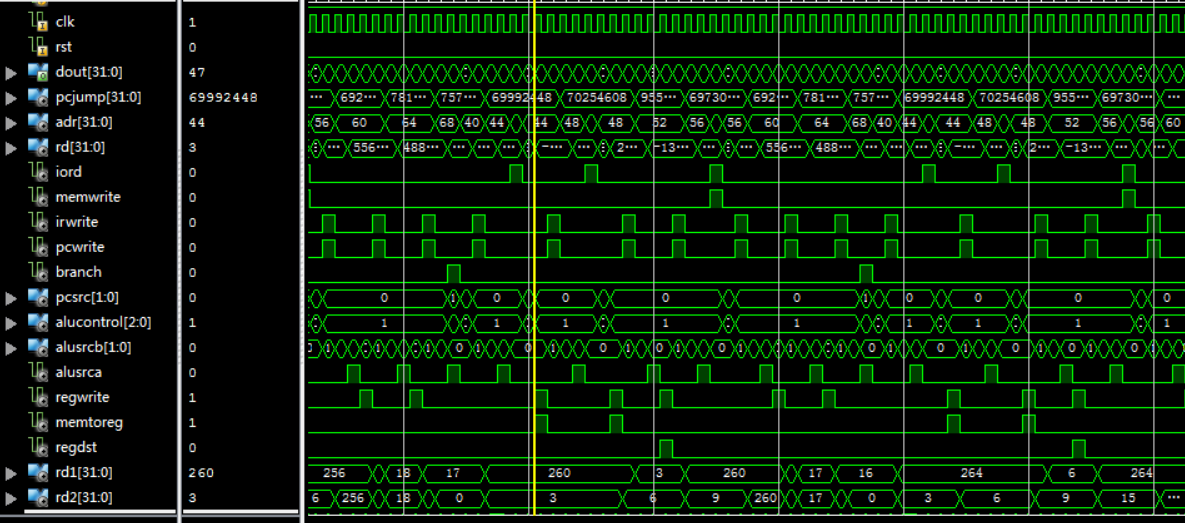
对于ALU模块，不同于以往，需要设置zero输出变量。

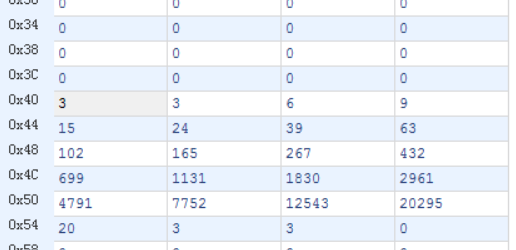
对于regfile，沿用之前。

除此之外，需要注意的是，由于mem一个地址对应的是4个字节，所以在计算对应mem地址的时候需要考虑截断后两位。同时，为了方便仿真时的观察，将数据输出首地址改为0x40，对应的coe需要修改四处：

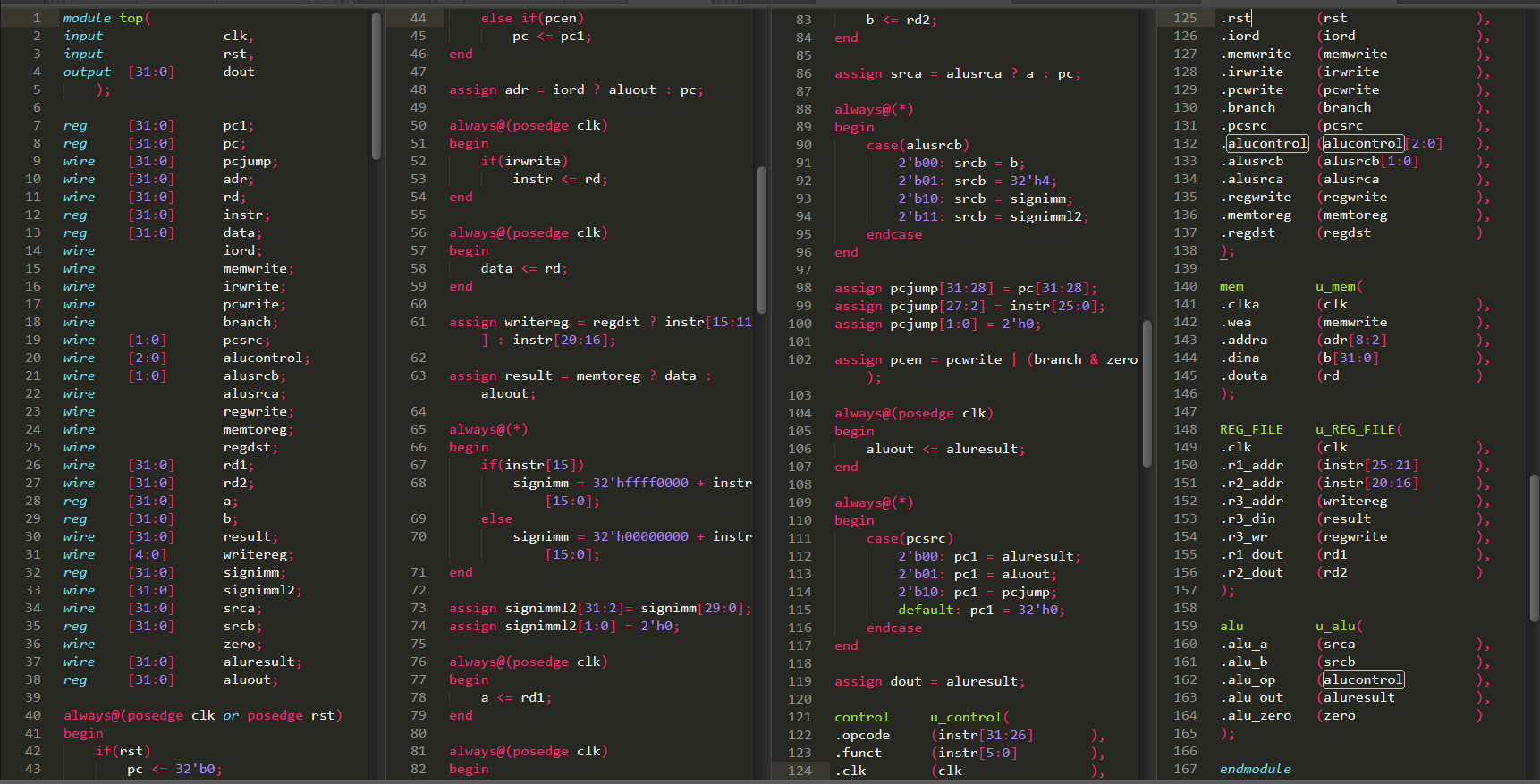
20080100，200d0150，200b0154，200c0154

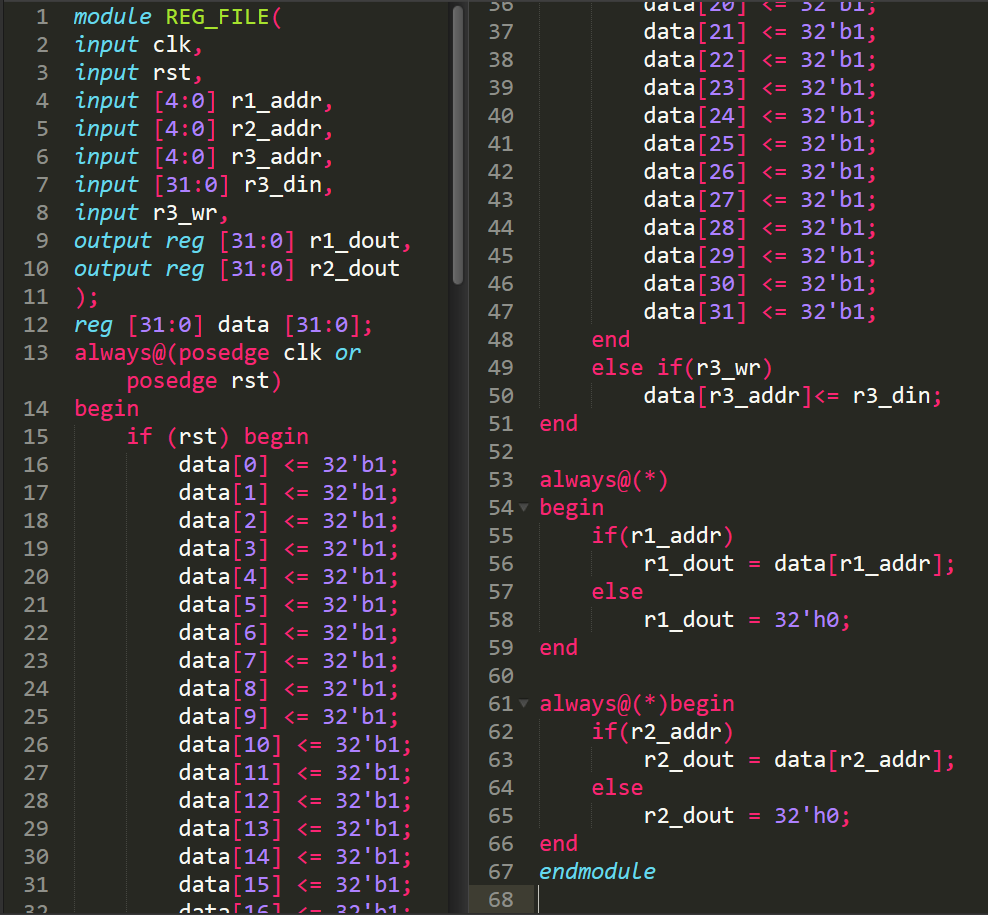
实验结果：

仿真波形：

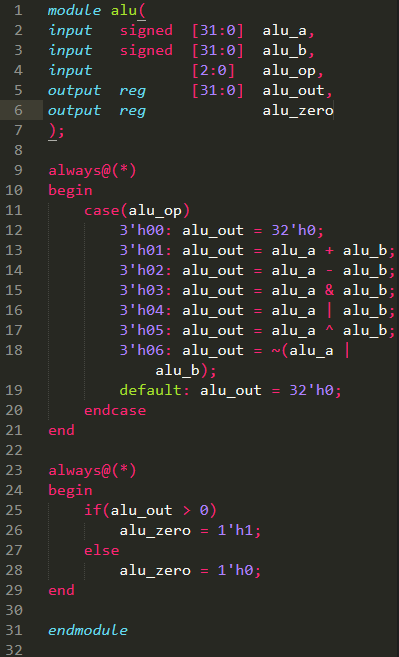
内存：

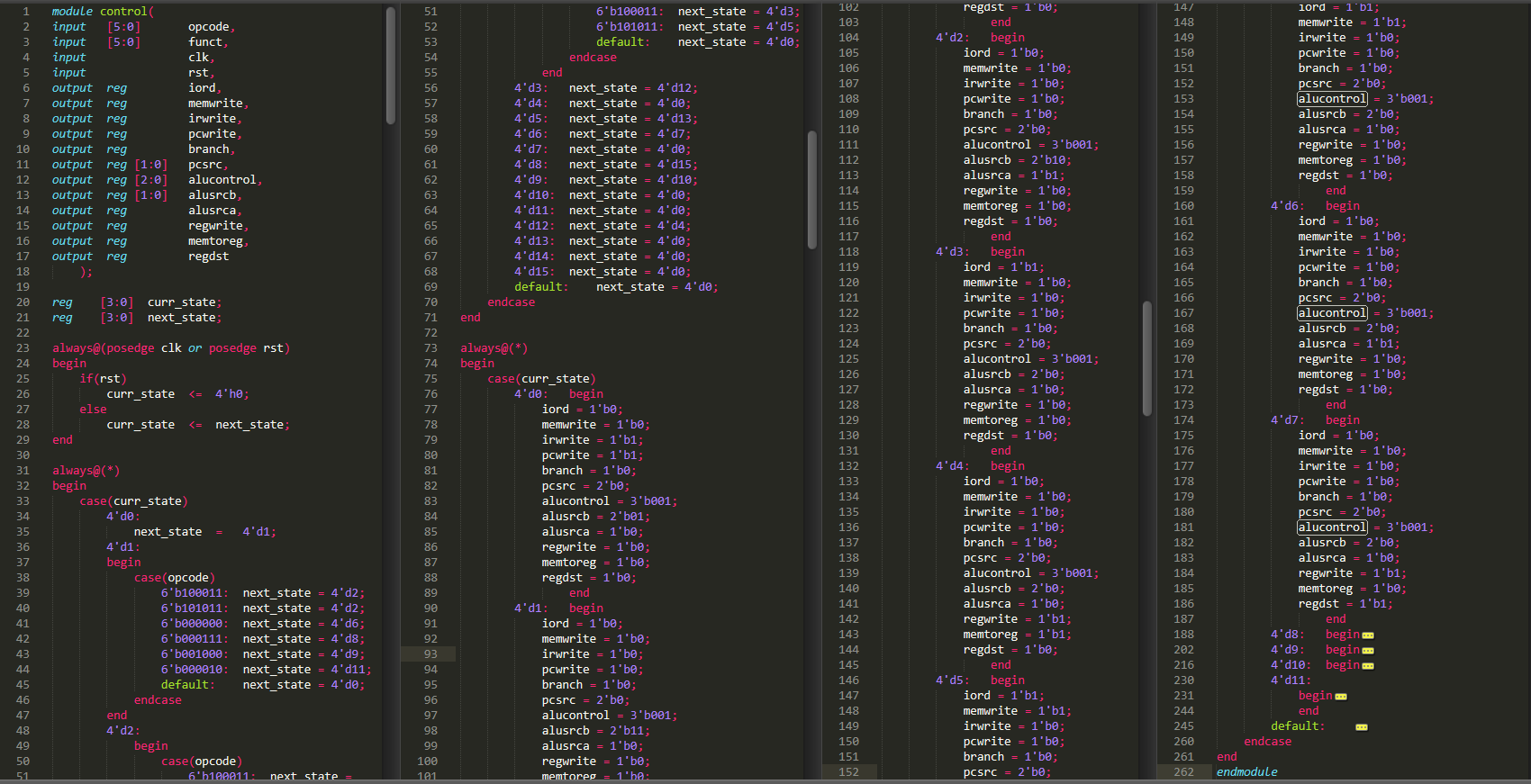
实验代码：

Top：

Reg\_file

Alu：



control