

# Taxonomía de Flynn y Redes de Interconexión

Christofer Fabián Chávez Carazas

Universidad Nacional de San Agustín

Seguridad Computacional

29 de marzo de 2017

## 1. Taxonomía de Flynn

La taxonomía de Flynn es una clasificación de arquitecturas de computadores propuesta por Michael J. Flynn. Él no consideraba la arquitecturas de la máquina para la clasificación de computadoras paralelas. También introdujo el concepto de instruction stream y data stream. El término “stream” se refiere a las secuencias o flujos de cualquiera de las instrucciones o datos que operan en la computadora. Cuando una instrucción va de la memoria principal hasta la CPU, se llama instruction stream. Igualmente, el flujo bidireccional de las operaciones entre el procesador y la memoria principal se llama data stream [1]. Estos dos tipos de flujos se observan en la figura 1

La taxonomía de Flynn esta basado en cuantos flujos de datos e instrucciones existe en la máquina. Una máquina puede tener un flujo simple o un flujo multiple de datos o instrucciones. Según como se convine estos dos tipos de flujo se tiene una de las clasificaciones de Flynn (Figura 2).

### 1.1. SISD

Single Instruction stream and Single Data stream (SISD). En esta organización las instrucciones se ejecutan secuencialmente en un sólo procesador sin explotar el paralelismo como las máquinas antiguas (DEC VAX, Apple Macintosh, CDC 7600, etc). Esta configuración se muestra en la figura 3

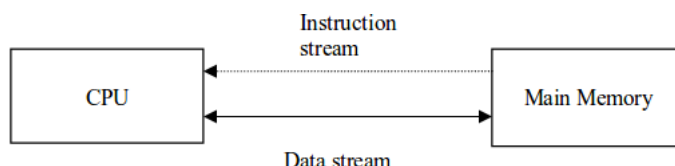


Figura 1: Instruction and data stream

		Data Streams	
		Single	Multiple
Instruction Streams	Single	SISD	SIMD
	Multiple	MISD	MIMD

Fig. 1.6 Flynn's Taxonomy

Figura 2: Taxonomía de Flynn

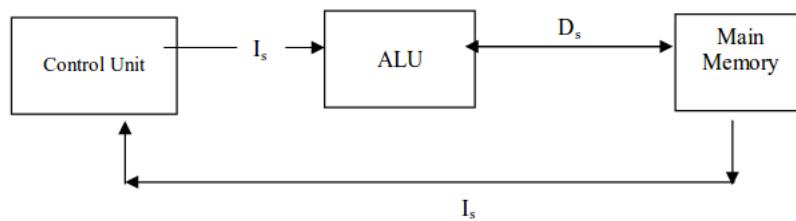


Figura 3: Organización SISD

## 1.2. SIMD

Simple Instruction stream and Multiple Data Stream (SIMD). En esta organización varios elementos de procesamiento (PE) trabajan bajo el control de una sola unidad de control. Todas las PEs reciben la misma instrucción transmitida desde el CU. La memoria principal puede ser dividida en módulos actuando como una memoria distribuida. Algunos ejemplos de esta organización son ILLIAC-IV, PEPE, BSP, STARAN, MPP y DAP. En la figura 4 se muestra esta clasificación.

## 1.3. MISD

Multiple Instruction stream and simple Data Stream (MISD). En esta organización varios elementos de procesamiento son organizados por varias unidades de control.

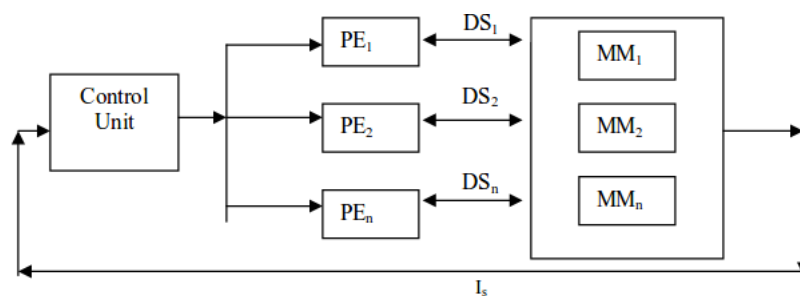


Figura 4: Organización SIMD

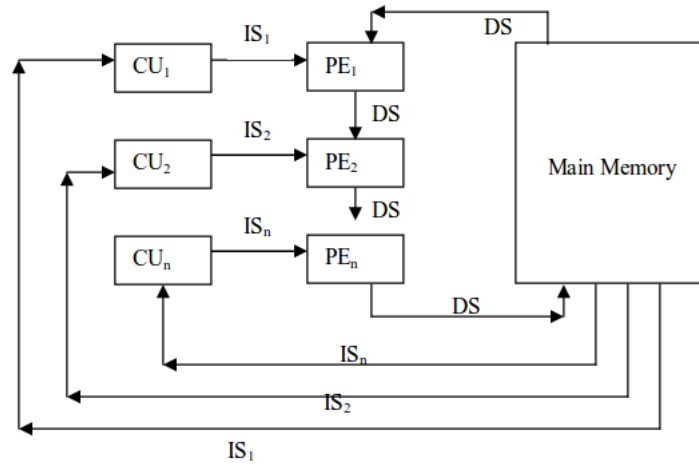


Figura 5: Organización MISD

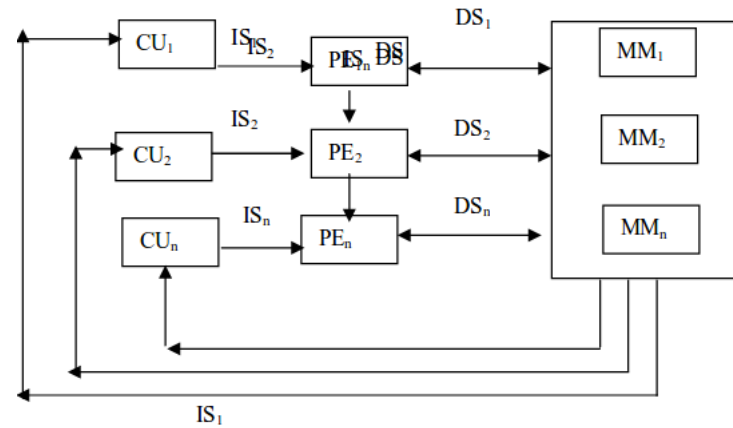


Figura 6: Organización MIMD

Cada unidad de control tiene su propio flujo de instrucciones hacia los respectivos PEs, pero todos los PEs procesan la información mediante un sólo flujo de datos, y se utiliza una memoria compartida. El único ejemplo conocido en la C.mmp contruida por la universidad de Carnegie-Mellon. Esta clasificación es poco común debido al hecho de que la efectividad de los múltiples flujos de instrucciones suele precisar de múltiples flujos de datos. La configuración del MISD se muestra en la figura 5.

#### 1.4. MIMD

Las computadoras en la clase Multiple Instruction and Multiple Data Stream (MIMD) tiene varias unidades de control y varios elementos de proceso, al igual que en el MISD, con la diferencia de que acá cada PE tiene su flujo de datos hacia la memoria. Todos los sistemas multiprocesador funcionan bajo esta clasificación. En la figura 6 se detalla esta organización.

## 2. Redes de Interconexión

Las redes de interconexión juegan un papel decisivo en el desempeño de los sistemas con memoria compartida y distribuida.

### 2.1. Interconexiones de memoria compartida

Los más utilizados son los buses y los crossbars. Los buses son cables de comunicación que permiten el acceso a la memoria. La característica principal de un bus es que los cables de comunicación son compartidos con todos los dispositivos conectados. Los buses son de bajo costo y flexibilidad; conectar un nuevo dispositivo tiene un costo muy bajo. Pero el problema radica al momento de conectar varios dispositivos. Si aumentamos el número de procesadores conectados a un bus, baja la rapidez en que un procesador ingresa a la memoria, ya que existe más posibilidad de que se quede esperando a otro. Los crossbars son una alternativa a los buses que configura interruptores de tal manera que cada procesador tenga un módulo de memoria. Aunque son más rápidas que los buses, crear los interruptores cuesta mucho.

### 2.2. Interconexiones de memoria distribuida

Las interconexiones de memoria distribuida se dividen en dos grupos: directas e indirectas. En una interconexión directa cada interruptor está conectado directamente con un procesador y con la memoria y los interruptores están conectados entre sí. El anillo y la toroidal mesh son ejemplos de estas interconexiones. Estas dos son más rápidas que un bus por el número de conexiones, permitiendo múltiples comunicaciones simultáneas. La toroidal mesh son más costosas que los anillos, porque los interruptores soportan cinco enlaces, mientras que en los anillos soportan sólo tres.

La banda de biseción es una medida para la conectividad de una interconexión. Para obtener esta medida se divide el sistema en dos mitades con la misma cantidad de procesadores. La banda de biseción es el número de conexiones que hay entre las dos mitades. Para esto siempre se toma el peor caso, ya que se puede dividir un sistema de varias maneras.

El ancho de banda de un enlace es la velocidad a la que puede transmitir datos, y es muy utilizado para medir la calidad de la red. A menudo se mide en megabytes por segundo. Para obtener el ancho de banda es muy similar a obtener la banda de biseción, en vez de contar el número de enlaces entre las dos mitades, se suma el ancho de banda de dichas conexiones.

El hipercubo es una interconexión directa altamente conectada. Un hipercubo de dimensión uno se crea conectando dos procesadores. Un hipercubo de dimensión dos se construye uniendo dos hipercubos de dimensión uno. Un hipercubo de dimensión tres se construye uniendo dos hipercubos de dimensión dos. Así se puede crear hipercubos de dimensión  $n$ .

En las interconexiones directas, los interruptores pueden no estar conectados directamente a un procesador. A menudo se muestran con enlaces unidireccionales y una colección de procesadores, cada uno de los cuales tiene un enlace saliente y entrante, y una red de conmutación. La corssbar y la red omega son ejemplo simples de una interconexión indirecta

## Referencias

- [1] ERIC AUBANEL *Elements of Parallel Computing, December 6, 2016 by Chapman and Hall/CRC, pp 27-32*
- [2] DANIEL C. HYDE *Introduction to the Principles of Parallel Computation*
- [3] PETER S. PACHECO. *An introduction to parallel programming, pp 29-42*