



杭州电子科技大学  
HANGZHOU DIANZI UNIVERSITY

# 电子信息虚拟仿真实验报告

## 实验 3: PWM 控制器设计

学院 卓越学院

学号 23040447

姓名 陈文轩

专业 智能硬件与系统 (电子信息工程)

2025 年 4 月 27 日

# 目录

<b>1</b>	<b>顶层电路设计 (verilog)</b>	<b>1</b>
<b>2</b>	<b>仿真结果电路截图</b>	<b>1</b>
<b>3</b>	<b>远程平台操作截图</b>	<b>2</b>
<b>4</b>	<b>实验设计过程简要介绍</b>	<b>3</b>
4.1	实验概述 . . . . .	3
4.2	模块设计 . . . . .	3
4.2.1	顶层模块 lab301PWM . . . . .	3
4.2.2	主要功能组件 . . . . .	3
4.3	实验内容 . . . . .	4
4.3.1	PWM 信号生成模块设计与仿真验证 . . . . .	4
4.3.2	硬件实现与测试 . . . . .	4
4.4	关键模块说明 . . . . .	5
4.4.1	计数器模块 . . . . .	5
4.4.2	占空比控制逻辑 . . . . .	5
4.5	实验总结 . . . . .	5

## 1 顶层电路设计 (verilog)

```
19 module Tab301PWM (
20     input wire clk,           // 输入时钟信号
21     input wire rst_n,         // 复位信号，低电平有效
22     input wire [7:0] duty,    // 占空比
23     output reg pwm_out        // PWM输出信号
24 );
25
26 // 将period定义为参数
27 parameter [31:0] period = 32'd10;
28 // parameter [7:0] duty = 8'd100;
29
30 reg [31:0] counter;          // 计数器
31
32 always @(posedge clk or negedge rst_n) begin
33     if (!rst_n) begin
34         counter <= 32'd0;
35         pwm_out <= 1'b0;
36     end else begin
37         if (counter < period) begin
38             counter <= counter + 1;
39         end else begin
40             counter <= 32'd0;
41         end
42
43         if (counter < (period * duty) >> 8) begin
44             pwm_out <= 1'b1;
45         end else begin
46             pwm_out <= 1'b0;
47         end
48     end
49 end
```

图 1 顶层电路设计 (verilog)

## 2 仿真结果电路截图

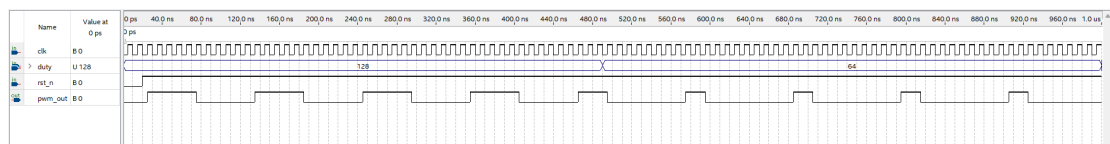


图 2 VWF 仿真结果

### 3 远程平台操作截图

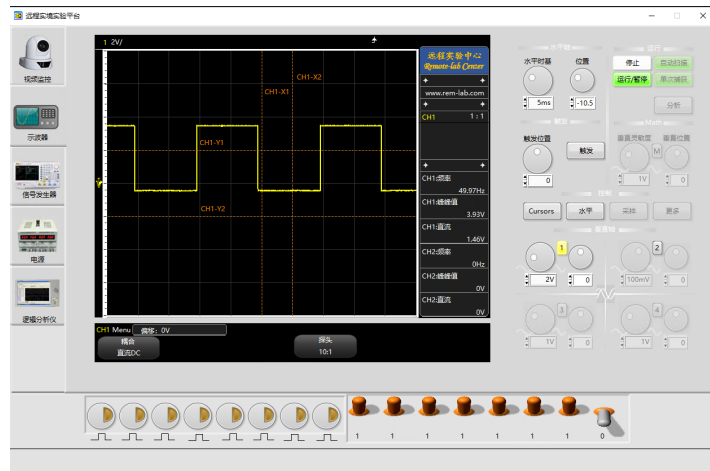


图 3 操作截图:50HZ 方波

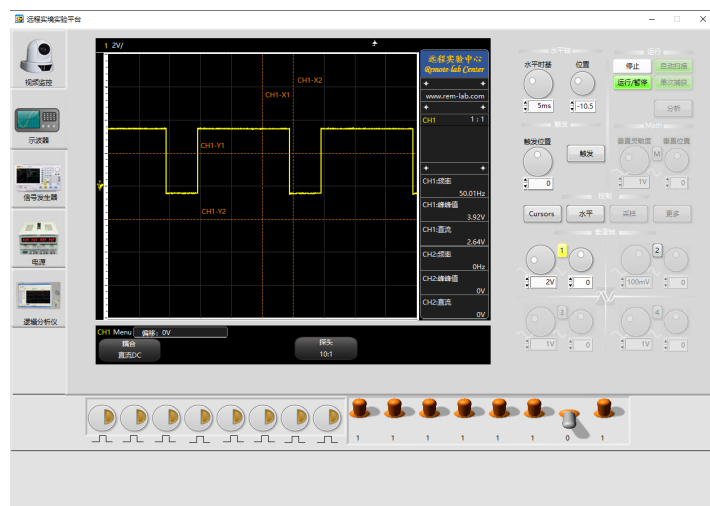


图 4 操作截图:50HZ 矩形波, 占空比  $8'b10111111/8'd256=0.746$

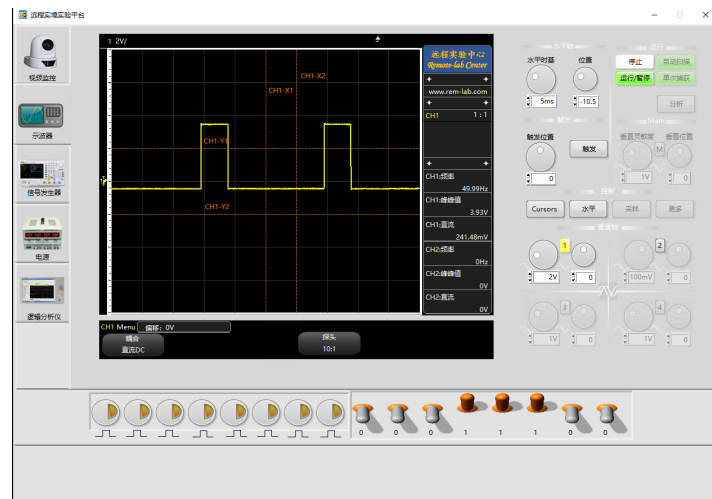


图 5 操作截图:50HZ 矩形波, 占空比  $8'b00111000/8'd256=0.219$

## 4 实验设计过程简要介绍

### 4.1 实验概述

本实验设计了一个基于 Verilog 的 PWM（脉宽调制）信号生成模块，能够通过调整占空比和周期参数生成不同频率和占空比的 PWM 信号。实验内容包括模块设计、仿真验证以及硬件实现。

### 4.2 模块设计

#### 4.2.1 顶层模块 lab301PWM

```

1 module lab301PWM (
2     input wire clk,           // 输入时钟信号
3     input wire rst_n,         // 复位信号，低电平有效
4     input wire [7:0] duty,    // 占空比控制信号
5     output reg pwm_out        // PWM输出信号
6 );

```

#### 4.2.2 主要功能组件

##### 1. 计数器模块

- 计数器 counter 用于记录当前时钟周期。
- 当计数器值达到设定的周期 period 时复位为 0。

## 2. 占空比控制逻辑

- 根据占空比信号 `duty` 和周期 `period` 计算高电平持续时间。
- 当计数器值小于  $(\text{period} * \text{duty}) \gg 8$  时，输出高电平，否则输出低电平。

## 4.3 实验内容

### 4.3.1 PWM 信号生成模块设计与仿真验证

PWM 信号生成模块通过以下步骤实现：

1. 计数器 `counter` 在每个时钟周期递增，直到达到设定的周期 `period`，然后复位为 0。
2. 根据占空比信号 `duty` 计算高电平持续时间：

$$\text{High\_Time} = \frac{\text{period} \times \text{duty}}{256}$$

3. 当计数器值小于高电平持续时间时，输出 `pwm_out` 为高电平，否则为低电平。

仿真测试应覆盖以下场景：

- 不同占空比测试：如 0%、50%、100%。
- 不同周期测试：如周期为 10、100、1000。
- 边界值测试：如占空比为 0 和 255。

### 4.3.2 硬件实现与测试

将设计的 PWM 模块下载到 FPGA 开发板，通过示波器观察输出信号波形，验证以下功能：

1. PWM 信号的频率与设定的周期 `period` 一致。
2. PWM 信号的占空比与输入的 `duty` 信号一致。

## 4.4 关键模块说明

### 4.4.1 计数器模块

计数器用于生成周期性信号，其实现如下：

```
1 if (counter < period) begin
2     counter <= counter + 1;
3 end else begin
4     counter <= 32'd0;
5 end
```

### 4.4.2 占空比控制逻辑

占空比控制逻辑根据计数器值和占空比信号生成 PWM 输出：

```
1 if (counter < (period * duty) >> 8) begin
2     pwm_out <= 1'b1;
3 end else begin
4     pwm_out <= 1'b0;
5 end
```

## 4.5 实验总结

本实验成功实现了：

1. 基于 Verilog 的 PWM 信号生成模块设计。
2. PWM 信号的占空比和频率可调。
3. 仿真验证和硬件测试均表明模块功能正确。

通过本实验，掌握了 PWM 信号的基本原理及其在数字电路中的实现方法，为后续复杂数字系统设计奠定了基础。