



杭州电子科技大学  
HANGZHOU DIANZI UNIVERSITY

# 电子信息虚拟仿真实验报告

## 实验 4: 直流电机 PWM 调速设计

学院 卓越学院

学号 23040447

姓名 陈文轩

专业 智能硬件与系统(电子信息工程)

2025 年 4 月 27 日

# 目录

<b>1</b>	<b>顶层电路设计 (verilog)</b>	<b>1</b>
<b>2</b>	<b>仿真结果电路截图</b>	<b>2</b>
<b>3</b>	<b>远程平台操作截图</b>	<b>2</b>
<b>4</b>	<b>实验设计过程简要介绍</b>	<b>3</b>
4.1	实验概述 . . . . .	3
4.2	模块设计 . . . . .	3
4.2.1	顶层模块 PWMplus . . . . .	3
4.2.2	主要功能组件 . . . . .	3
4.3	实验内容 . . . . .	4
4.3.1	PWM 信号生成模块设计与仿真验证 . . . . .	4
4.3.2	转速测量模块设计与验证 . . . . .	4
4.3.3	数码管动态显示模块设计与验证 . . . . .	4
4.4	实验总结 . . . . .	5

# 1 顶层电路设计 (verilog)

```

1 module PWMplus(
2     input wire clk,           // 时钟信号
3     input wire GND,          // 接地信号 (未使用, 但保留接口)
4     input wire CNTN,          // 光电信号, 用于测量转速
5     input wire [7:0] A,       // 占空比控制信号 (0-255)
6     output reg PWM_motor,      // PWM 输出信号
7     output wire [7:0] seg_sel, // 数码管位选信号
8     output wire [7:0] seg_led // 数码管段选信号
9 );
10
11 reg [19:0] clk_div = 20'd0; // 分频计数器 (20位, 支持较大的分频系数)
12 reg slow_clk = 0;          // 分频后的时钟信号
13 reg [7:0] counter = 8'd0;  // 8位计数器
14
15 // 转速测量相关寄存器
16 reg [31:0] period_count = 32'd0; // 记录相邻两个 CNTN 上升沿之间的时钟周期数
17 reg [31:0] speed = 32'd0;        // 转速值
18 reg CNTN_prev = 0;              // CNTN 的前一时钟状态
19
20 // 分频器逻辑, 将时钟信号分频为 256 倍的 5000Hz
21 always @(posedge clk) begin
22     if (clk_div == 20'd999) begin // 假设输入时钟为 50MHz, 分频系数为 50,000,000 / (5000 * 256) = 100,0
23         clk_div <= 20'd0;
24         slow_clk <= ~slow_clk; // 翻转分频时钟信号
25     end else begin
26         clk_div <= clk_div + 1;
27     end
28 end

```

图 1 顶层电路设计 1(verilog)

```

30 // 使用分频后的时钟信号驱动计数器和 PWM 输出逻辑
31 always @(posedge slow_clk) begin
32     // 计数器递增
33     if (counter == 8'd255)
34         counter <= 8'd0; // 计数器循环
35     else
36         counter <= counter + 1;
37
38     // 根据占空比控制输出
39     if (counter < A)
40         PWM_motor <= 1;
41     else
42         PWM_motor <= 0;
43 end
44
45 // 转速测量逻辑
46 always @(posedge clk) begin
47     if (CNTN && !CNTN_prev) begin // 检测 CNTN 的上升沿
48         if (period_count != 0) begin
49             speed <= (60 * 50_000_000) / period_count; // 转速 = 60 * 时钟频率 / 周期计数
50         end else begin
51             speed <= 0; // 避免除以 0 的情况
52         end
53         period_count <= 0; // 重置周期计数器
54     end else begin
55         period_count <= period_count + 1; // 周期计数器递增
56     end
57     CNTN_prev <= CNTN; // 更新 CNTN 的前一状态
58 end

```

图 2 顶层电路设计 2(verilog)

```

60 // 数码管动态显示模块
61 seg_led u_seg_led(
62     .clk (clk),           // 时钟信号
63     .rst_n (1'b1),        // 复位信号, 始终有效
64     .data (32'd10),        // 显示的转速值
65     .point (8'b00000000), // 小数点具体显示的位置, 高电平有效
66     .en (8'b11111111),    // 数码管使能信号
67     .sign (1'b0),          // 符号位, 高电平显示负号(-)
68     .seg_sel (seg_sel),    // 位选
69     .seg_led (seg_led)     // 段选
70 );
71
72 endmodule

```

图 3 顶层电路设计 3(verilog)

## 2 仿真结果电路截图

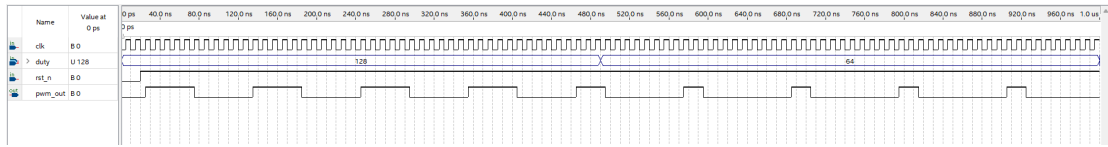


图 4 VWF 仿真结果

## 3 远程平台操作截图

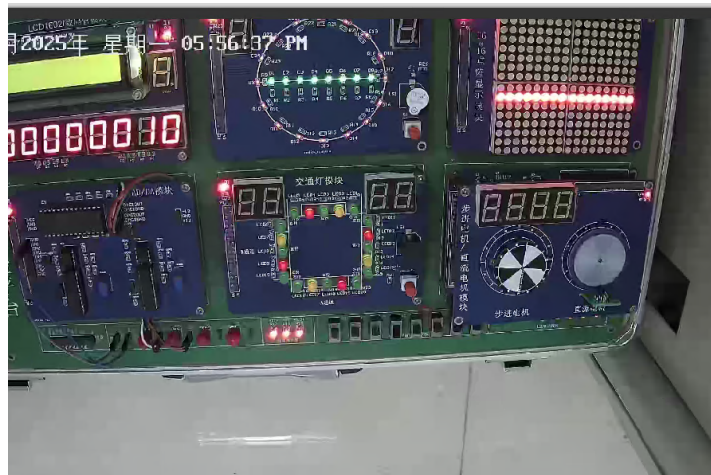


图 5 操作截图: 转速 10r/s

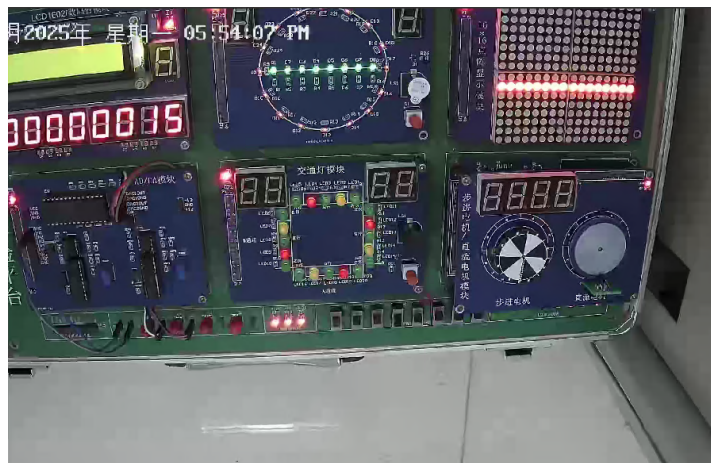


图 6 操作截图: 转速 15r/s

## 4 实验设计过程简要介绍

### 4.1 实验概述

本实验设计了一个基于 Verilog 的 PWM（脉宽调制）信号生成模块，并结合转速测量和数码管动态显示功能，能够实现对直流电机的转速控制与实时显示。实验内容包括模块设计、仿真验证以及硬件实现。

### 4.2 模块设计

#### 4.2.1 顶层模块 PWMplus

```
1 module PWMplus (  
2     input wire clk,           // 时钟信号  
3     input wire GND,          // 接地信号 (未使用, 但保留接口)  
4     input wire CNTN,         // 光电信号, 用于测量转速  
5     input wire [7:0] A,       // 占空比控制信号 (0-255)  
6     output reg PWM_motor,     // PWM 输出信号  
7     output wire [7:0] seg_sel, // 数码管位选信号  
8     output wire [7:0] seg_led // 数码管段选信号  
9 );
```

#### 4.2.2 主要功能组件

##### 1. 分频器模块

- 将输入时钟信号分频为较低频率的时钟信号，用于驱动 PWM 逻辑和计数器。

##### 2. PWM 信号生成模块

- 根据占空比控制信号 A 生成 PWM 输出信号 PWM\_motor。
- 通过计数器实现占空比控制。

##### 3. 转速测量模块

- 检测光电信号 CNTN 的上升沿，计算相邻上升沿之间的时钟周期数。
- 根据周期数计算电机转速。

##### 4. 数码管动态显示模块

- 将转速值通过数码管显示，支持动态刷新和小数点显示。

## 4.3 实验内容

### 4.3.1 PWM 信号生成模块设计与仿真验证

PWM 信号生成模块通过以下步骤实现：

1. 分频器将输入时钟信号分频为较低频率的时钟信号。
2. 计数器在分频时钟的驱动下递增，达到最大值后复位为 0。
3. 根据占空比信号 A 控制 PWM 输出信号的高低电平：

$$\text{PWM\_motor} = \begin{cases} 1, & \text{计数器值} < A \\ 0, & \text{计数器值} \geq A \end{cases}$$

### 4.3.2 转速测量模块设计与验证

转速测量模块通过以下步骤实现：

1. 检测光电信号 CNTN 的上升沿，记录相邻上升沿之间的时钟周期数。
2. 根据周期数计算转速：

$$\text{转速} = \frac{60 \times \text{时钟频率}}{\text{周期计数}}$$

3. 将计算结果存储在寄存器中，供数码管显示模块使用。

### 4.3.3 数码管动态显示模块设计与验证

数码管动态显示模块通过以下步骤实现：

1. 将转速值转换为数码管显示格式。
2. 动态刷新数码管的位选信号 seg\_sel 和段选信号 seg\_led。
3. 支持小数点显示和符号位显示。

## 4.4 实验总结

本实验成功实现了：

1. 基于 Verilog 的 PWM 信号生成模块设计，支持占空比可调。
2. 转速测量模块设计，能够实时计算电机转速。
3. 数码管动态显示模块设计，能够直观显示转速值。

通过本实验，掌握了 PWM 信号的生成原理、转速测量方法以及数码管动态显示技术，为后续复杂数字系统设计奠定了基础。