



FPGA开发板使用手册

HX1006A

杭州康芯电子有限公司

目 录

一、 开发板简介	3
二、 开发板介绍	4
1、 电源	5
2、 USB转UART串口	7
3、 FPGA	8
4、 USB-Blaster编程口	8
5、 PS/2	9
6、 数码管	10
7、 LED发光管	11
8、 数码管、LED发光管选用开关	13
9、 VGA 接口	13
10_11 2组扩展口	15
12、 50M 有源晶振	17
13_14 蜂鸣器及控制开关	18
15、 串行FLASH W25Q64	18
16、 乒乓开关	20
17、 按键	21
18、 SDRAM	21
19、 4个LED发光管	23
20、 SPI Flash	23
21、 SD卡槽	24

一、 开发板简介

(一) 开发板特色:

- 1、 KX1006板核心芯片采用了INTEL的Cyclone 10系列;
- 2、 采用USB线电源供电, 这样节省了专用电源, 既经济有方便;
- 3、 集成USB-Blaster编程下载功能, 节约, 可靠;
- 4、 该板含有基础学习的资源, 比如按键、开关、蜂鸣器、8个数码管、16个LED、SDRM、EPCS16,串行FLASH W25Q64, PS/2、VGA口;
- 5、 标配了2组40芯外扩口, 接口出来提供5V、3.3V电源, 可用2X36个IO口, 扩展接口兼容市场上大多数扩展板;
- 6、 配有丰富、先进的扩展模块。

(二) 开发板资源介绍:

1、此款开发板核心FPGA采用 Intel 公司的 Cyclone 10 系列, 型号为 10CL006YU256C8G, FBGA 封装, 6772个逻辑宏单元, 2个锁相环输入脚, 256 个引脚的最大可用脚176个。此款FPGA 的资源如表一所示:

表一: Cyclone 10系列资源对比

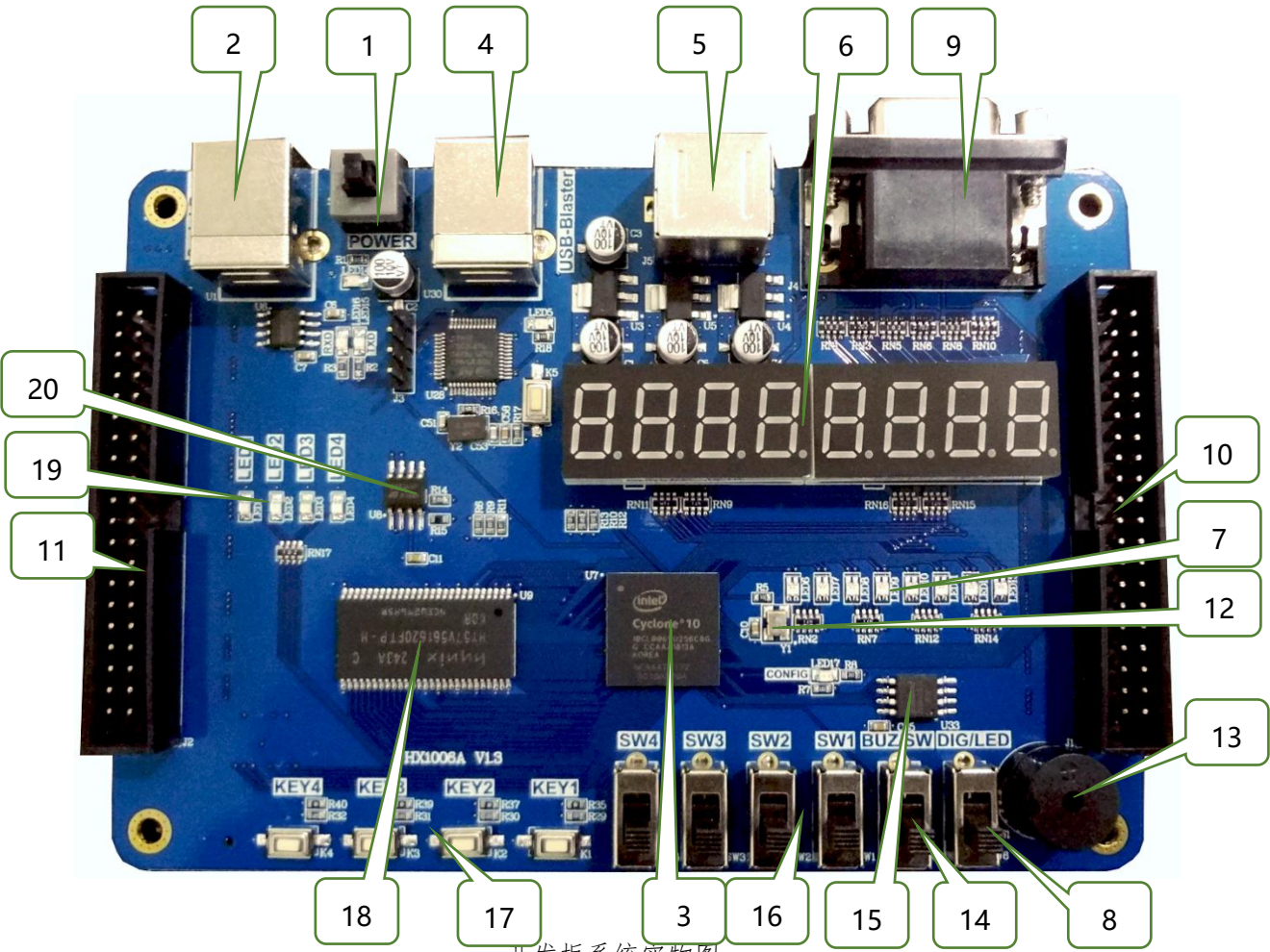
资源		器件							
		10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
逻辑单元(LE)		6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K 存储器	模块	30	46	56	66	126	260	305	432
	容量(Kb)	270	414	504	594	1,134	2,340	2,745	3,888
18 × 18 乘法器		15	23	56	66	126	156	244	288
PLL		2	2	4	4	4	4	4	4
时钟		20	20	20	20	20	20	20	20
最大 I/O 数		176	176	340	150	325	321	423	525
最大 LVDS 数		65	65	137	52	124	132	178	230

表二： Cyclone10封装

器件	封装												
	类型	M164 164-pin MBGA		U256 256-pin UBGA		U484 484-pin UBGA		E144 144-pin EQFP		F484 484-pin FBGA		F780 780-pin FBGA	
	尺寸	8 mm × 8 mm		14 mm × 14 mm		19 mm × 19 mm		22 mm × 22 mm		23 mm × 23 mm		29 mm × 29 mm	
	球间距	0.5 mm		0.8 mm		0.8 mm		0.5 mm		1.0 mm		1.0 mm	
	I/O 类型	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS
10CL006	—	—	176	65	—	—	88	22	—	—	—	—	
10CL010	101	26	176	65	—	—	88	22	—	—	—	—	
10CL016	87	22	162	53	340	137	78	19	340	137	—	—	
10CL025	—	—	150	52	—	—	76	18	—	—	—	—	
10CL040	—	—	—	—	325	124	—	—	325	124	—	—	
10CL055	—	—	—	—	321	132	—	—	321	132	—	—	
10CL080	—	—	—	—	289	110	—	—	289	110	423	178	
10CL120	—	—	—	—	—	—	—	—	277	103	525	230	

表二是Cyclone 10的封装，具体此款FPGA请参阅“ cyclone10.pdf,

二、开发板接口介绍



开发板系统实物图

以下通过这个实物图标识来了解这个开发平台所能实现的功能。

- 1、电源开关USB供电功能，可通过USB线连接电脑供电。
- 2、USB 转串口UART功能USB，同时实现供电功能，可选择1或2USB口进行供电，或因板电流小，可同时两个口同时供电。
- 3、FPGA Cyclone 10 10CL006Y256C8。
- 4、USB-Blaster编程接口。
- 5、PS/2接口接口，可以键盘或鼠标。
- 6、8个动态扫描数码管。
- 7、16 个双色 LED，可实现流水灯功能和上面8个数码管复用脚。
- 8、控制选择8个数码管和8个双色LED复用IO口开关。
- 9、一路 VGA 接口，VGA 接口为 12bit，可以显示彩色图片等信息。
- 10_11、两组40 针的扩展IO口，其中 36 个 IO 口，1 路 5V 电源，1路3.3V电源1路GND。可1个扩展模块。
- 12、板载 50M 的有源晶振，给开发板提供稳定的时钟源。
- 13、蜂鸣器。
- 14、控制蜂鸣器乒乓开关，。
- 15、W25Q64串行存储器。
- 16、4个控制IO口输入输出开关。
- 17、6个控制IO口输入输出按键。
- 18、256MbitSDRAM。
- 19、4个LED发光管。
- 20、FPGA掉电保护SPI FLASH MP16，替用EPCS16，FPGA 配置文件和用户数据的存储。
- 21、在背面，1 路 Micro SD 卡座，支持 SPI和SD 模式。

1、 电源

(1) 开发板上提供的三种不同电压的电源

开发板通过 USB 供电，用 USB 线将开发板跟电脑的 USB口 连接，开关按下去为接通电源，按上为断开电源。 输入电源分成不同电压的3路电源 电源芯片分别产生3.3V，+2.5V，+1.2V 三路电源， 满足 FPGA 的 BANK 电压和内核电压需要。

开发板上的电源设计示意图1-1如下:

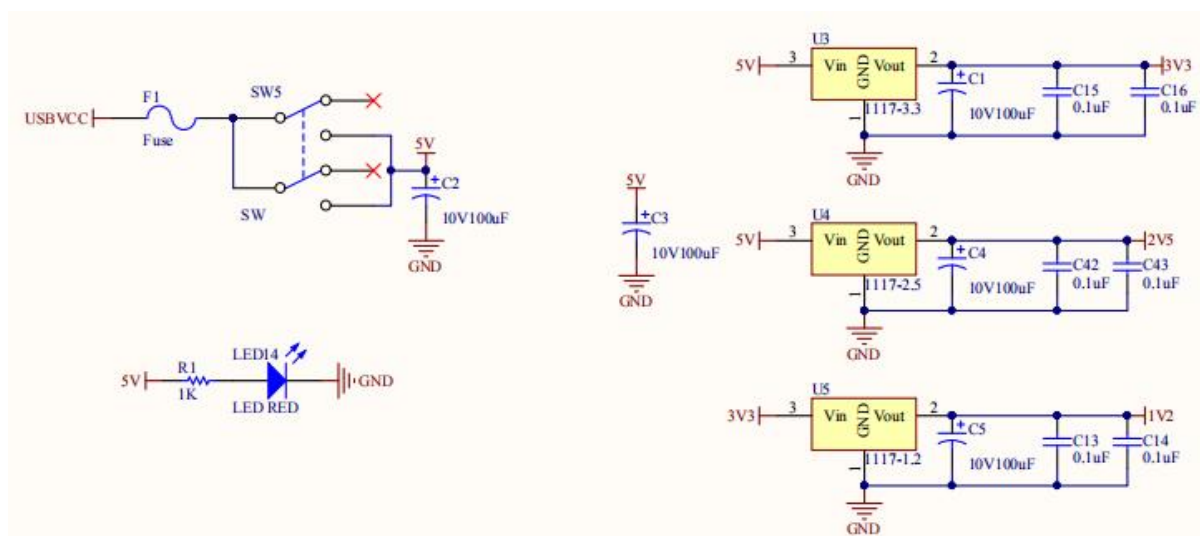


图1-1开发板的三种不同电压的电源

(2) FPGA 电源和 GND 引脚

FPGA 的电源共分三种，其中包括bank 的电源引脚、内核电压引脚和模拟电压和锁相环供电引脚。

1、FPGA内核需要专门工作电源，VCCINT 为 FPGA 内核供电引脚，接 1.2V；FPGA 有多个锁相环专用引脚，给需要不同时钟源的开发项目提供了方便，VCCD_PLL 为 FPGA 的锁相环供电引脚，也接 1.2V。

2、FPGA的外围IO口独立电压为3.3V, VCCIO 是FPGA 的每个 BANK 的供电电压，比如 VCCIO0 是 FPGA 的 BANK0 的供电引脚，同理，VCCIO1~ VCCIO3 分别是 FPGA 的 BANK~BANK3 的供电引脚，在开发板中，VCCIO 都接了 3.3V 电压，FPGA 引脚均为 3.3V 输入和输出。

3、VCCA 为 FPGA 模拟供电引脚，接 2.5V。

4、另外，FPGA 还有很多引脚需要连接 GND，保证 FPGA 内部有一个平稳的参考地。FPGA芯片的电源连接图如图1-2 所示。

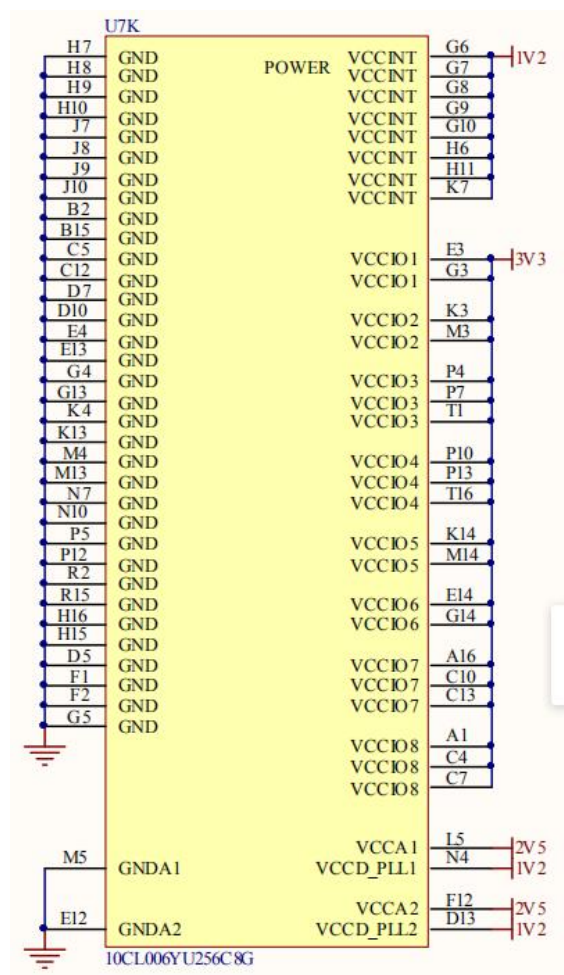


图 1-2 FPGA 电源及接地引脚

2、USB转UART串口

开发板上USB转uart采用CH330N芯片，这个USB接口即可实现了供电功能，也可以实现USB转串口功能，可以用一根USB线将它连接到上PC的USB口进行串口数据通信。串口的原理图如图 2-1 所示。也可当着电源供电用。

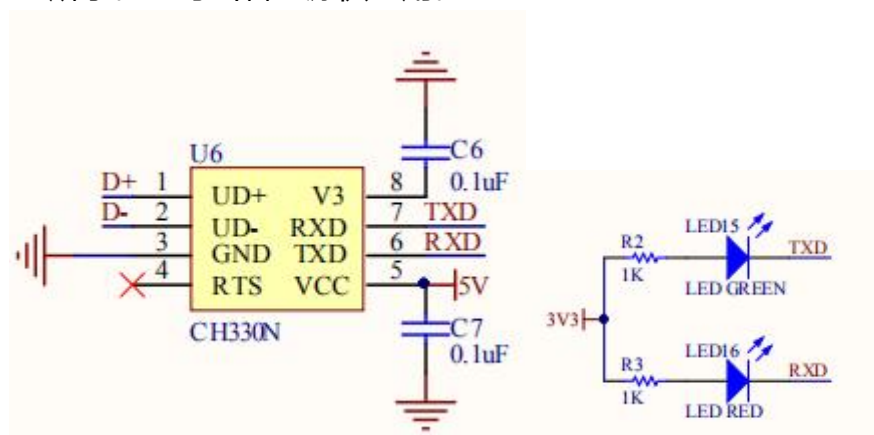


图2-1 USB转串口原理图

串口引脚分配:

引脚名称	FPGA 引脚
------	---------

RXD	B7
TXD	A7

3、FPGA

Inter Cyclone 10, 型号资源上面介绍过, 比起以往的同等级封装, 尺寸更小, 密度更高, 此型号为 BGA 封装, 256 个引脚。FPGA 引脚的定义。如使用 FPGA 都是非 BGA 封装的, 比如 144 引脚, 208 引脚的 FPGA 芯片, 他们的引脚定义是由数字组成, 比如 1 到 144, 1 到 208 等等, 而当我们使用 BGA 封装的芯片以后, 引脚名称变为由字母+数字的形式, 比如 H4, J13 等等, 因此我们在看原理图的时候, 看到的字母+数字这种形式的, 就是代表了 FPGA 的引脚。图 3-1 为开发板所用的 FPGA 芯片实物图。



图3-1 FPGA实物图

4、USB-Blaster编程口

USB接口, 通过连接计算机USB口, 对FPGA进行下载编程, 兼电源输入口, FPGA 的配置和调试模式: JTAG 模式。JTAG 接口的作用是将编译好的程序 (.sof) 下载到 FPGA 中, 或可把.pof文件通过AS口模式加载到掉电保护的 FLASH中, 如开发板没有AS模式, 可通过 Quartus 软件把 sof 文件转换成 jic 文件, 再通过 JTAG 下载到 jic 文件到开发板的 FLASH 以后, 掉电以后就不会丢失, 重新上电后 FPGA 会读取 FLASH 中的 jic 配置文件并运行。

图 4-1 就是 JTAG 口的原理图部分, 其中涉及到 TCK,TDO,TMS,TDI 这四个信号。这四个信号直接由 FPGA 引脚引出, 每个信号在开发板上做了二级管的过压保护电路。

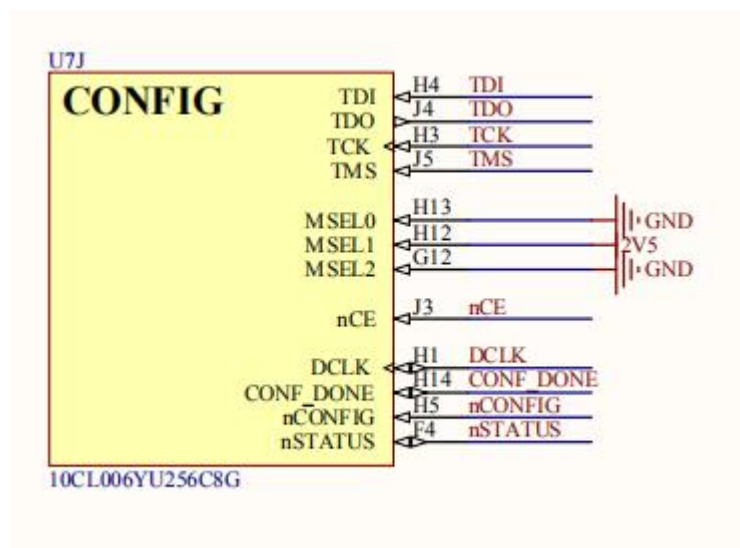


图 4-1 原理图中 JTAG 接口部分

5、PS/2

PS/2口来连接鼠标和键盘。外观看，共6个脚如图5-1，第一脚位DATA，第五脚位CLK，可接FPGA IO 进行控制，另外第四、三脚分别是：VCC和GND，如图5-2。



图5-1 PS/2接口示意图

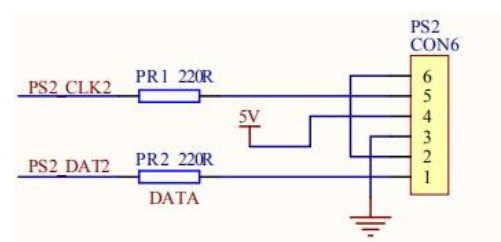


图5-2 PS/2鼠标原理图



图5-3 PS/2实物图

PS/2引脚分配

引脚名称	FPGA 引脚
------	---------

P_CLK	B9
P_DATA	A9

6、 数码管

数码管是很常见的一种显示设备，可采用共阴或共阳两种，一般分为七段数码管和八段数码管，两者区别就在于八段数码管比七段数码管多一个“点”。我们采用的数码管为2组 4位一体的八段数码管，共阳数码管的段结构图 6-1 所示。

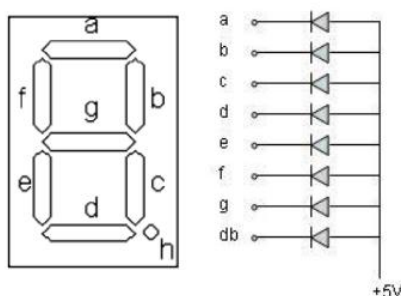


图 6-1 数码管的段结构

我们使用的是共阳极数码管，当某一字段对应的引脚为低电平时，相应字段就点亮，当某一字段对应的引脚为高电平时，相应字段就不亮。

LED有段码和位码之分，所谓段码就是让LED显示出“8.”的八位数据，一般情况下要通过一个译码电路，将输入的4位2进制数转换为与LED显示对应的8位段码。位码也就是LED的显示使能端，对于共阳极的LED而言，高电平使能。要让8个LED同时工作，显示数据，就是要不停的循环扫描每一个LED，并在使能每一个LED的同时，输入所需显示的数据对应的8位段码。虽然8个LED是依次显示，但是受视觉分辨率的影响，看到的现象是8个LED同时工作。

多个数码管动态扫描显示，是将所有数码管的相同段并联在一起，通过选通信号分时控制各个数码管的公共端，循环点亮多个数码管，并利用人眼的视觉暂留现象，只要扫描的频率大于50Hz，将看不到闪烁现象。

2组4位一体数码管的相同的段都接在了一起，一共是 8 个引脚，然后加上 8 个控制信号引脚，一共是 16 个引脚，如图 6-1 所示，其中 DIG[0..7]是对应数码管的 a,b,c,d,e,f,g,h(点DP)；SEL[0..7]是八个数码管的八个控制引脚，高电平有效，当控制引脚为高电平时，对应的数码管有了供电电压，这样数码管才能点亮，否则无论数码管的段如何变化，也不能点亮对应的数码管。原理图6-2。图6-3是实物图

注意：“7” 的LED8组双色发光管的16个引脚和8个数码段和位控制的16个引脚复用，

原理图7-1选择LED或数码管工作，在下面“8” SW6乒乓开关来选择，拨上为接通数码管工作，拨下为接通LED工作

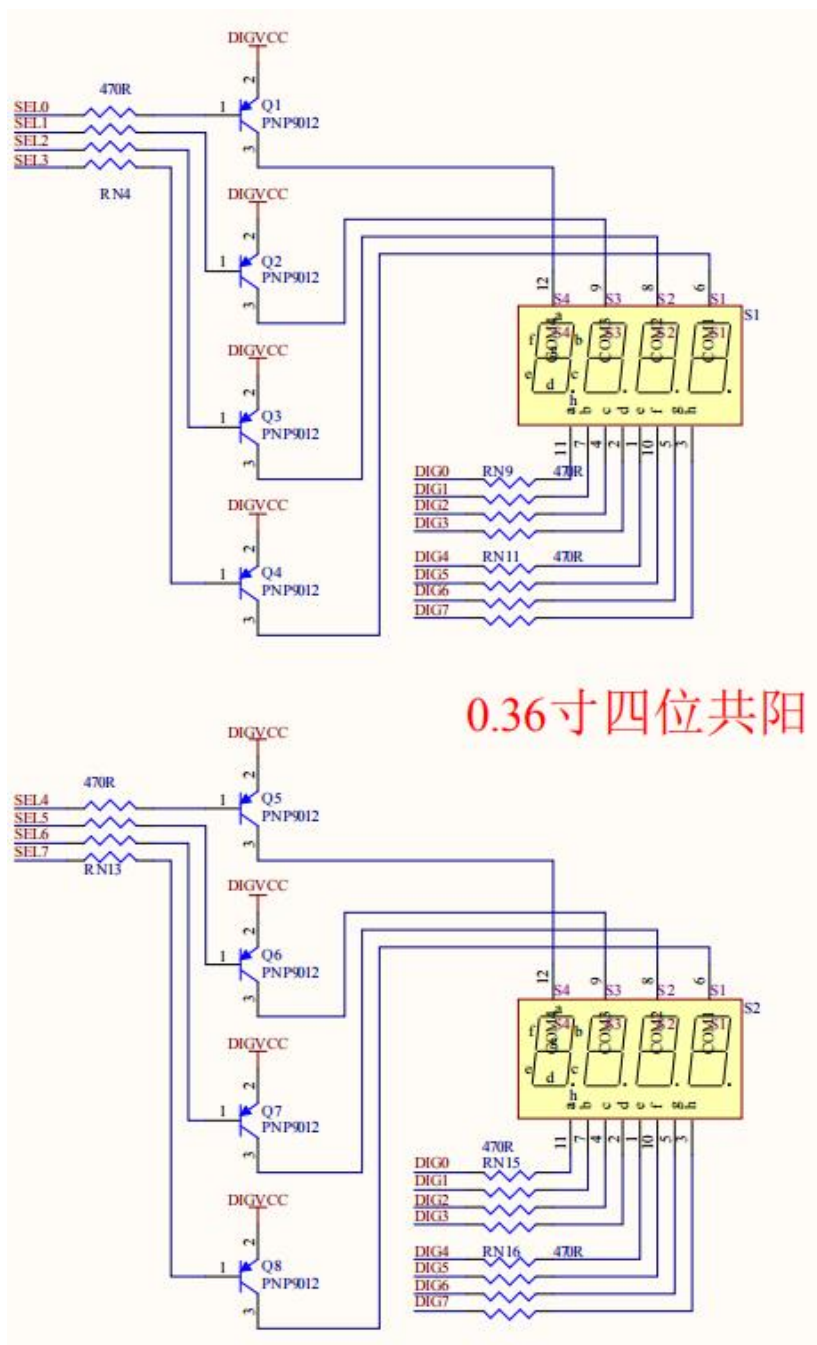


图6-2 8组动态扫描数码管



图6-3 8组动态扫描数码管实物图

7、LED发光管

开发板提供了 8组LED 发光二极管。每组发光管是双色，分别是红色和绿色，也就是8组相当于16个LED,要锁定16个IO脚，8组LED发光管原理图如图 7-1，当 FPGA的引脚输出

为逻辑 0 时，LED 会熄灭。输出为逻辑 1 时，LED 被点亮。图7-2是实物图。16个引脚和数码管复用（请看“6”）。

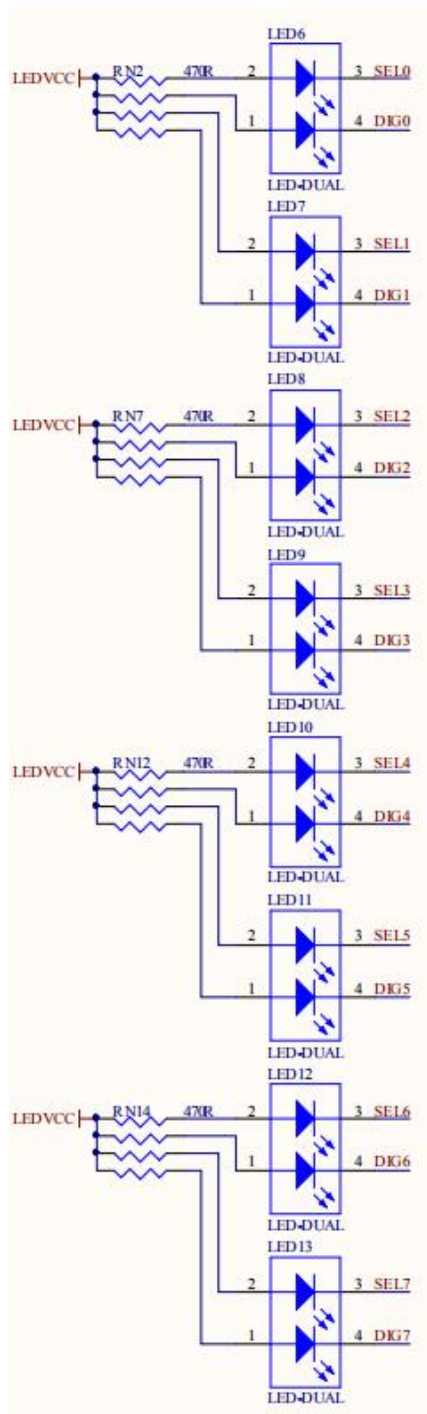


图7-1 双色LED发光管



图7-2 双色LED发光管

LED、数码管引脚分配：

LED引脚名称	数码管引脚名称	FPGA引脚
LED6红	DIG0 (a段)	D15
LED6绿	SEL0(左起第1个数码)	D16
LED7红	DIG1 (b段)	C15
LED7绿	SEL1(左起第2个数码)	C16

LED8红	DIG2 (c段)	A15
LED8绿	SEL2(左起第3个数码)	B16
LED9红	DIG3 (d段)	A14
LED9绿	SEL3(左起第4个数码)	B14
LED10红	DIG4 (e段)	A13
LED10绿	SEL4(左起第5个数码)	B13
LED11红	DIG5 (d段)	A12
LED11绿	SEL5(左起第6个数码)	B12
LED12红	DIG6 (g段)	A11
LED12绿	SEL6(左起第7个数码)	B11
LED13红	DIG7 (h段)	A10
LED13绿	SEL7(左起第8个数码)	B10

8、数码管、LED发光管选用开关

在“6”、“7”中提到数码管和LED控制的FPGA的IO16个引脚是复用，如何选择这两者之间的优先工作，板子下面设有“SW6”乒乓开关来选择，拨上为接通数码管工作，拨下为接通LED工作。图8-1是原理图，8-2是实物图。

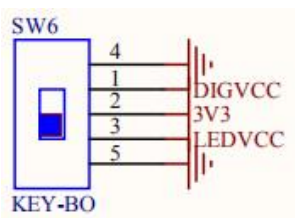


图8-1 选择控制LED或数码管开关原理图



图8-2 选择控制LED或数码管开关实物图

9、VGA 接口

VGA 接口一直沿用至今。VGA 接口是一种 D 型接口，上面共有 15 针孔，分成三排，每排五个。使用到的是 3 根 RGB 彩色分量信号和 2 根扫描同步信号 HSYNC 和 VSYNC 针。

HSYNC 和 VSYNC 分别为行数据同步和帧数据同步，为 TTL 电平。FPGA 只能输出数字信号，而 VGA 需要的 R、G、B 是模拟信号，VGA 的数字转模拟信号是通过一个简单的电阻电路来实现。这个电阻电路可以产生 32 个梯度等级的红色和蓝色信号和绿色信号 (RGB 5-6-5)，VGA 接口部分电路如下图 9-1所示。图 9-2为 VGA 接口实物图。

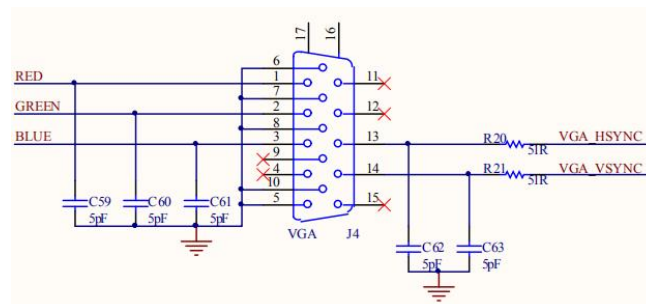
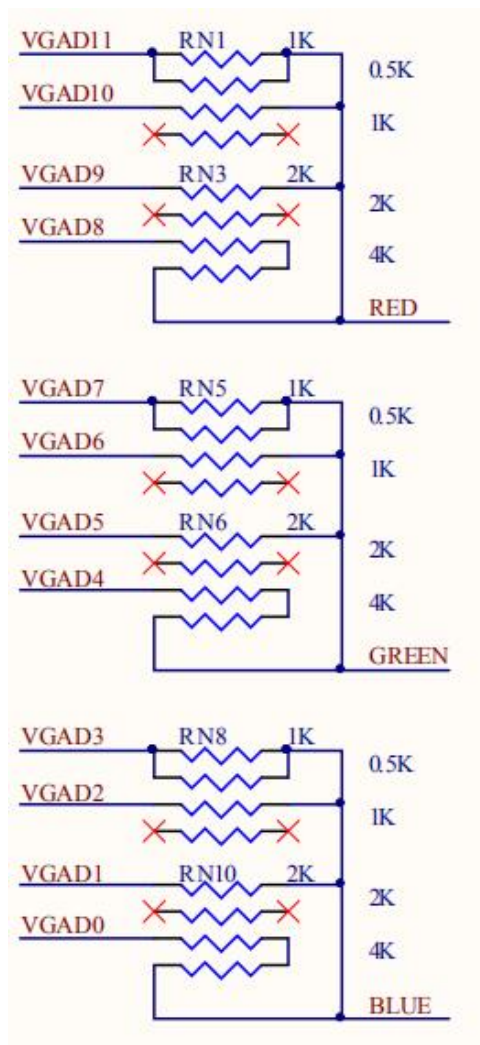


图 9-1VGA 接口原理图



9-2 VGA 接口实物图

VGA 接口引脚分配

引脚名称	FPGA(PIN) 引脚	备 注
VGA_D[0]	N16	BLUE[0]
VGA_D[1]	L15	BLUE[1]
VGA_D[2]	L16	BLUE[2]
VGA_D[3]	K15	BLUE[3]
VGA_D[4]	K16	GREEN[0]
VGA_D[5]	J15	GREEN[1]
VGA_D[6]	J16	GREEN[2]
VGA_D[7]	J11	GREEN[3]

VGA_D[8]	G16	RED[0]
VGA_D[9]	G15	RED[1]
VGA_D[10]	F16	RED[2]
VGA_D[11]	F15	RED[3]
VGA_HS	P16	行同步信号
VGA_VS	N15	场同步信号

10_11 2组扩展口

开发板预留 2 个扩展口，每个扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 1 路，地 2 路，IO 口 36 路。J1 口（右侧）的 IO 口都是独立的 IO 口，没有跟其他设备复用。J2 口（左侧）跟字符液晶、点阵液晶、拨码开关有复用，一般连接液晶时，J2 口就无法扩展其他口，如果扩展其他扩展板，就不能插液晶。IO 口连接到 FPGA 引脚上，电平为 3.3V。**切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**在扩展口和 FPGA 连接之间串联了 47 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口 J1,J2 的电路如图 10-1, 10-2 所示。

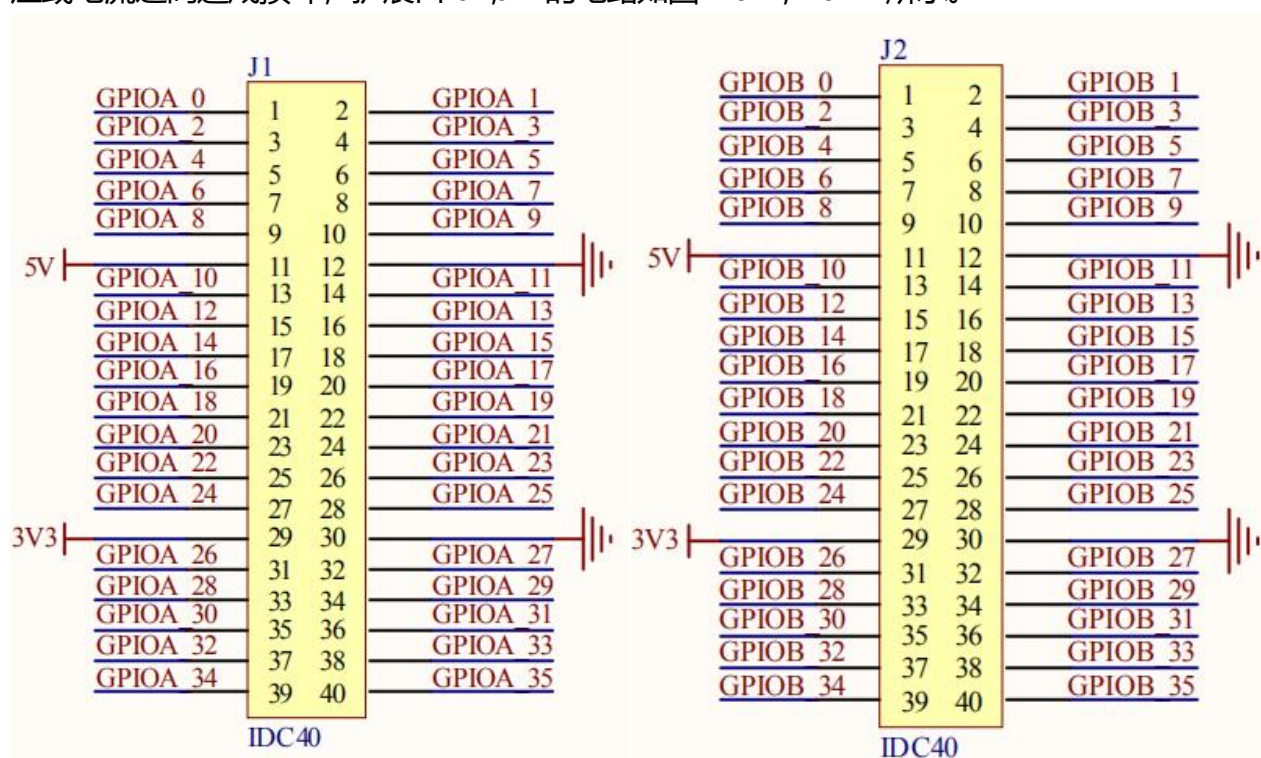


图 10-1 J1 扩展口原理图（在板右侧）

图 10-2 J2 扩展口原理图（在板左侧）

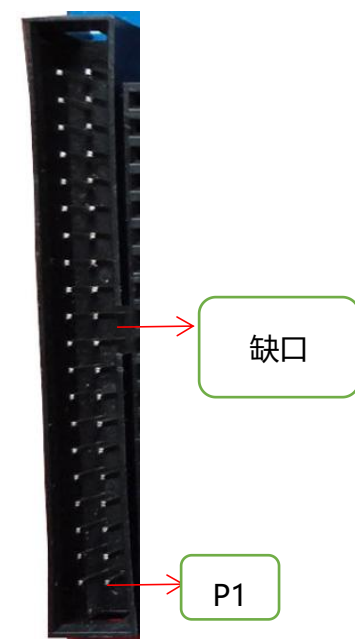
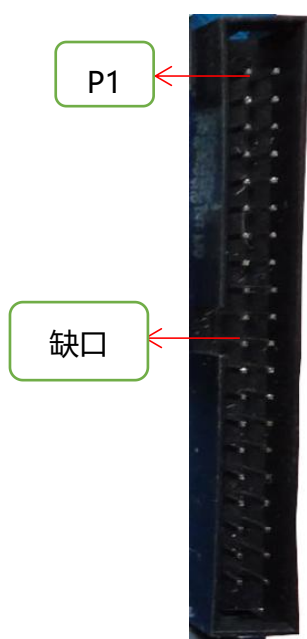


图10-3为J1（右侧）的40芯口实物图

图10-4为J2（左侧）的40芯口实物图

注意：在锁定扩展口的引脚时，要根据10-3、10-4实物图的 P1、P2的方向和标识，对照10-1、10-2的原理图锁定引脚。

J1 扩展口引脚分配表

扩展口编号	FPGA 引脚	引脚编号	FPGA 引脚
1	F5	2	D3
3	C3	4	D4
5	E5	6	E6
7	C6	8	D6
9	D8	10	C8
11	VCC5V	12	GND
13	E7	14	E8
15	F6	16	F8
17	F7	18	D9
19	C9	20	E9
21	E10	22	C11
23	D11	24	E11
25	C14	26	D12
27	D14	28	F9
29	3.3V	30	GND
31	F13	32	F14

33	F11	34	G11
35	F10	36	L10
37	K11	38	L11
39	J12	40	J14

J2 扩展口引脚分配

扩展口编号	FPGA 引脚	引脚编号	FPGA 引脚
1	J13	2	K12
3	L14	4	L13
5	M12	6	N14
7	N13	8	P14
9	N12	10	L12
11	VCC5V	12	GND
13	N11	14	P11
15	M11	16	M10
17	P9	18	N9
19	M9	20	L9
21	M8	22	N8
23	P8	24	L7
25	M7	26	P6
27	N6	28	N5
29	M6	30	P3
31	3.3V	32	GND
33	L6	34	N3
35	K6	36	L4
37	L3	38	K5
39	L8	40	K9

12、 50M 有源晶振

图 12-1 即为我们上述提到的给开发板提供时钟源的 **50M** 有源晶振电路。晶振输出连接到FPGA 的全局输入时钟管脚(CLK1 管脚 E15)，这个 CLK1 可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLL（锁相环）来分频倍频实现其他频率的时钟。图 12-2 为有源晶振实物图。

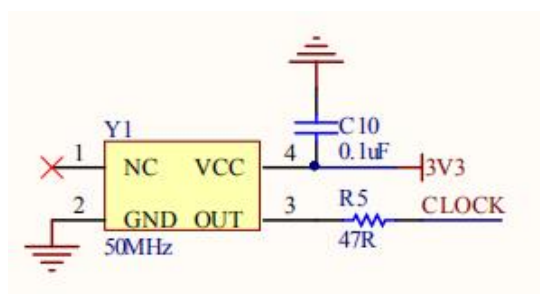


图12-1 50M晶振连接原理图



12-2 50M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
CLK	E15

13_14 蜂鸣器及控制开关

蜂鸣器通过一个三极管进行控制，当低电平时，三极管导通，蜂鸣器响；当高电平，三极管截止，为了控制蜂鸣器噪音，我们在蜂鸣器跟 FPGA 之间加入了乒乓开关SW7,乒乓可以拨上断开，拨下为接通。原理图如图 13-1。

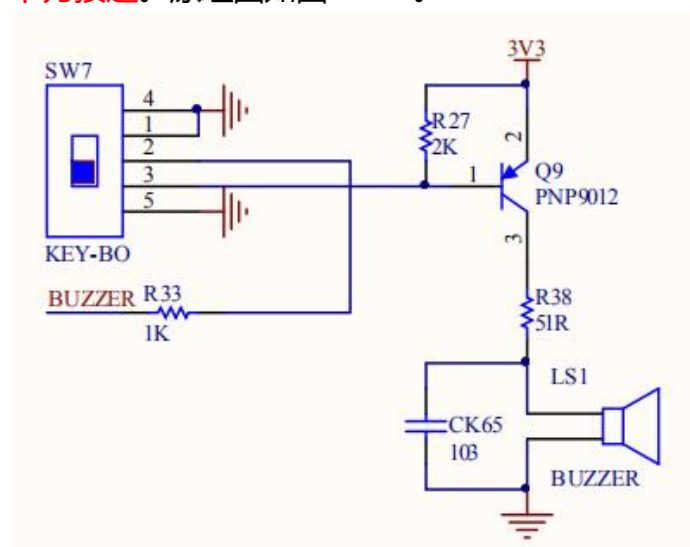


图13-1蜂鸣器及控制开关原理图



图 13-2 蜂鸣器及开关实物图

蜂鸣器引脚分配:

引脚名称	FPGA 引脚
BUZ	K10

15、串行FLASH W25Q64

开发板上使用了一片 64Mbit 大小的 SPI FLASH 芯片，型号为华邦的，W25Q64 的擦写周期多达 10W 次，具有 20 年的数据保存期限，支持电压为 2.7~3.6V，W25Q64 支持标准的 SPI，还支持双输出/四输出的 SPI，最大 SPI 时钟可以到 80Mhz（双输出时相

当于 160Mhz，四输出时相当于 320M) 原理图 图15-1。

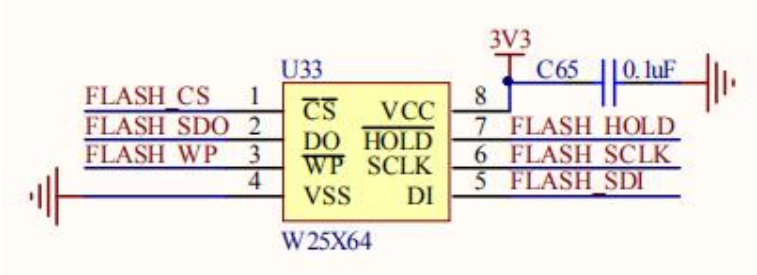


图 15-1 SPI Flash 原理图
硬件实物图，如图15-2 所示。



图 15-2 SPI Flash 实物图

配置芯片引脚分配：

W25Q64引脚名称	FPGA 引脚
FLASH_CS	R13
FLASH_SDO	R14
FLASH_WP	R16
FLASH_HOLD	T14
FLASH_SCLK	T15
FLASH_SDI	P15

16、 乒乓开关

开发板包含了4个乒乓开关，拨上为 “1” ， 拨下为 “0” 原理图如图16-1。

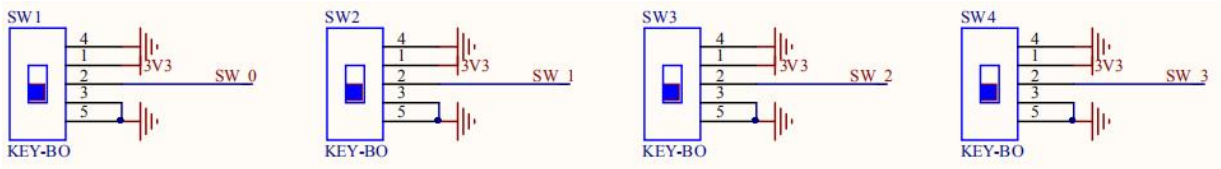


图 16-1 乒乓开关原理图

实物图如图 16-2 所示



图 16-2 四个乒乓开关实物图

乒乓开关引脚

乒乓开关名称	FPGA 引脚
SW1	E16
SW2	M16
SW3	M15
SW4	M2

17、 按键

开发板板载了 4 个独立按键, (KEY1~KEY4),。按键按下为低电平 (0) 松开为高电平 (1)
4 个按键的原理图如图17-1所示。图 13.2 为 4 个独立按键实物图。

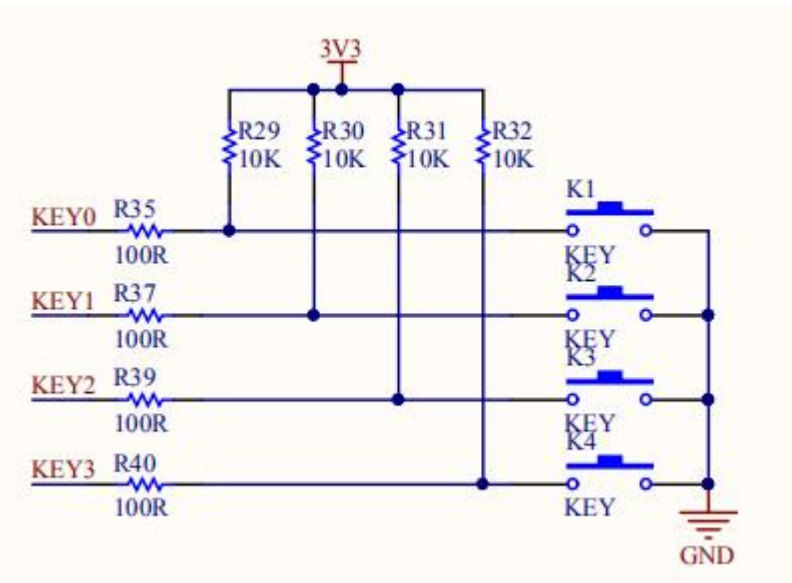


图 17-1 4 个用户按键原理图



图 17-2 4 个独立按键实物图

按键引脚分配:

按键名称	FPGA 引脚
------	---------

K1	M1
K2	F3
K3	E1
K4	E2

18、SDRAM

开发板板载了一片 SDRAM 芯片,型号: HY57V2562GTR货WINBAND9825G6, 容量: 256Mbit (16M*16bit) , 16bit 总线。SDRAM 可用于数据缓存, 暂存到 SDRAM 中, 然后通过接口进行显示。SDRAM 的硬件连接方式如图 18-1 所示。

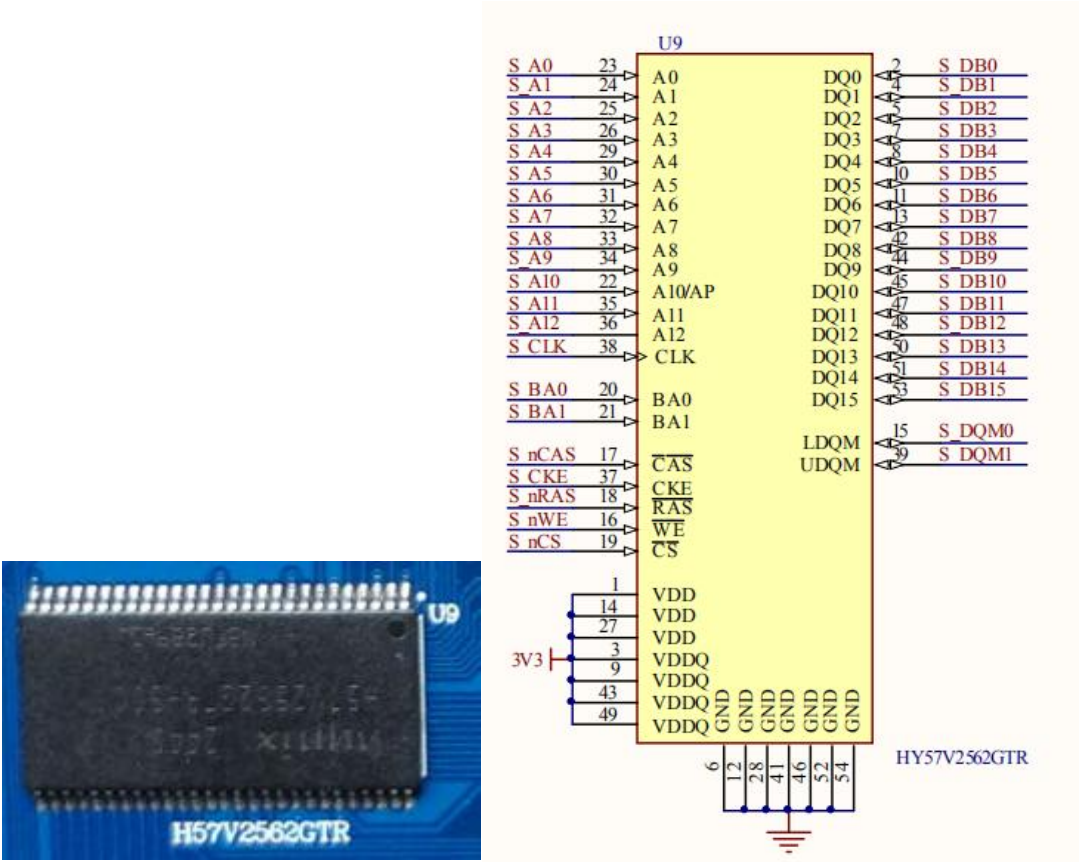


图 18-1 SDRAM 原理图部分

图18-2 为 SDRAM 实物图

SDRAM 引脚分配:

SDRAM引脚名称	FPGA 引脚
S_CLK	R4
S_CKE	T4
S_nCS	G2
S_nWE	B1
S_nCAS	C2

S_nRAS	D1
S_DQM0	A2
S_DQM1	T3
S_BA0	G1
S_BA1	J6
S_A0	J2
S_A1	K1
S_A2	K2
S_A3	L1
S_A4	T8
S_A5	R8
S_A6	T7
S_A7	R7
S_A8	T6
S_A9	R6
S_A10	J1
S_A11	T5
S_A12	R5
S_DQ0	B5
S_DQ1	A5
S_DQ2	B6
S_DQ3	A6
S_DQ4	A4
S_DQ5	B4
S_DQ6	A3
S_DQ7	B3
S_DQ8	R3
S_DQ9	T2
S_DQ10	L2
S_DQ11	N1
S_DQ12	N2
S_DQ13	P1
S_DQ14	P2
S_DQ15	R1

19、4个LED发光管

开发板板载了 4 个LED发光管,(LED1~LED4)。4 个LED原理图如图19-1所示。图 19-2 为 4 个LED实物图。

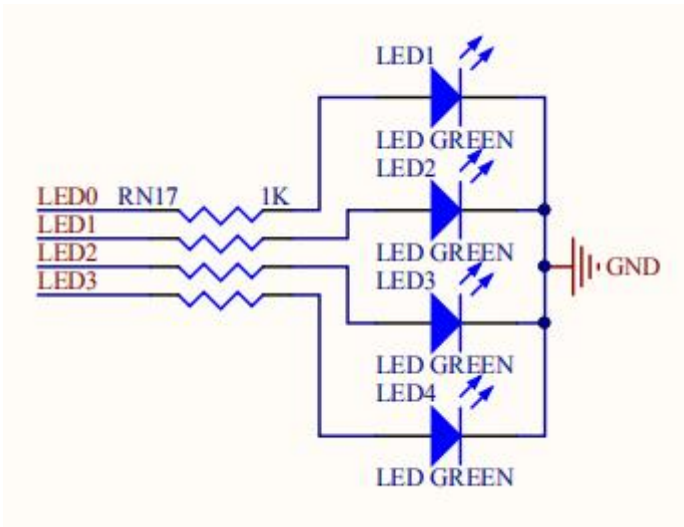
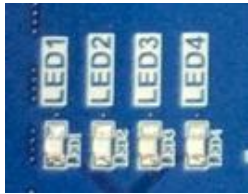


图 19-1 4 个用户LED原理图图



19-2 4个LED实物图

4个独立LED引脚分配:

按键名称	FPGA 引脚
LED0	T10
LED1	R9
LED2	T9
LED3	K8

20、 SPI Flash

开发板上使用了一片 16Mbit 大小的 SPI FLASH 芯片，型号为 M25P16替代 ALTERA 的配置芯片 EPCS16。由于它的非易失特性，在使用中， SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的jic或pof 配置文件、 软核的应用程序代码以及其它的用户数据文件。SPI FLASH的具体型号和相关参数见表20.1。型号和参数SPI Flash 原理图如图 20-1 所示。

位号	芯片类型	容量	厂家
U8	M25P16	16M bit	ST

表 5.1 SPI Flash

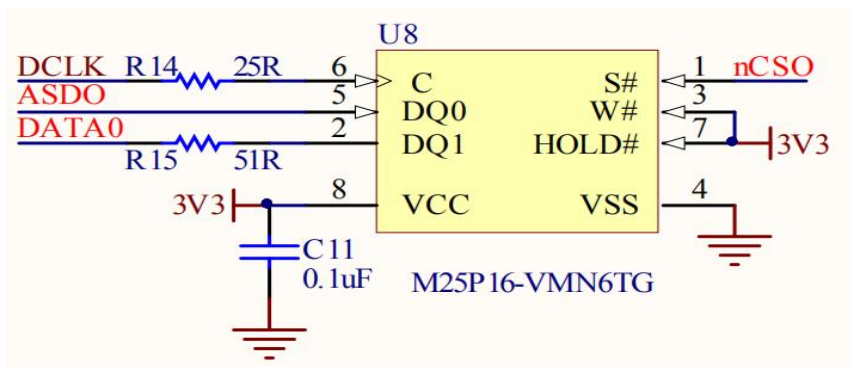


图 20-1 SPI Flash 连接示意

图SPI Flash 的硬件实物图，如图 20-2 所示。

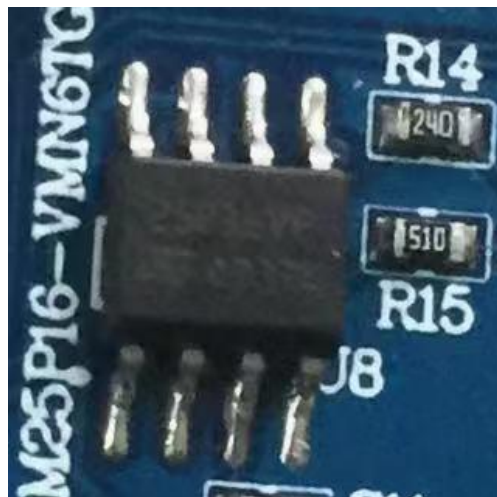


图 20-2 SPI Flash 实物图

配置芯片引脚分配：

引脚名称	FPGA 引脚
DCLK	H1
nCSO	D2
DATA0	H2
ASDO	C1

21、 SD卡槽

SD 卡(Secure Digital Memory Card)有两种模式，一直SD式，一种是SPI模式，SD模式包含SPI模式功能，此板采用功能更全面来的 SD 卡模式结构图引脚如21-1,原理图如图 21-2 所示。

TF卡（SD模式）： 1-data2,2-data3,3-cmd,4-vdd,5-clk,6-vss,7-data0,8-data1

TF卡（SPI模式）： 1-rsv,2-cs,3-di,4-vdd,5-sclk,6-vss,7-do,8-rsv

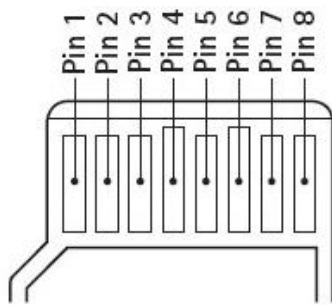


图21-1 SD卡事宜图

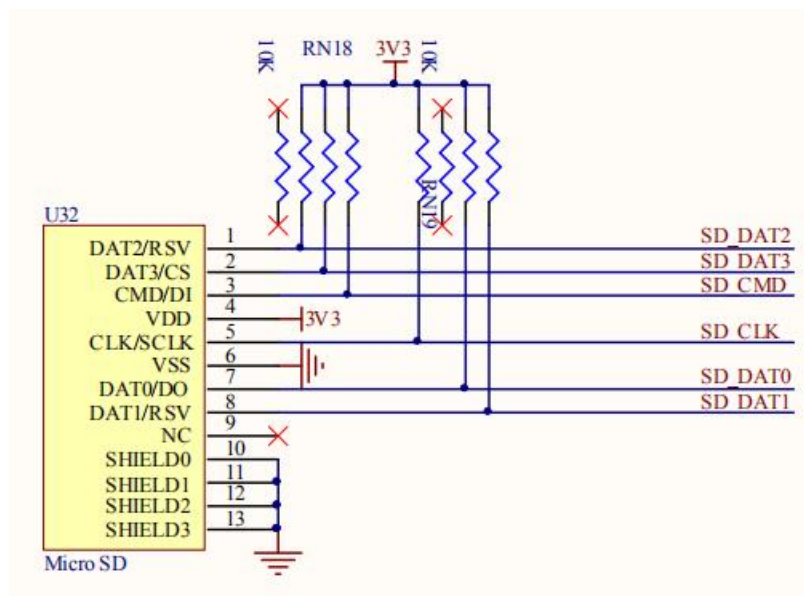


图21-2 SD卡原理图

图21-3实物图，注意：SD卡槽在背面。

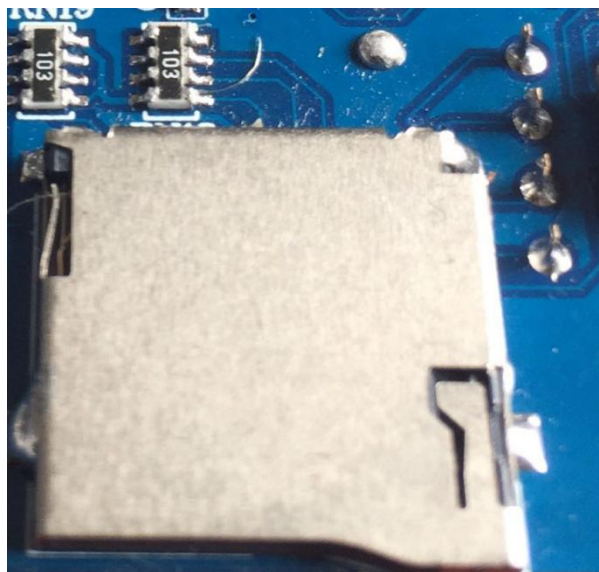


图21-3 SD卡实物图

SD 卡槽引脚分配

SD 模式引脚名称	FPGA 引脚
SD_DAT3	R12
SD_DAT2	T13
SD_DAT1	R10
SD_DAT0	T11
SD_CLK	R11
SD_CMD	T12



名称：杭州康芯电子有限公司
地址：杭州市拱墅区祥茂路16号
网址：WWW.KX-SOC.COM
电话：0571-88914587
邮编：310010

