

KONXIN



FPGA开发板使用手册

HX1006B-ALTERA

杭州康芯电子有限公司

开发板使用注意事项：

- 1、USB 口插拔时，首先关闭电源开关，轻轻插拔，并且不要频繁插拔，以免造成接口损坏！
- 2、开发板不用时，要关闭电源！
- 3、需外接设备和连线时，首先关闭电源，确保外设接插正确，再打开电源！
- 4、开发板上的裸露的金属针、孔等，不要随意用手触摸，以免静电导致芯片烧坏和污迹粘上氧化！
- 5、开发板上的器件不要随意卸装，以免装配失误导致开发板故障！
- 6、开发板发生故障、水迹、异常或无电时，请立即切断电源！
- 7、平时开发板不用时，及时收纳，以免落入灰尘，引起故障和寿命；平时准备一个吹尘器，板表面或很久没有使用时，清理灰尘！
- 8、开发板应存放于干燥地方，以免潮湿，再开机时引起故障！

目 录

一、 开发板特色	4
二、 开发板构成及功能介绍	4
①、 FPGA	5
②、 4组LED发光管	6
④、 40芯GPIO扩展口J2	7
⑤、 USB-Blaster/Serial Port	9
(1) 开发板供电系统：	9
(2) USB-JTAG编程口	10
(3) USB转UART	11
⑥、 电源开关	11
⑦、 USB-HUB接口	13
⑧、 HDMI接口B	13
⑨、 HDMI接口A	14
⑩、 40芯GPIO扩展口J1	15
⑪、 8组数码管	16
⑫、 8组双色LED发光管	18
⑬、 50M时钟源	19
⑭、 SPI FLASH W25Q64	19
⑮、 蜂鸣器	20
⑯、 6组乒乓开关	20
⑰、 4组按键	21
⑱、 TF卡槽	21
⑲、 SDRAM	22

一、开发板特色

- 1、HX1006B板是HX1006A升级版，去除过时VGA和PS/2口，增加HDMI口；
- 2、核心芯片采用了Intel(altera)的Cyclone 10系列；
- 3、Type-c接口形式，一口三用：供电、JTAG、UART
- 4、USB供电：5V、3.3V、2.5V、1.2V；
- 5、该板含有基础学习的资源，4按键、4开关、8个数码管、8双色LED、4个独立LED；
- 6、板载USB-HUB、TF卡、HDMI输入输出口、蜂鸣器；
- 7、掉电配置FLASH 25P16、SPI FLASH W25Q64、SDRAM；
- 8、标配了2组40芯IO扩展口，提供5V、3.3V电源，每组36个IO口，扩展接口兼容市场上大多数扩展板。

二、开发板构成及功能介绍

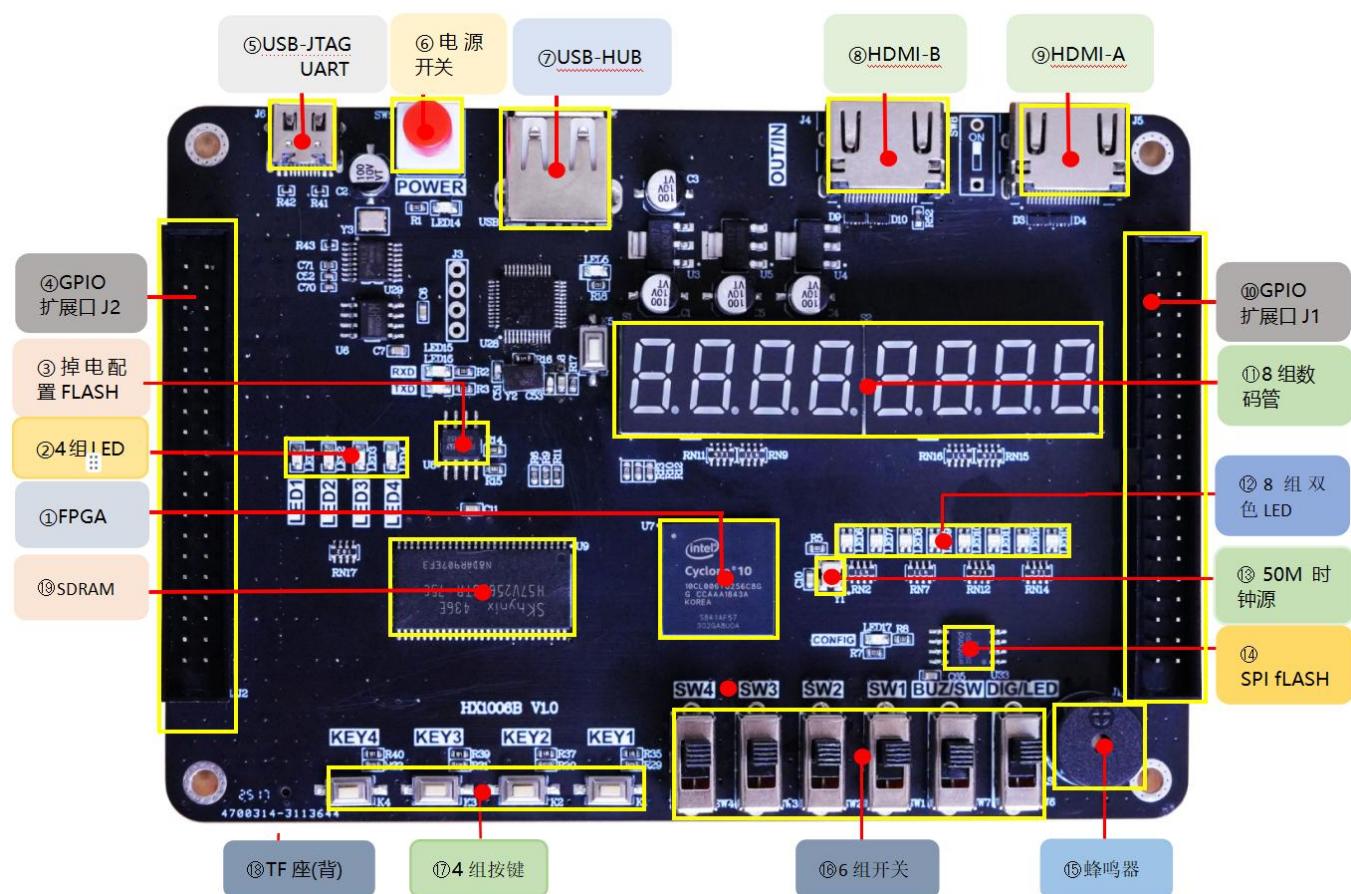


图2-1 开发板系统实物图

- | | |
|-------------------------------|-------------------|
| ①FPGA:Cyclone 10 10CL006YU256 | ⑪8 组数码管 |
| ②4 组 LED | ⑫8 组双色 LED 发光管 |
| ③掉电配置 FLASH 16Mbit | ⑬50M 时钟源 |
| ④40 芯 GPIO 扩展口 JP2 | ⑭SPI FLASH W25Q64 |
| ⑤USB-Blaster/Serial Port | ⑮蜂鸣器 |
| ⑥电源开关 | ⑯6 组乒乓开关 |
| ⑦USB-HUB | ⑰4 组按键 |
| ⑧HDMI B 口 | ⑱TF 卡槽 (背) |
| ⑨HDMI A 口 | ⑲SDRAM |
| ⑩40 芯 GPIO 扩展口 JP1 | |

以下通过图2-1实物图标识来了解这个开发平台所能实现的功能。

①、FPGA

Intel Cyclone 10, 型号资源, 比起以往的同等封装, 尺寸更小, 密度更高, 此型号为BGA 封装, 484 个引脚。FPGA引脚的定义。如使用FPGA都是非BGA封装的, 比如144引脚, 208 引脚的FPGA芯片, 他们的引脚定义是由数字组成, 比如1到144, 1到208等等, 而当我们使用 BGA封装的芯片以后, 引脚名称变为由字母+数字的形式, 比如H4, J13等等, 因此我们在看原理图的时候, 看到的字母+数字这种形式的, 就是代表了FPGA的引脚。图2-2为核心板所用的FPGA 芯片实物图。



图2-2 FPGA实物图

1、此款开发板核心FPGA采用 Intel 公司的 Cyclone 10 系列, 10CL006或010YU256C8G, FBGA封装, 6772/10320逻辑宏单元, 2个锁相环, 256个引脚, 最大可用IO为176个。此款FPGA 的资源如表二所示:

表一: Cyclone 10系列资源对比

资源		器件							
		10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
逻辑单元(LE)		6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K 储存器	模块	30	46	56	66	126	260	305	432
	容量(Kb)	270	414	504	594	1,134	2,340	2,745	3,888
18 × 18 乘法器		15	23	56	66	126	156	244	288
PLL		2	2	4	4	4	4	4	4
时钟		20	20	20	20	20	20	20	20
最大 I/O 数		176	176	340	150	325	321	423	525
最大 LVDS 数		65	65	137	52	124	132	178	230

表二：Cyclone10封装

器件	封装											
	类型	M164 164-pin MBGA		U256 256-pin UBGA		U484 484-pin UBGA		E144 144-pin EQFP		F484 484-pin FBGA		F780 780-pin FBGA
	尺寸	8 mm × 8 mm		14 mm × 14 mm		19 mm × 19 mm		22 mm × 22 mm		23 mm × 23 mm		29 mm × 29 mm
	球间距	0.5 mm		0.8 mm		0.8 mm		0.5 mm		1.0 mm		1.0 mm
I/O 类型	GPIO	LVDS										
10CL006	—	—	176	65	—	—	88	22	—	—	—	—
10CL010	101	26	176	65	—	—	88	22	—	—	—	—
10CL016	87	22	162	53	340	137	78	19	340	137	—	—
10CL025	—	—	150	52	—	—	76	18	—	—	—	—
10CL040	—	—	—	—	325	124	—	—	325	124	—	—
10CL055	—	—	—	—	321	132	—	—	321	132	—	—
10CL080	—	—	—	—	289	110	—	—	289	110	423	178
10CL120	—	—	—	—	—	—	—	—	277	103	525	230

表二是Cyclone 10的封装，具体此款FPGA请参阅“cyclone10.pdf”

②、4组LED发光管

开发板板载了4个LED发光管，(LED1~LED4)。4个LED原理图如图 2-3所示。

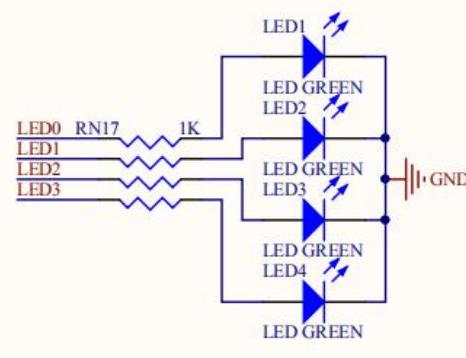


图2-3 4个LED原理图

4个独立LED引脚分配：

信号名称	FPGA引脚	信号名称	FPGA引脚
LED1	T10	LED2	R9
LED3	T9	LED4	K8

③、掉电配置FLASH

开发板上使用了一片 16Mbit 大小的 SPI FLASH 芯片，型号为 M25P16。由于它的非易失特性，在使用中，SPI FLASH可以作为FPGA系统的启动镜像。这些镜像主要包括 FPGA 的jic或pof 配置文件、软核的应用程序代码以及其它的用户数据文件。原理图如图 2-4 所示。

表 三 SPI Flash

位号	芯片类型	容量	厂家
U8	M25P16	16M bit	ST

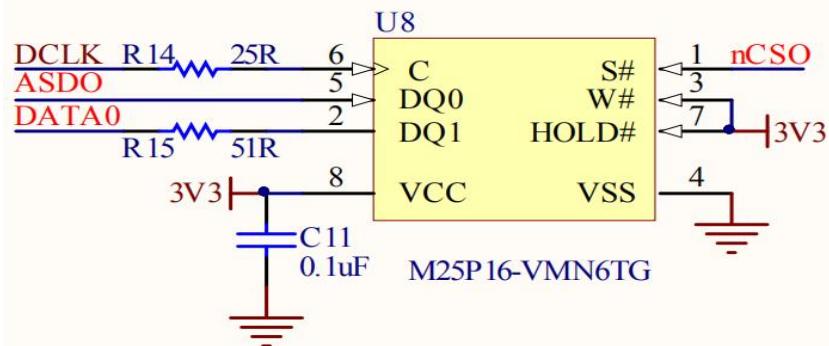


图 2-4 SPI Flash 连接原理图

④、40芯GPIO扩展口J2

开发板预留2个扩展口，每个扩展口有40个信号。其中，5V电源1路，3.3V电源1路，地2路，IO口36路。IO口连接到FPGA引脚上，电平为3.3V。以方便扩展模块。扩展口J1其原理图如图2-5所示。

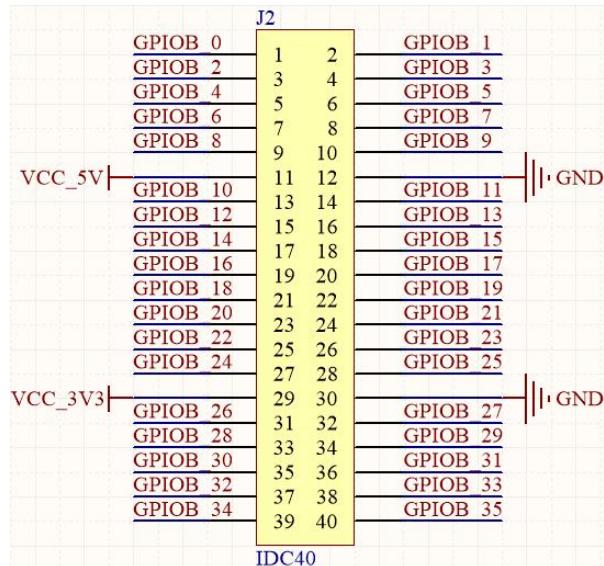


图2-5 J2 40芯扩展接口原理图

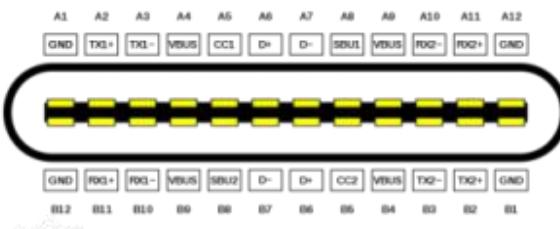
注意：在锁定扩展口的引脚时，要根据实物的缺口方向，J2的第一脚在正方向右下1为第一脚位号，对照图2-5的原理图锁定引脚。

J2 扩展口引脚分配表 (根据引脚位号对照引脚)

脚位号与信号名	FPGA 引脚	脚位号与信号名	FPGA 引脚
1(GPIOB_0)	J13	2(GPIOB_1)	K12
3(GPIOB_2)	L14	4(GPIOB_3)	L13
5(GPIOB_4)	M12	6(GPIOB_5)	N14
7(GPIOB_6)	N13	8(GPIOB_7)	P14
9(GPIOB_8)	N12	10(GPIOB_9)	L12
11	VCC5V	12	GND
13(GPIOB_10)	N11	14(GPIOB_11)	P11
15(GPIOB_12)	M11	16(GPIOB_13)	M10
17(GPIOB_14)	P9	18(GPIOB_15)	N9
19(GPIOB_16)	M9	20(GPIOB_17)	L9
21(GPIOB_18)	M8	22(GPIOB_19)	N8
23(GPIOB_20)	P8	24(GPIOB_21)	L7
25(GPIOB_22)	M7	26(GPIOB_23)	P6
27(GPIOB_24)	N6	28(GPIOB_25)	N5
29	3.3V	30	GND
31(GPIOB_26)	M6	32(GPIOB_27)	P3
33(GPIOB_28)	L6	34(GPIOB_29)	N3
35(GPIOB_30)	K6	36(GPIOB_31)	L4
37(GPIOB_32)	L3	38(GPIOB_33)	K5
39(GPIOB_34)	L8	40(GPIOB_35)	K9

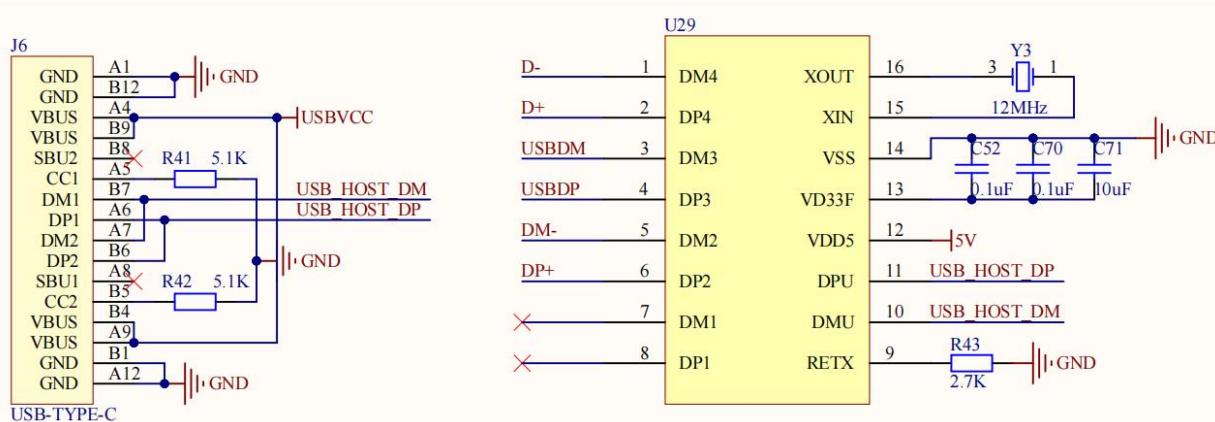
⑤、USB-Blaster/Serial Port

板载Type-C是USB接口连接方式，不分正反两面均可插入，大小约为8.3mm×2.5mm，和其他介面一样支持USB标准的充电、数据传输、显示输出等功能。Type-C由USB Implementers Forum制定，引脚定义图2-6 type-c接口图。



2-6 type-c接口示意图

此USB接口有三个作用：（1）开发板供电口；（2）FPGA编程口；（3）UART，并通过FE8.1分线分成三路分别连接JTAG、UART、USB-HUB接口。



2-7 type-c接口连接FE8.1原理图

(1) 开发板供电系统：

开发板上提供的多种不同电压的电源。通过电脑USB连接开发板USB口供电，接上线后，打开电压开关，板上电源指示灯亮，表示5V接通。5V输入给不同电源稳压芯片分别产生，+3.3V, +2.5V, +1.2V 不同电压电源，满足FPGA的BANK电压和内核电压以及外设需要。

开发板上的电源拓扑图2-8如下：

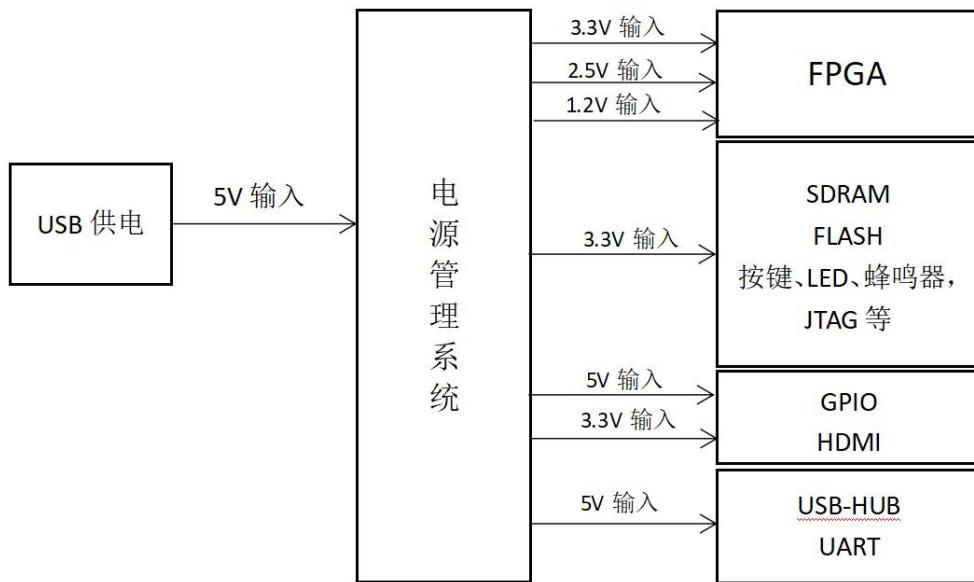


图 2-8 开发板的电源拓扑

(2) USB-JTAG 编程口

Type-c 接通开发板和计算机 USB 口，对 FPGA 进行下载编程，兼电源输入口，FPGA 的配置和调试模式：JTAG 模式。JTAG 接口的作用是将编译好的程序 (.sof) 下载到 FPGA 中，或可把.pof 文件通过 AS 口模式加载到掉电保护的 FLASH 中，如开发板没有 AS 模式，可通过 Quartus 软件把 sof 文件转换成 jic 文件，再通过 JTAG 下载到 jic 文件到开发板的 FLASH 以后，掉电以后就不会丢失，重新上电后 FPGA 会读取 FLASH 中的 jic 配置文件并运行。

图 2-9 就是 JTAG 口的原理图部分，其中涉及到 TCK、TDO、TMS、TDI 这四个信号。这四个信号直接由 FPGA 引脚引出，每个信号在开发板上做了二级管的过压保护电路。正常连接好线后，计算机设备管理器会跳出“Altera USB-Blaster”。



图 2-9 原理图中 JTAG 接口部分

图 2-10 设备管理器线上 USB-Blaster

(3) USB转UART

开发板上USB转uart采用CH340或330 (340) 芯片，可以实现USB转串口功能，Type-c线连接好后，在设备管理器会跳出如图2-11的COM口。串口的原理图如图 2-12 所示，D+\D1连接FE8.1,RX\TX连接FPGA。

▼ 端口 (COM 和 LPT)
 USB-SERIAL CH340 (COM755)

图2-11 设备管理器USB转串口

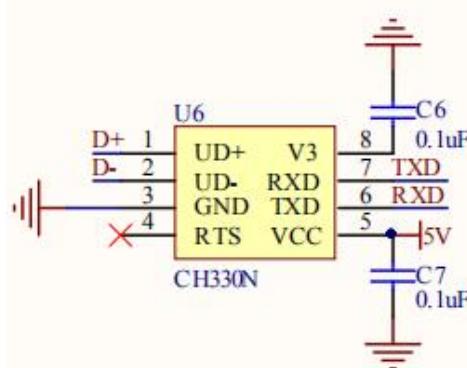


图2-12 USB连接CH340串口原理图

串口引脚分配表：

引脚名称	FPGA 引脚
RXD	B7
TXD	R7

⑥、电源开关

开发板电源输入上面介绍过，通过USB接口输入USBVCC，经过总开关，提供5V电源，如图2-13。5V电源输入给3组稳压芯片，分别产生3组3.3V、2.5V、1.2V不同电压的电源，输送给开发板各部件使用。如图2-14。

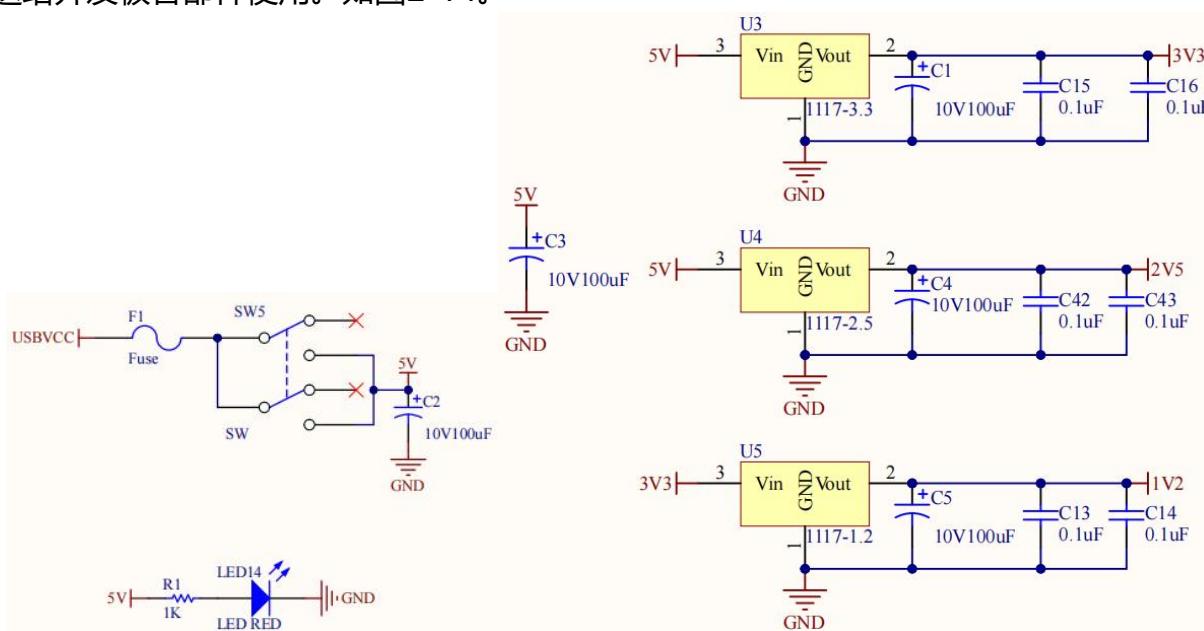


图2-13 开发板的电源开关

图2-14 开发板的分压电路

FPGA 的电源共分三种，其中包括bank 的电源引脚、内核电压引脚和模拟电压和锁相环供电引脚。

1、FPGA内核需要专门工作电源，VCCINT 为 FPGA 内核供电引脚，接 1.2V；FPGA 有多个锁相环专用引脚，给需要不同时钟源的开发项目提供了方便，VCCD_PLL 为 FPGA 的锁相环供电引脚，也接 1.2V。

2、FPGA的外围IO口独立电压为3.3V, VCCIO 是FPGA 的每个 BANK 的供电电压，比如 VCCIO0 是 FPGA 的 BANK0 的供电引脚，同理，VCCIO1~VCCIO3 分别是 FPGA 的 BANK~BANK3 的供电引脚，在开发板中，VCCIO 都接了 3.3V 电压，FPGA 引脚均为 3.3V 输入和输出。

3、VCCA 为 FPGA 模拟供电引脚，接 2.5V。

4、另外，FPGA 还有很多引脚需要连接 GND，保证 FPGA 内部有一个平稳的参考地。FPGA芯片的电源连接图如图2-15 所示。

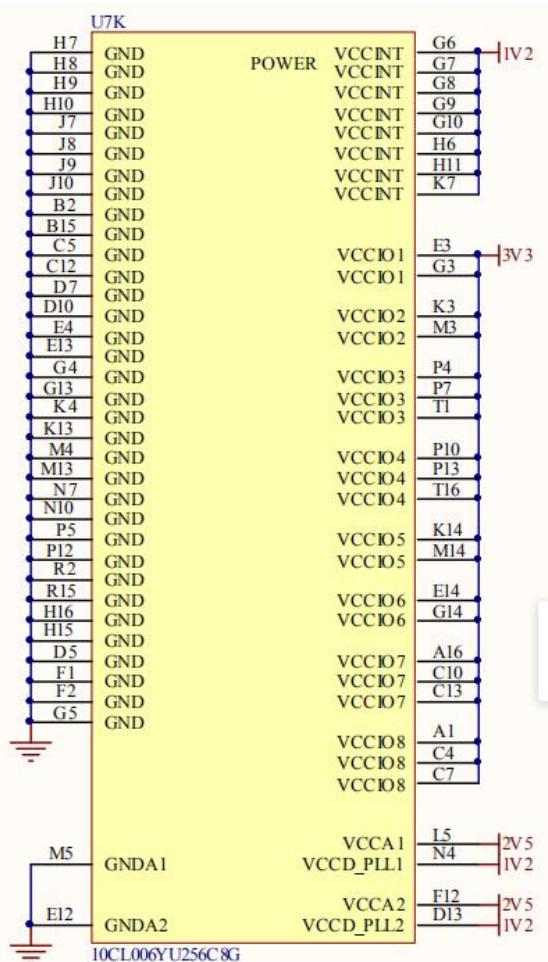


图 2-15 FPGA 电源及接地引脚

⑦、USB-HUB接口

开发板装有USB-A口，用于可接U盘、鼠标等作用，在⑤中介绍过利用FE8.1分线器芯片分成三路，其中一路就是连接USB-HUB口，USB A口原理图如图2-16所示，DM-\DP+连接FE8.1。

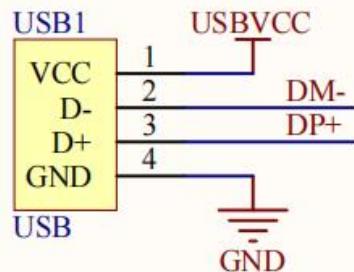


图 2-16 USB-A口连接图

⑧、HDMI接口B

开发板的HDMI接口（High Definition Multimedia Interface）接口，该接口可以连接到HDMI显示器上，从而显示出视频或者图片等。采用直连FPGA的方式来实现，通过FPGA对HDMI进行控制，B口只能作为输出。HDMI接口原理图如图2-17所示。

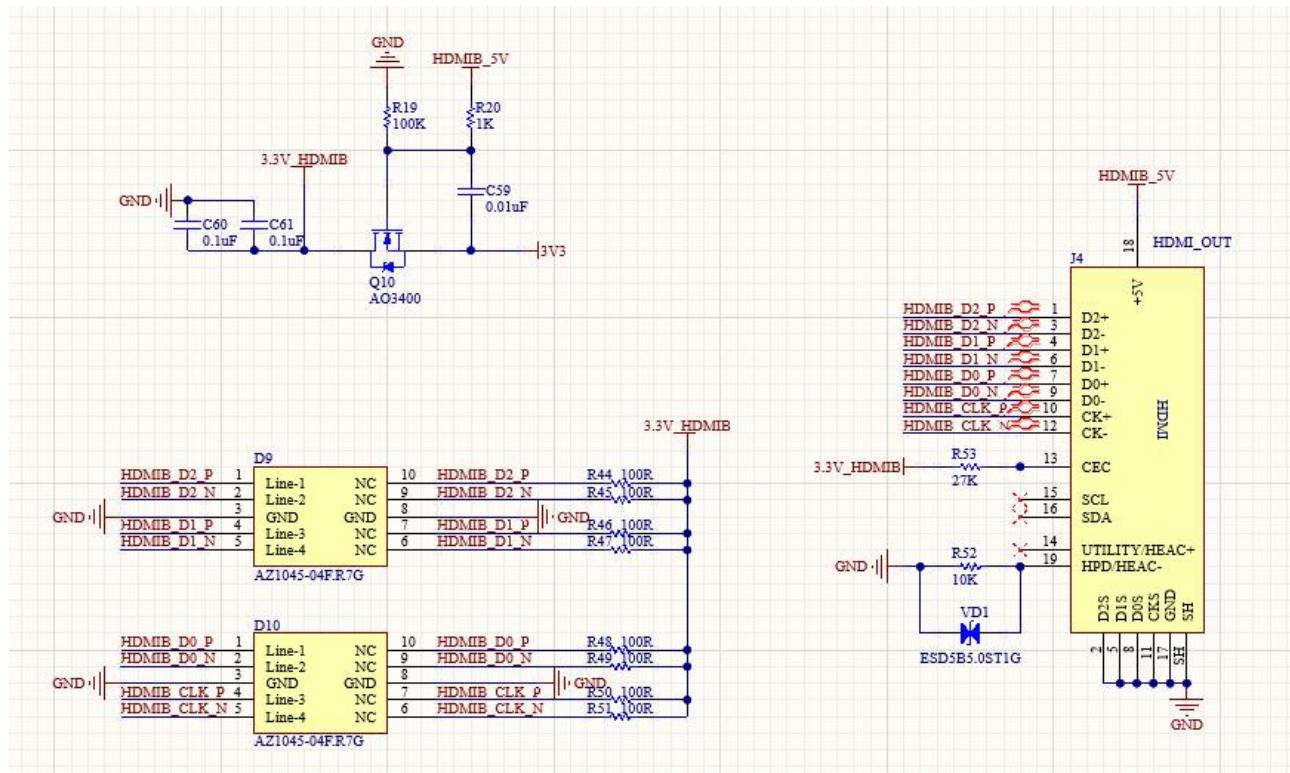


图2-17 HDMI B接口原理图

HDMIB输入引脚表

信号名称	FPGA引脚	信号名称	FPGA引脚
HDMIB_D2_P	B8	HDMIB_D0_P	F15
HDMIB_D2_N	A8	HDMIB_D0_N	F16
HDMIB_D1_P	B9	HDMIB_CLK_N	G16
HDMIB_D1_N	A9	HDMIB_CLK_P	G15

⑨、HDMI接口A

HDMI接口A, 相较于接口B, 在左边接口的19脚上加了一个拨码开关用于控制HPD引脚。当拨ON处可作为输入模式, 拨OFF端可作为输出模式, 图2-18。

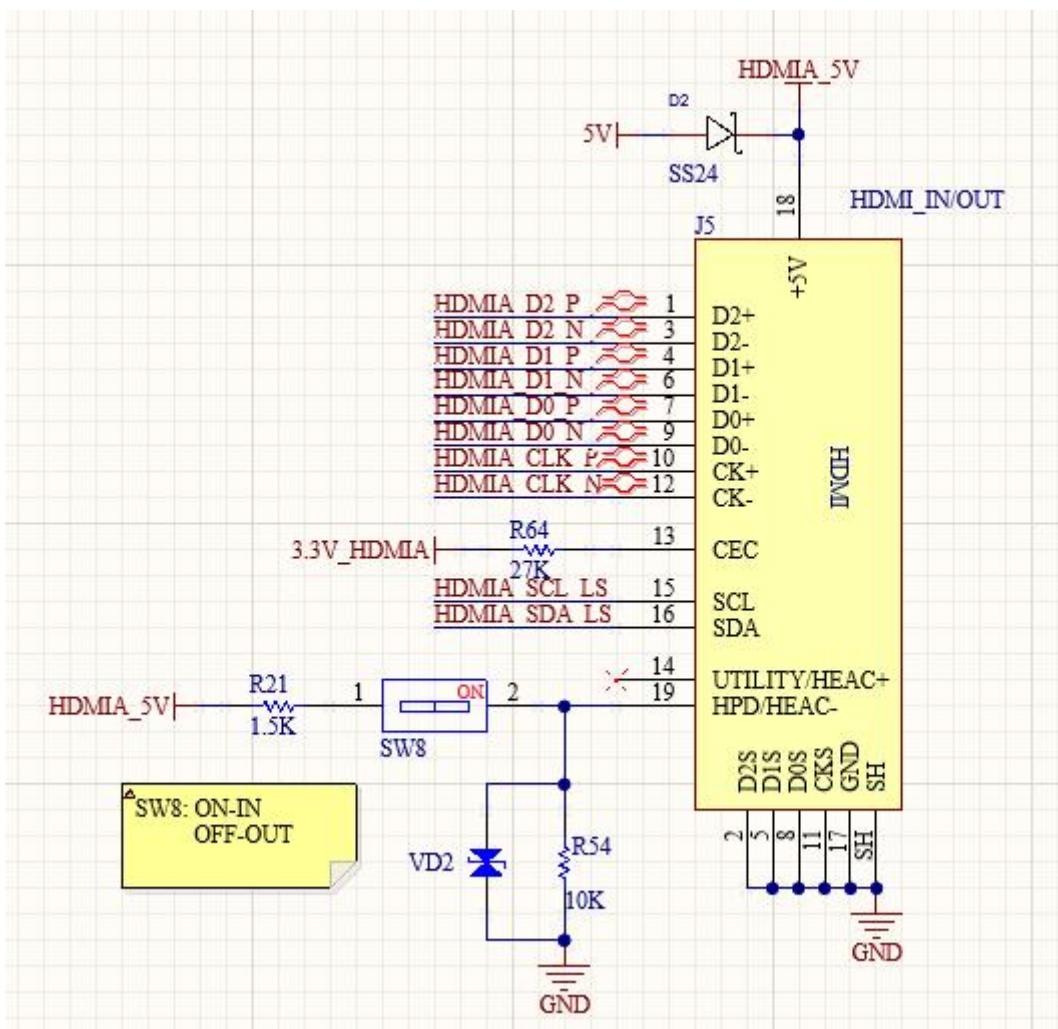


图2-18 HDMI A接口原理图

HDMIA输入引脚表

信号名称	FPGA引脚	信号名称	FPGA引脚
HDMIA_D2_P	J15	HDMIA_D0_P	N15
HDMIA_D2_N	J16	HDMIA_D0_N	N16
HDMIA_D1_P	L15	HDMIA_CLK_N	P16

HDMI_A_D1_N	L16	HDMI_A_CLK_P	R16
HDMI_A_SCL_LS	G16	HDMI_A_SDA_LS	G15

⑩、40芯GPIO扩展口J1

开发板预留2个扩展口J1/J2，这是在板右边得J1口，信号与JP2一样，这里不在重述，其原理图如图2-19所示。

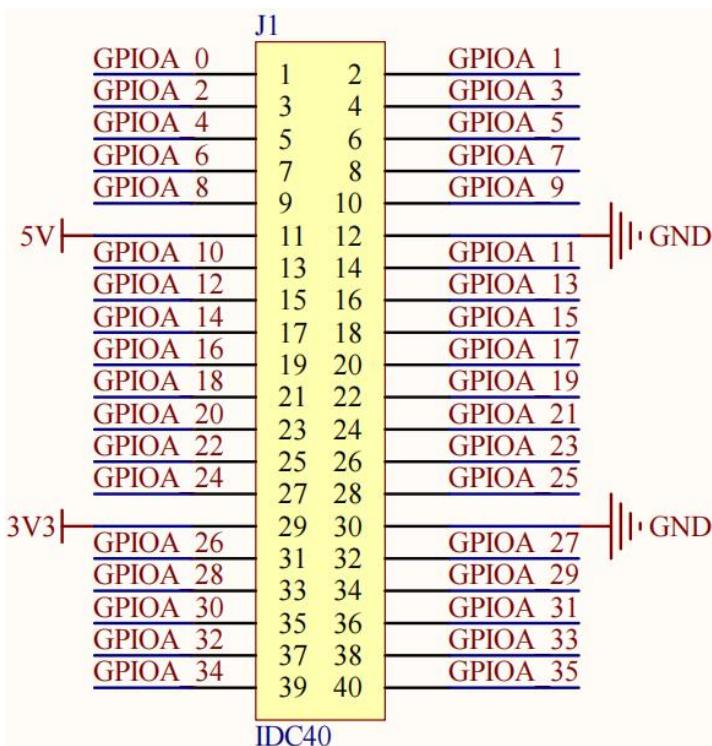


图2-19 JP1 40芯口的引脚原理图

注意：在锁定扩展口的引脚时，要根据实物的缺口方向，J1的第一脚在正方向左上1为第一脚位号，对照图3-13的原理图锁定引脚。

J1 扩展口引脚分配表

脚位号与信号名	FPGA 引脚	脚位号与信号名	FPGA 引脚
1(GPIOA_0)	F5	2(GPIOA_1)	D3
3(GPIOA_2)	C3	4(GPIOA_3)	D4
5(GPIOA_4)	E5	6(GPIOA_5)	E6
7(GPIOA_6)	C6	8(GPIOA_7)	D6
9(GPIOA_8)	D8	10(GPIOA_9)	C8

11	VCC5V	12	GND
13(GPIOA_10)	E7	14(GPIOA_11)	E8
15(GPIOA_12)	F6	16(GPIOA_13)	F8
17(GPIOA_14)	F7	18(GPIOA_15)	D9
19(GPIOA_16)	C9	20(GPIOA_17)	E9
21(GPIOA_18)	E10	22(GPIOA_19)	C11
23(GPIOA_20)	D11	24(GPIOA_21)	E11
25(GPIOA_22)	C14	26(GPIOA_23)	D12
27(GPIOA_24)	D14	28(GPIOA_25)	F9
29	3.3V	30	GND
31(GPIOA_26)	F13	32(GPIOA_27)	F14
33(GPIOA_28)	F11	34(GPIOA_29)	G11
35(GPIOA_30)	F10	36(GPIOA_31)	L10
37(GPIOA_32)	K11	38(GPIOA_33)	L11
39(GPIOA_34)	J12	40(GPIOA_35)	J14

⑪、8组数码管

数码管是很常见的一种显示设备，可采用共阴或共阳两种，一般分为七段数码管和八段数码管，两者区别就在于八段数码管比七段数码管多一个“点”。我们采用的数码管为2组4位一体的八段数码管，共阳数码管的段结构图 2-20所示。

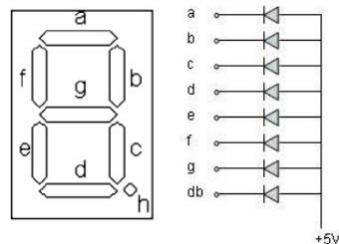


图 2-20 数码管的段结构

我们使用的是共阳极数码管，当某一字段对应的引脚为低电平时，相应字段就点亮，当某一字段对应的引脚为高电平时，相应字段就不亮。

LED有段码和位码之分，所谓段码就是让LED显示出“8.”的八位数据，一般情况下要通过一个译码电路，将输入的4位2进制数转换为与LED显示对应的8位段码。位码也就是LED的显示使能端，对于共阳极的LED而言，高电平使能。要让8个数码管动态扫描显示，要将所有数码管的相同段并联在一起，通过选通信号分时控制各个数码管的公共端，循环点亮多个数码管，并利用人眼的视觉暂留现象，只要扫描的频率大于50Hz，将看不到闪烁现象，就像是

8个数码管同时工作。

2组4位一体数码管的相同的段都接在了一起，一共是8个引脚，然后加上8个控制信号引脚，一共是16个引脚，如图 2-21所示，其中DIG[0..7]是对应数码管的a,b,c,d,e,f,g,h(点DP)，SEL[0..7]是八个数码管的八个控制引脚，高电平有效，当控制引脚为高电平时，对应的数码管有了供电电压，这样数码管才能点亮，否则无论数码管的段如何变化，也不能点亮对应的数码管。

注意：8个双色LED的16个引脚和数码管的16个引脚（8个数码段和8个位控制）复用，SW6选择开关来选择双色LED工作还是数码管工作，拨上为接通数码管工作，拨下为接通双色LED工作。引脚分配与⑫一起给出分配表。

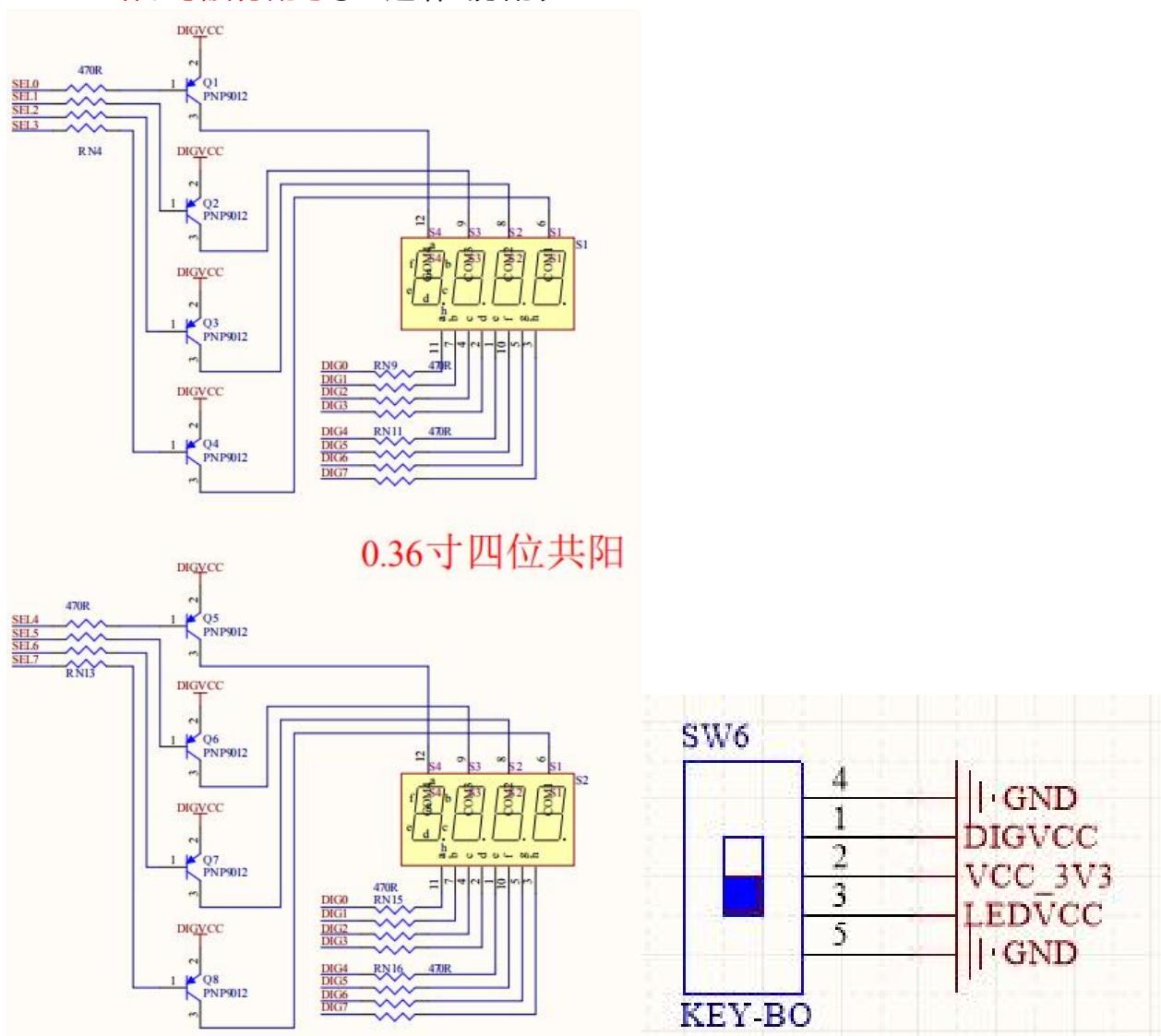


图 2-21 8组动态扫描数码管及选择开关

⑫、8组双色LED发光管

开发板提供了8个双色LED发光二极管。每个发光管是双色，分别是红色和绿色，也就是8组相当于16个LED,要锁定16个IO脚，8组LED发光管原理图如图 2-22, 当FPGA的引脚输出逻辑为“0”时，LED熄灭。**输出逻辑为“1”时，LED被点亮。**16个引脚和数码管复用（请看⑪）。

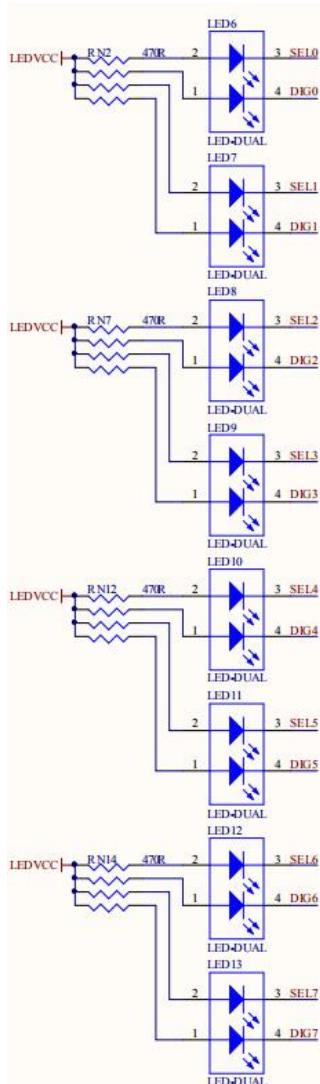


图 2-22 双色LED发光管

LED、数码管引脚分配：DIG属于数码管的段控制，SEL0属于数码管的位选信号

双色LED引脚名称	数码管引脚名称	FPGA引脚
LED6红	DIG0 (a段)	D15
LED6绿	SEL0(左起第1个数码)	D16
LED7红	DIG1 (b段)	C15
LED7绿	SEL1(左起第2个数码)	C16
LED8红	DIG2 (c段)	A15
LED8绿	SEL2(左起第3个数码)	B16

LED9红	DIG3 (d段)	A14
LED9绿	SEL3(左起第4个数码)	B14
LED10红	DIG4 (e段)	A13
LED10绿	SEL4(左起第5个数码)	B13
LED11红	DIG5 (d段)	A12
LED11绿	SEL5(左起第6个数码)	B12
LED12红	DIG6 (g段)	A11
LED12绿	SEL6(左起第7个数码)	B11
LED13红	DIG7 (h段)	A10
LED13绿	SEL7(左起第8个数码)	B10

⑬、50M时钟源

图 2-23即为我们上述提到的给开发板提供时钟源的**50M**有源晶振电路。晶振输出连接到FPGA的全局输入时钟管脚，这个CLK1可以用来驱动FPGA内的用户逻辑电路，用户可以通过配置FPGA内部的PLL（锁相环）来分频倍频实现其他频率的时钟。

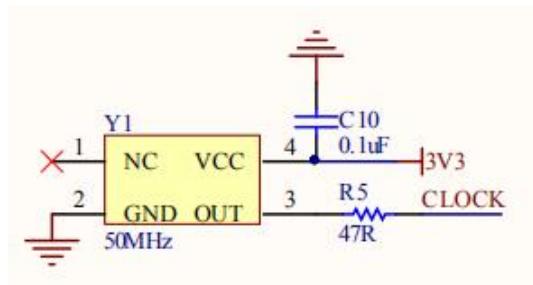


图 2-23 50M晶振连接原理图

引脚分配

时钟信号	FPGA 引脚
CLK	E15

⑭、SPI FLASH W25Q64

开发板上板载了一片64Mbit大小的SPI FLASH芯片，型号为华邦W25Q64，W25Q64的擦写周期多达10W次，具有20年的数据保存期限，支持电压为2.7~3.6V，W25Q64支持标准的SPI，还支持双输出/四输出的SPI，最大SPI时钟可以到80Mhz(双输出时相当于160Mhz，四输出时相当于320M) 原理图如图 2-24。

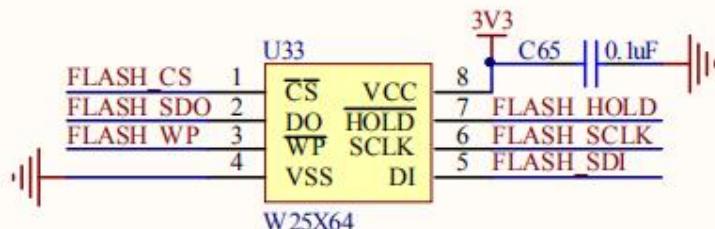


图2-24 SPI Flash 原理图

配置芯片引脚分配：

W25Q64引脚名称	FPGA 引脚	W25Q64引脚名称	FPGA 引脚
FLASH_CS	R13	FLASH_HOLD	T14
FLASH_SDO	R14	FLASH_SCLK	T15
FLASH_WP	R16	FLASH_SDI	P15

⑯、蜂鸣器

蜂鸣器通过一个三极管进行控制，当BUZZER为低电平时，三极管导通，蜂鸣器响；当BUZZER为高电平时，三极管截止蜂鸣器不响。为了控制蜂鸣器噪音，我们在蜂鸣器跟FPGA之间加入了乒乓开关SW5，乒乓可以拨下断开，拨上为接通。原理图如图2-25。

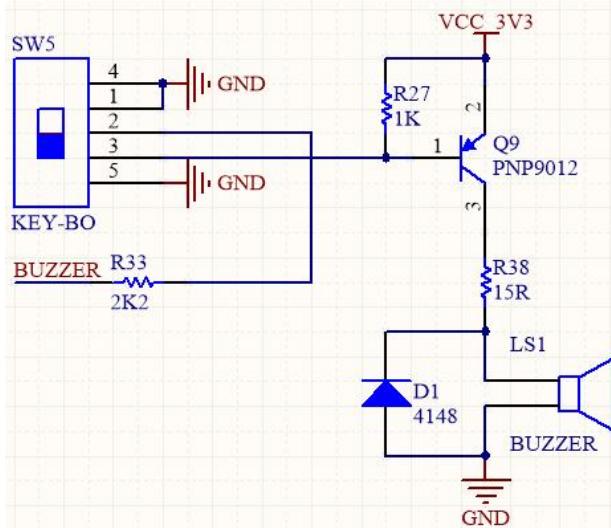


图 2-25 蜂鸣器及控制开关原理图

蜂鸣器引脚分配：

引脚名称	FPGA 引脚
BUZZER	K10

⑰、6组乒乓开关

开发板包含了6个乒乓开关，其中SW1-SW4是作为与FPGA的IO输入信号，拨上为“1”，拨下为“0”；如图2-26。SW5是蜂鸣器开关，SW6选择开关来选择双色LED工作还是数码管

工作，在上文介绍过。

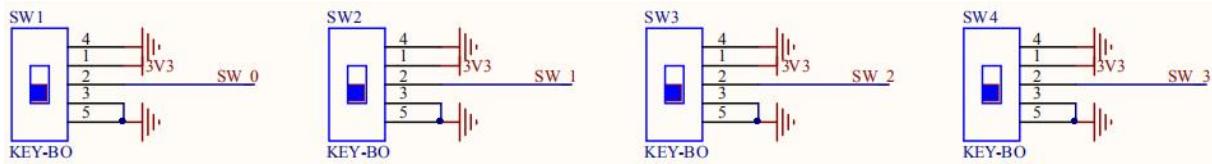


图 2-26 4组乒乓开关原理图

乒乓开关引脚

开关引脚信号	FPGA 引脚	开关引脚信号	FPGA 引脚
SW1	E16	SW2	M16
SW3	M15	SW4	M2

⑯、4组按键

开发板板载了4个独立按键，(KEY1~KEY4)。按键按下为低电平，松开为高电平，4按键的原理图如图 2-27所示。

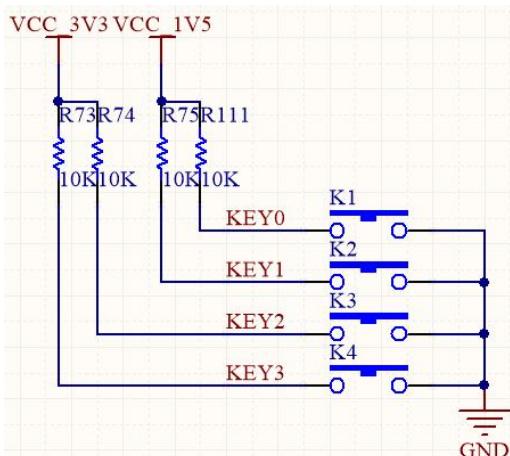


图 2-27 4个独立按键原理图

按键引脚分配：

信号名称	FPGA引脚	TF信号名称	FPGA引脚
KEY1	M1	KEY2	F3
KEY3	E1	KEY4	E2

⑰、TF卡槽

TF卡(Secure Digital Memory Card)有两种模式，一种是SD模式，一种是SPI模式，SD模式包含SPI模式功能，此板采用功能更全面的SD卡模式。引脚结构图如图 2-28所示，原理图如图2-29所示。

TF卡 (SD模式) : 1-data2; 2-data3; 3-cmd; 4-vdd; 5-clk; 6-vss; 7-data0; 8-data1。

TF卡 (SPI模式) : 1-rsv; 2-cs; 3-di; 4-vdd; 5-sclk; 6-vss; 7-do; 8-rsv。

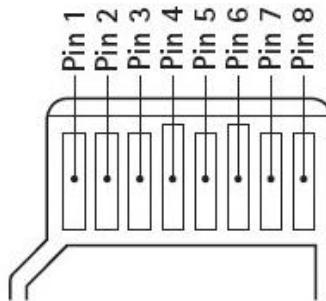


图2-28TF卡引脚示意图

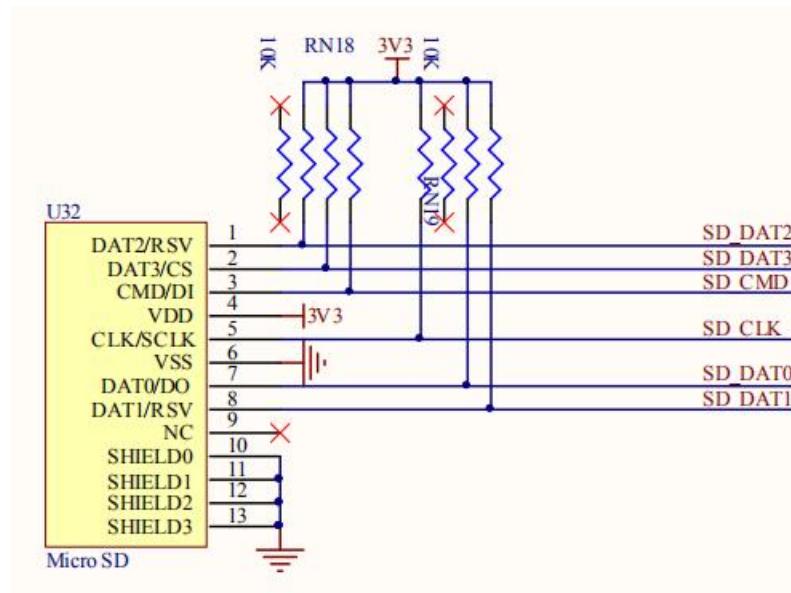


图 2-29 TF卡原理图

注意：TF卡槽在开发板背面。

TF 卡槽引脚分配

TF信号名称	FPGA引脚	TF信号名称	FPGA引脚
SD_DAT3 (CS)	R12	SD_DAT2	T3
SD_DAT1	R10	SD_DAT0(MISO)	T11
SD_CLK	R11	SD_CMD(MOSI)	T12

⑯、SDRAM

开发板板载了一片 SDRAM 芯片,型号：WINBAND9825G6K或其他兼容型号，容量：256Mbit (16M*16bit) , 16bit 总线。SDRAM可用于数据缓存,通过接口进行读写。SDRAM的硬件连接方式如图 2-30 所示。

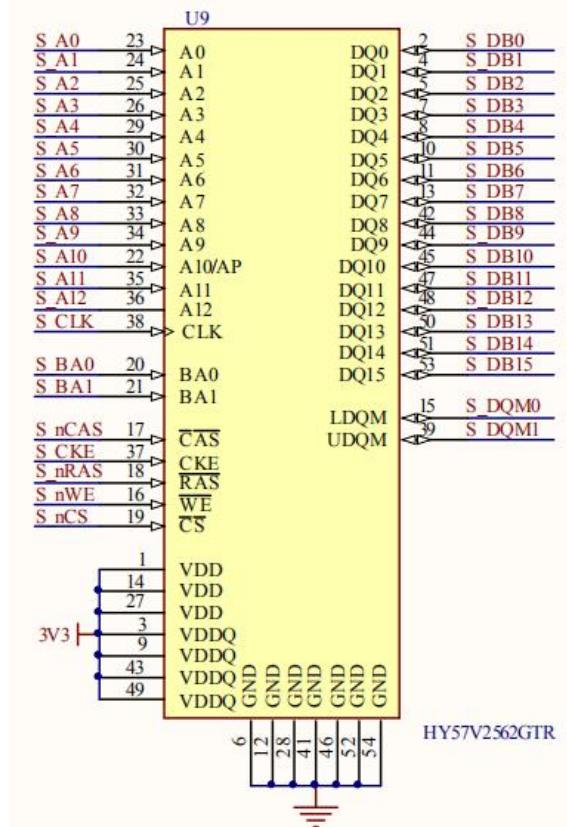


图 2-30SDRAM 原理图部分

引脚分配

引脚名	FPGA引脚	引脚名	10C55/4C55引脚
SDRAM_A0	AB19	SDRAM_DQ1	A5
SDRAM_A1	AA19	SDRAM_DQ2	B6
SDRAM_A2	AB20	SDRAM_DQ3	A6
SDRAM_A3	AA20	SDRAM_DQ4	A4
SDRAM_A4	Y13	SDRAM_DQ5	B4
SDRAM_A5	W13	SDRAM_DQ6	A3
SDRAM_A6	Y14	SDRAM_DQ7	B3
SDRAM_A7	W14	SDRAM_DQ8	R3
SDRAM_A8	T14	SDRAM_DQ9	T2
SDRAM_A9	T15	SDRAM_DQ10	L2
SDRAM_A10	AA18	SDRAM_DQ11	N1
SDRAM_A11	Y15	SDRAM_DQ12	N2
SDRAM_A12	W15	SDRAM_DQ13	P1
SDRAM_BA0	AB18	SDRAM_DQ14	P2
SDRAM_BA1	AA16	SDRAM_DQ15	R1
SDRAM_CAS_N	C2	SDRAM_DQM0	A2
SDRAM_CKE	T4	SDRAM_DQM1	T3

SDRAM_CLK	R4	SDRAM_RAS_N	D1
SDRAM_CS_N	G2	SDRAM_WE_N	B1
SDRAM_DQ0	B5		

KONXIN

名称：杭州康芯电子有限公司

地址：杭州市莫干山路1418-36号3幢4楼

网址：WWW.KX-SOC.COM

电话：0571-88914587

邮编：310010

2025年5月