

Guía 4: Máquina de estados finitos

Laboratorio Electrónica Digital I.
Departamento de Ingeniería Eléctrica y Electrónica
Facultad de Ingeniería
Universidad Nacional de Colombia
Octubre 02, 2017

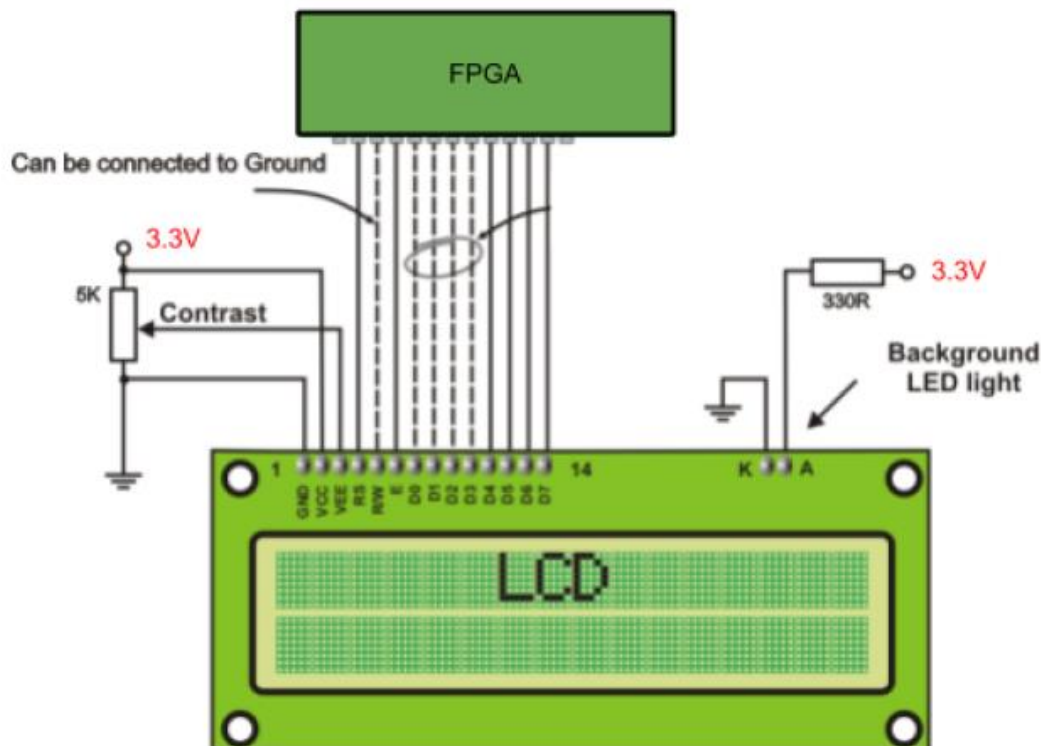
1. Objetivos

- Diseñar un sistema de hardware digital planteando un modelo de máquina de estados finitos.

2. Materiales

- FPGA
- Pantalla LCD Alfanumérica de 2x16 caracteres (Importante: de 3.3V).
- Cables de conexión.

3. Conexión de la FPGA a la LCD



4. Funcionamiento

Se debe diseñar una máquina de estados que controle una pantalla LCD alfanumérica de x16 caracteres. En la pantalla se deben mostrar los nombres y los apellidos de uno de los integrantes del grupo. Se debe poder escoger alguno de los tres nombres a partir de interruptores (Si no son 3 integrantes, inventar los nombres faltantes). El sistema puede operar en dos modos de funcionamiento (el cual se escoge a partir de la posición de un interruptor), FIJO y MÓVIL.

- **FIJO:** En la línea superior se deben mostrar los dos nombres (o un sólo nombre si aplica), o los caracteres que quepan. La segunda línea presenta los dos apellidos de igual manera.

- **MÓVIL:** La primera línea presenta todos los nombres y los apellidos, desplazándose hacia la izquierda, moviéndose un espacio cada 500ms.

El diagrama de la máquina de estados se debe incluir en el informe.

IMPORTANTE: Tenga en cuenta que debe tener listos los archivos de Verilog con la descripción de cada uno de los bloques que hagan parte del sistema, y su respectiva simulación para el día 23 de octubre de 2017.

5. Preguntas

- 5.1. ¿Qué es una máquina de estados finitos?
- 5.2. ¿Qué es un estado, una transición y un evento en una máquina de estados finitos?
- 5.3. ¿Qué es una máquina de Moore?
- 5.4. ¿Qué es una máquina de Mealy?

¡Éxitos!