

Proyecto: RELOJ DE AJEDREZ

Preinforme

Christian Camilo Cuestas Ibáñez, Eliana Ortiz Garcia

{cccuestasi, elortizga} @unal.edu.co

Repositorio en GitHub: <https://github.com/ChrisCuestas/ElectronicaDigital/tree/master/ChessTimer>

Resumen—Este preinforme presenta los requerimientos básicos, y las mejoras planteadas para diseñar un Reloj de ajedrez, con el cual el usuario podrá establecer tiempos de partidas desde 1 minuto hasta 60 minutos.

El reloj de ajedrez que se diseña está basado en programación de descripción de hardware (HDL) sobre FPGA. Por tanto, en este preinforme también se presentan los diagramas estructurales planteados inicialmente. Estos se usarán para la implementación de los módulos a implementar en verilog.

I. OBJETIVO

Poner en práctica todas las habilidades adquiridas durante el curso de Electrónica Digital I, tanto en el ámbito teórico como a nivel práctico.

II. MATERIALES Y HERRAMIENTAS

- 1 FPGA Nexys 4.
- 1 pantalla LCD Alfanumérica de 2x16 caracteres, de 3,3V.
- 1 protoboard.
- 1 interruptor de balancín.
- 4 pulsadores.
- Jumpers.
- 1 potenciómetro 5k.
- 1 resistencia de 330Ω.

III. DEFINICIÓN DEL PROYECTO

Un reloj de ajedrez que permita programar el tiempo de partida de cada participante y que cumpla con los siguientes requerimientos:

III-A. Requerimientos mínimos

- Tiempos de partida de 5min, 10min, 15min, 20min y 30min.
- Ambos jugadores deben tener el mismo tiempo de partida inicial.
- Cada tiempo de partida se debe contabilizar con un temporizador de cuenta regresiva.
- La visualización de los tiempos debe ser a través de una pantalla LCD.

III-B. Mejoras a los requerimientos

- El tiempo de partida puede ser establecido por el usuario, y puede estar entre 1min y 60min.
- La cantidad de pulsadores se restringen a 4:
 1. Inicio/Parada: Inicia la cuenta regresiva.
 2. Reset: Restablece los valores de tiempos de partida puestos por defecto.
 3. Set: Mientras el botón está accionado se permite modificar el tiempo de partida.
 4. Min: Modifica los minutos del tiempo de partida aumentando en 1 cada vez que sea pulsador.
- Tiene un switch balancín, con el que se determina qué temporizador está activado.

IV. DISEÑO

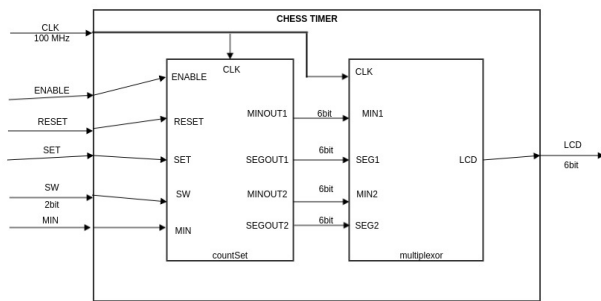
Para el diseño del Reloj de ajedrez, se establecieron los diagramas estructurales del sistema, que definirán los módulos en verilog y con sus entradas y salidas de datos y señales.

IV-A. Diagramas Estructurales

IV-A1. ChessTimer: De acuerdo a los requerimientos del sistema, el bloque *ChessTimer* es el que encapsula los demás bloques (*top module*) y tiene 6 entradas y 1 salida.

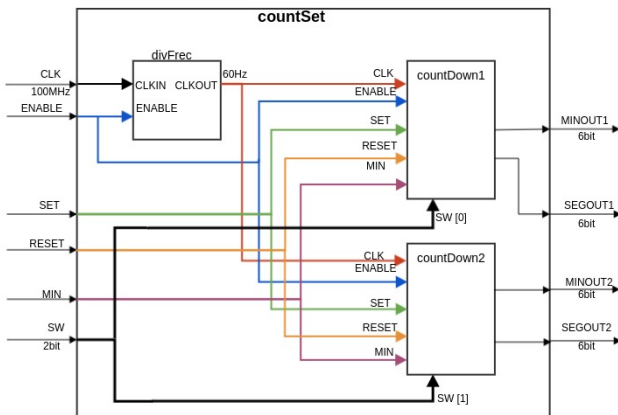
En las entradas encontramos una entrada de reloj CLK conectada al reloj de la FPGA, la entrada ENABLE que permite iniciar o parar el conteo del tiempo y la entrada SET que permite establecer el tiempo de partida junto con la entrada MIN. ENABLE, SET, RESET y MIN están conectadas con los 4 pulsadores. Además, se tiene una entrada SW conectada al interruptor de balancín que determina el turno del jugador y hace el conteo respectivo del tiempo. La única salida consta de un bus de 6bit conectado a la pantalla LCD. La estructura interna de este módulo es como se observa en la Figura 1.

IV-A2. countSet: El bloque *countSet* es la primer etapa de la lógica que se encarga hacer el conteo y la que permite al usuario establecer el tiempo de partida deseado. Consta de 6 entradas: CLK, ENABLE, SET,

Figura 1. Diagrama estructural del bloque *ChessTimer*

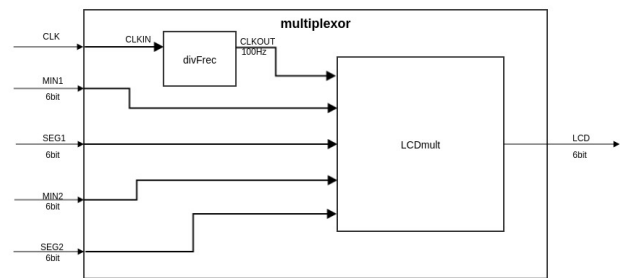
RESET, MIN y SW. Además, tiene 4 salidas para enviar el tiempo actual de cada jugador al módulo de visualización: MINOUT1, SEGOUT1, SEGOUT2 y MINOUT2; cada una de 4bit.

La estructura interna del bloque es como se muestra en la Figura 2, de la cual cabe resaltar que contiene un divisor de frecuencia, con una frecuencia de salida de 60Hz necesaria para un conteo bastante preciso de los segundos. Y para el conteo, existen dos contadores: uno por cada jugador.

Figura 2. Diagrama estructural del bloque *counterSet*

IV-A3. multiplexor: Este bloque se encarga de multiplexar en el tiempo cada dígito y enviar a la pantalla LCD la información necesaria para visualizar los tiempos de partida de cada jugador.

La frecuencia a la que trabaja es 100Hz, y recibirá los datos de salida del bloque *countSet*.

Figura 3. Diagrama estructural del bloque *multiplexor*

V. LINKS DE INTERÉS

- Comunicación entre FPGA y la pantalla LCD: <https://www.pantechsolutions.net/fpga-tutorials/16x2-lcd-interface-with-spartan6-fpga-project-kit>
- La partida de ajedrez más rápida del mundo: <https://www.youtube.com/watch?v=crTE51R8Bw>