

Guía 2: Lógica Combinacional y Conceptos Básicos FPGA y Verilog

Laboratorio Electrónica Digital I.
Departamento de Ingeniería Eléctrica y Electrónica
Facultad de Ingeniería
Universidad Nacional de Colombia
Septiembre 4, 2017

1. Objetivos

- Estudiar los conceptos básicos de los dispositivos digitales conocidos como FPGA, conociendo de primera mano la su arquitectura, aplicaciones, y lenguajes utilizados para su programación.
- Comprender los principios fundamentales de la lógica combinacional por medio de la implementación de una Unidad Aritmética Lógica (ALU).
- Programar en Verilog los módulos principales de la lógica combinacional como lo son los multiplexores, demultiplexores, decodificadores, entre otros.

2. Materiales

- Computador con el software Xilinx ISE 14.7 o versión preferida.
- FPGA Nexys 3 o Nexys 4, con sus respectivos manuales.

3. Procedimiento

Implemente una Unidad Aritmética Lógica (ALU) en una FPGA utilizando Verilog y el software Xilinx ISE, que cumpla con las siguientes funciones:

- Sumar dos números binarios de 3 bits cada uno. El resultado de la suma debe ser mostrado en hexadecimal utilizando un display 7 segmentos de la FPGA.
- Restar dos números binarios de 3 bits cada uno. La magnitud del resultado de la resta debe ser mostrado en hexadecimal utilizando un display 7 segmentos de la FPGA. Utilice además el led de punto decimal de dicho display para mostrar el signo del resultado.
- Comparar dos números binarios de 3 bits cada uno. Muestre en un display 7 segmentos de la FPGA el número de mayor magnitud. En caso de que los números sean iguales, muestre el símbolo "=" en el display.
- Concatenar dos números binarios de 3 bits cada uno y generar el bit de paridad del resultado (Utilice paridad par para calcularlo). Se debe mostrar el bit de paridad en un display 7 segmentos de la FPGA ("0" o "1" según corresponda).

La ALU debe tener una entrada de selección que permita escoger la función a realizar. Dichas funciones deben ser implementadas usando instancias, por ejemplo, se debe implementar el sumador de 3 bits a partir de sumadores completos de 1 bit, para lo cual se debe tener claridad sobre el uso de instancias en Verilog.

IMPORTANTE: Tenga en cuenta que antes de comenzar la práctica debe tener listos los archivos de Verilog con la descripción de la ALU, además de hacer las simulaciones correspondientes a cada función de dicha unidad.

4. Preguntas

- a. ¿Qué es una FPGA?
- b. ¿Cuáles son las características más importantes de una FPGA?
- c. ¿Qué arquitectura maneja una FPGA?
- d. ¿Cuáles son los Lenguajes de Programación más comunes para programar una FGPA?
- e. ¿Cuál es la configuración de una Nexys 3 y Nexys 4 al momento de crear un proyecto en Xilinx? Nombre de procesador, velocidad y referencia.
- f. ¿Qué es VHDL?
- g. ¿Qué es Verilog?
- h. Mencione las diferencias más notables entre VHDL y Verilog
- i. ¿Qué es WIRE y REG en Verilog?
- j. ¿Qué es el archivo UCF? ¿Cuál es su función?
- k. ¿Qué es el archivo .bit? ¿Cuál es su función?
- l. ¿Cuáles son los paquetes estándar de I/O en FPGA? Tener en cuenta archivo UCF.
- m. ¿Qué se entiende por el número (12,18,33, etc.) en el paquete I/O estándar LVCMOSXX?

¡Éxitos!