

SoC Project 3

Back-End Development



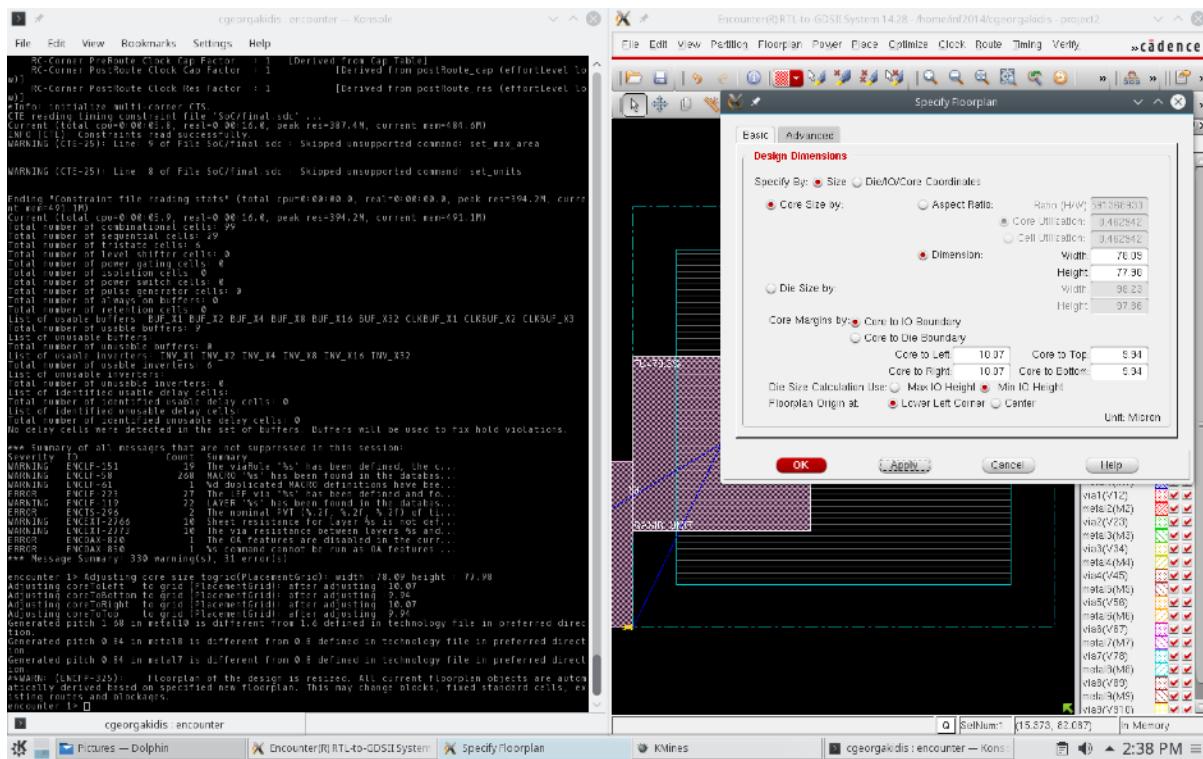
Χρήστος Γεωργακίδης 1964

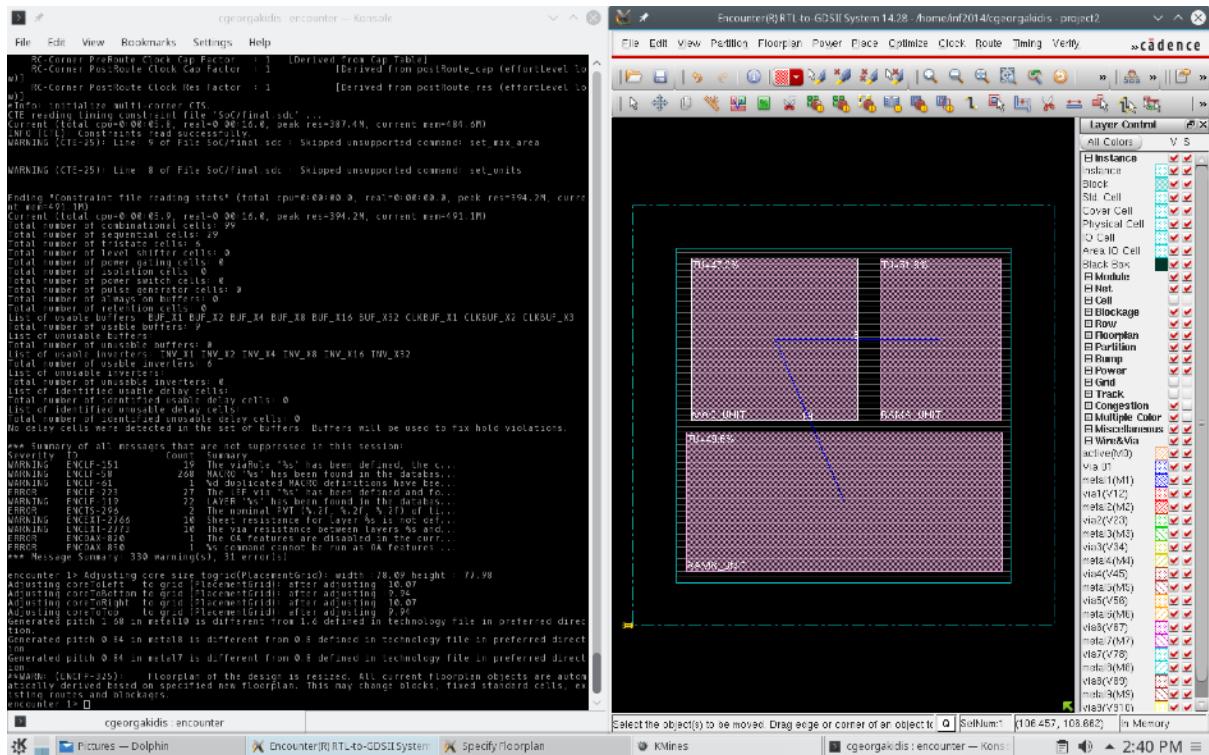
6ο Εξάμηνο 2017

Encounter

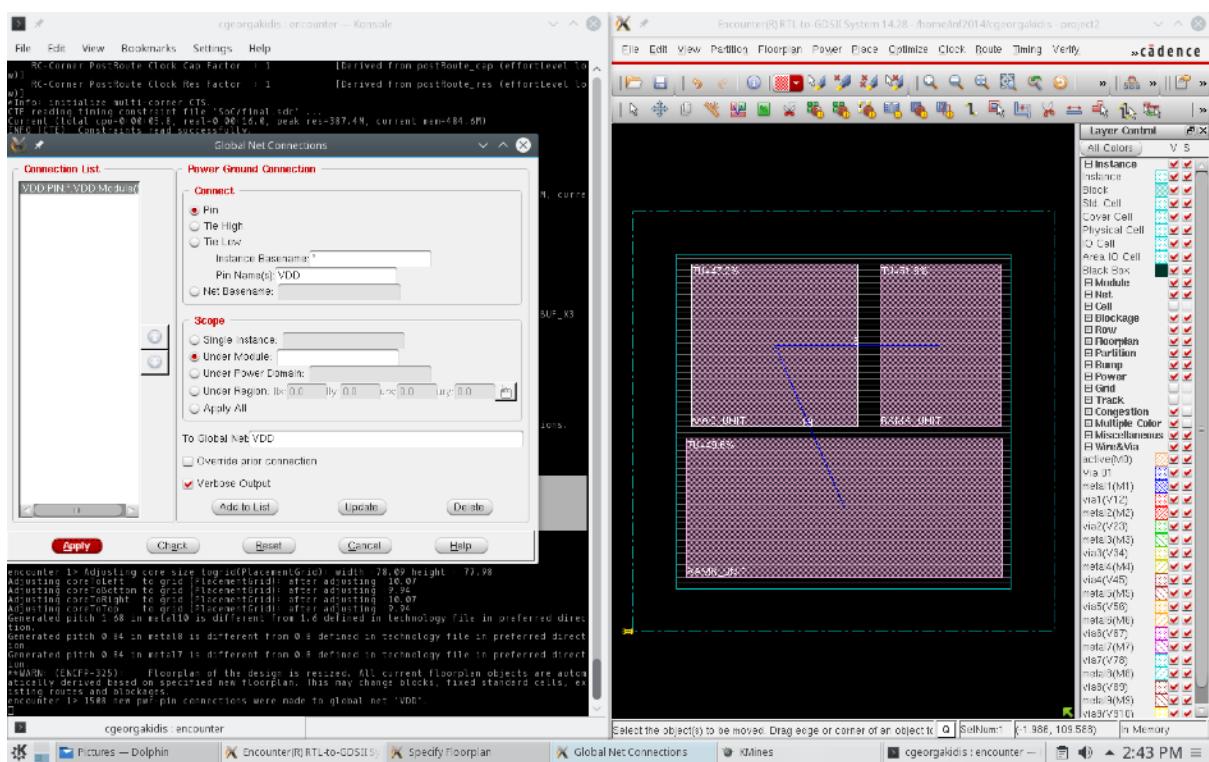
Back-End Development

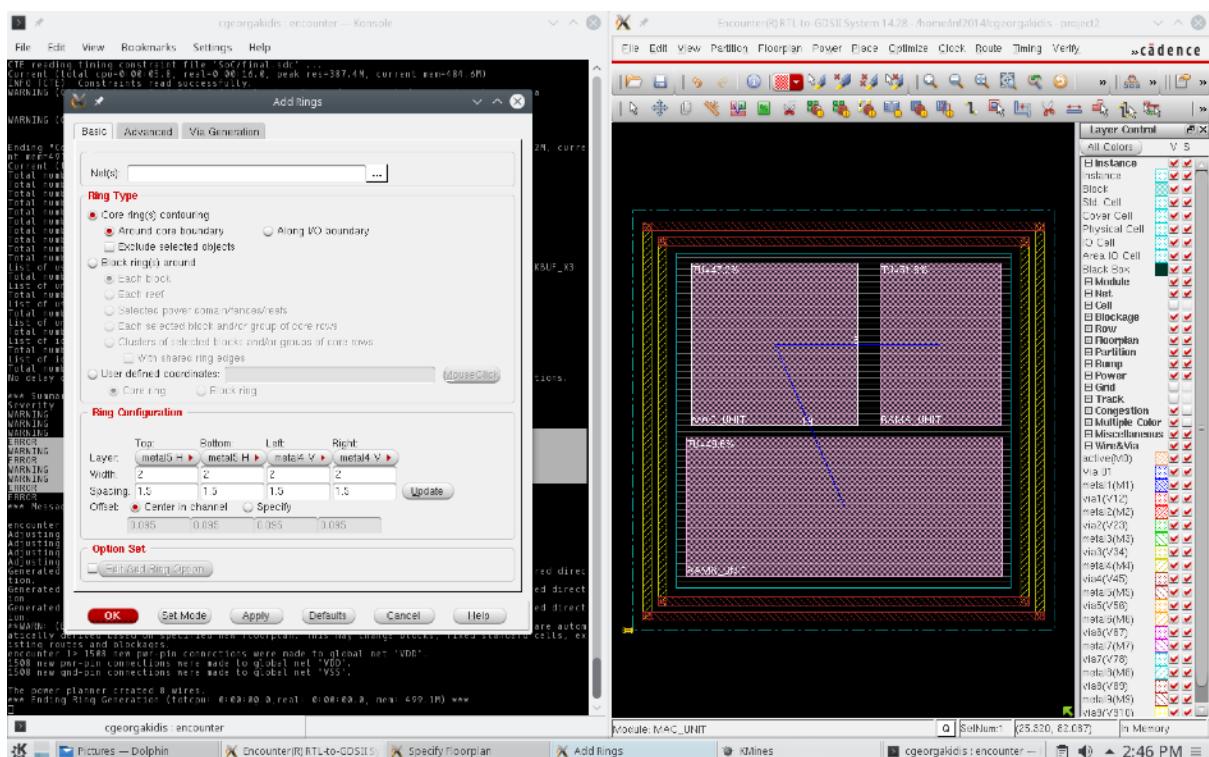
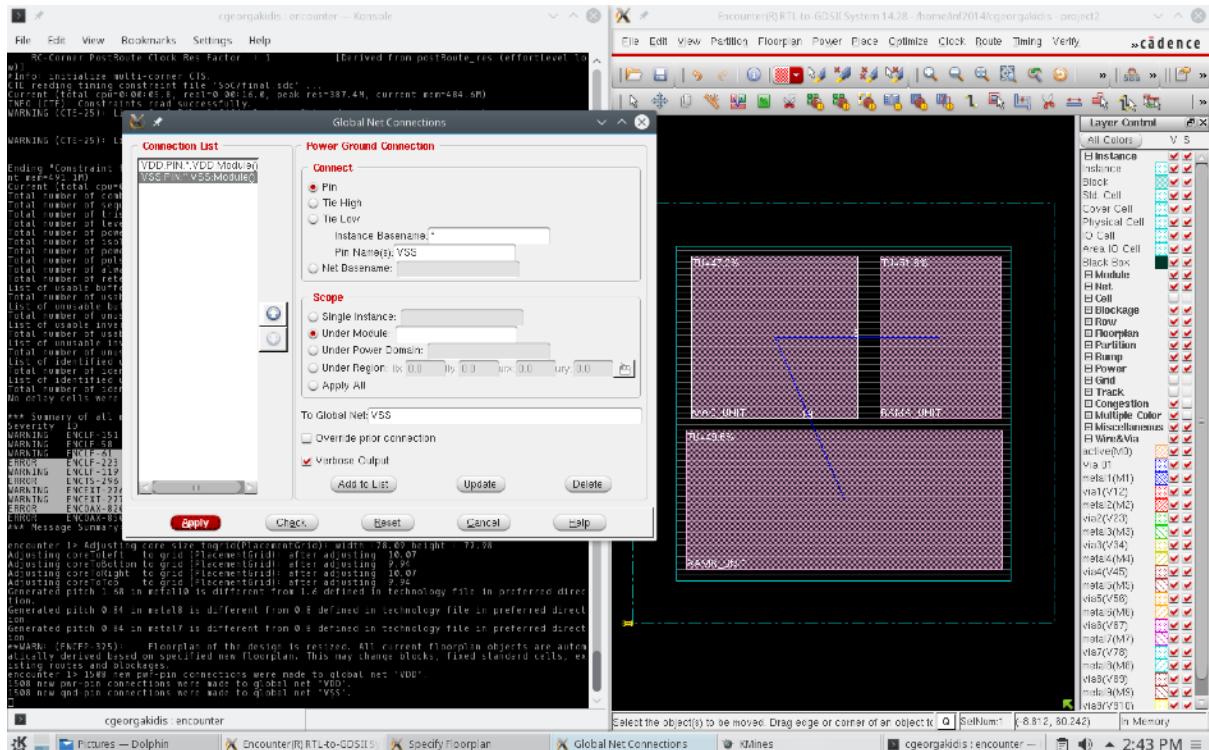
- * Αρχικά έγινε import design μαζί με τα αρχεία .lef και ύστερα τοποθετήθηκαν τα αρχεία .lib και .sdc μέσω του timing > configure mmmc.
- * Οι διαστάσεις του die έγιναν 80 x 80 οι οποίες στη συνέχεια έγιναν 78.09 x 77.98 από τον encounter και τα όρια σε 10 x 10 τα οποία έγιναν 10.07 x 9.94 και ύστερα τοποθετήθηκαν τα modules μέσα στο die:

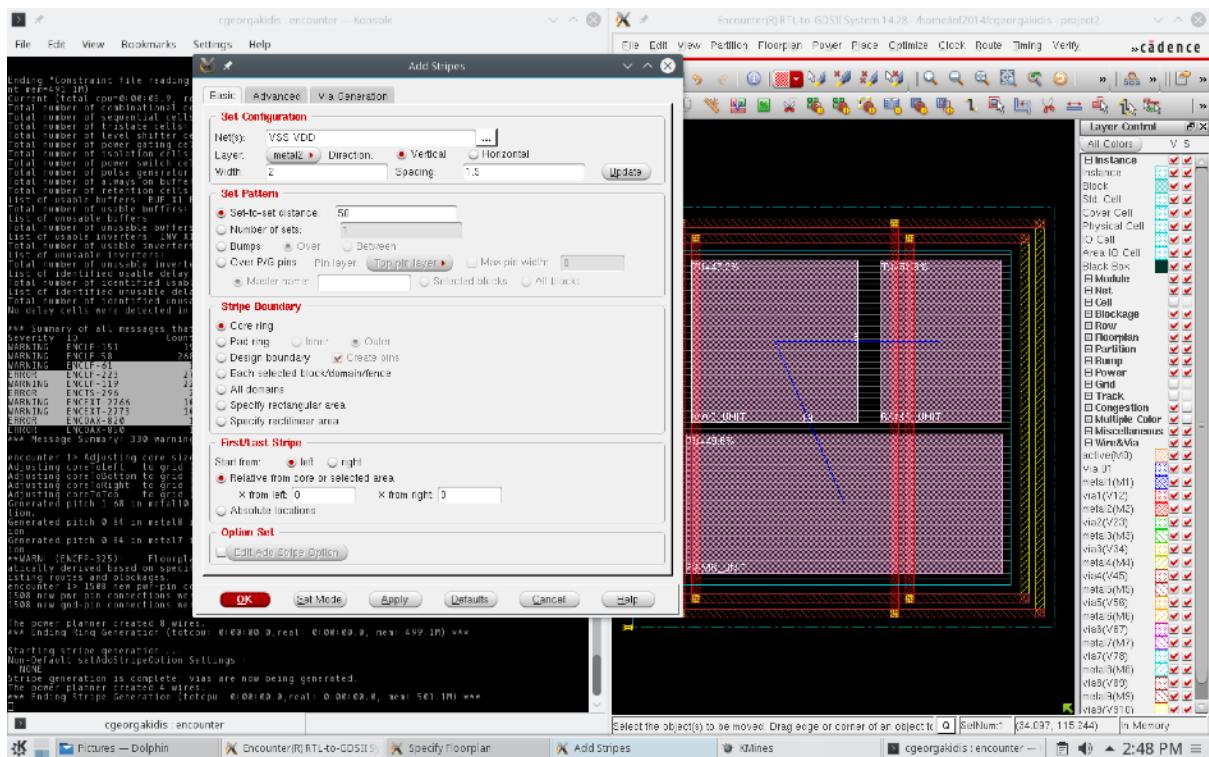




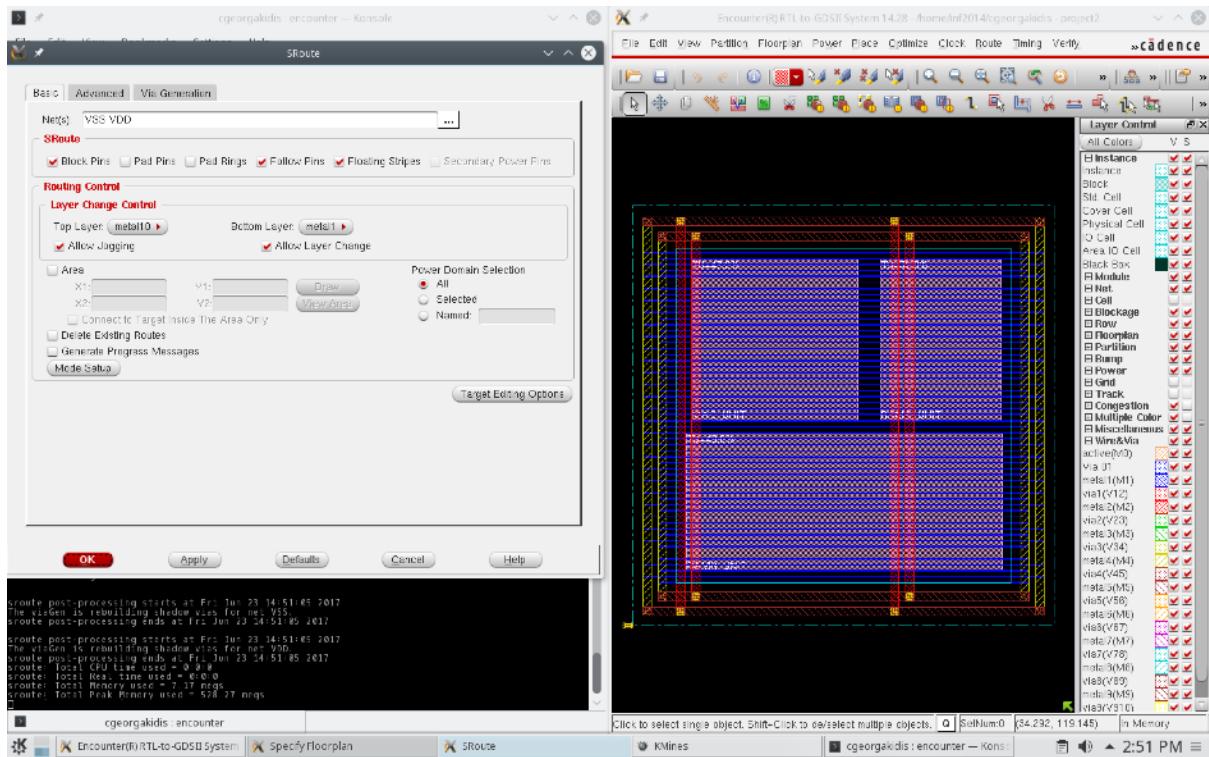
* Για το power planning αρχικά δημιουργήθηκαν τα global nets VDD και VSS και τοποθετήθηκε το ring πλάτους 2 και μεταξύ τους απόστασης 1.5 και μετά τα stripes με ίδιο πλάτος και απόσταση μεταξύ των VDD και VSS και μεταξύ των 2 stripes που τοποθετήθηκαν τελικά στο die σε απόσταση 50.



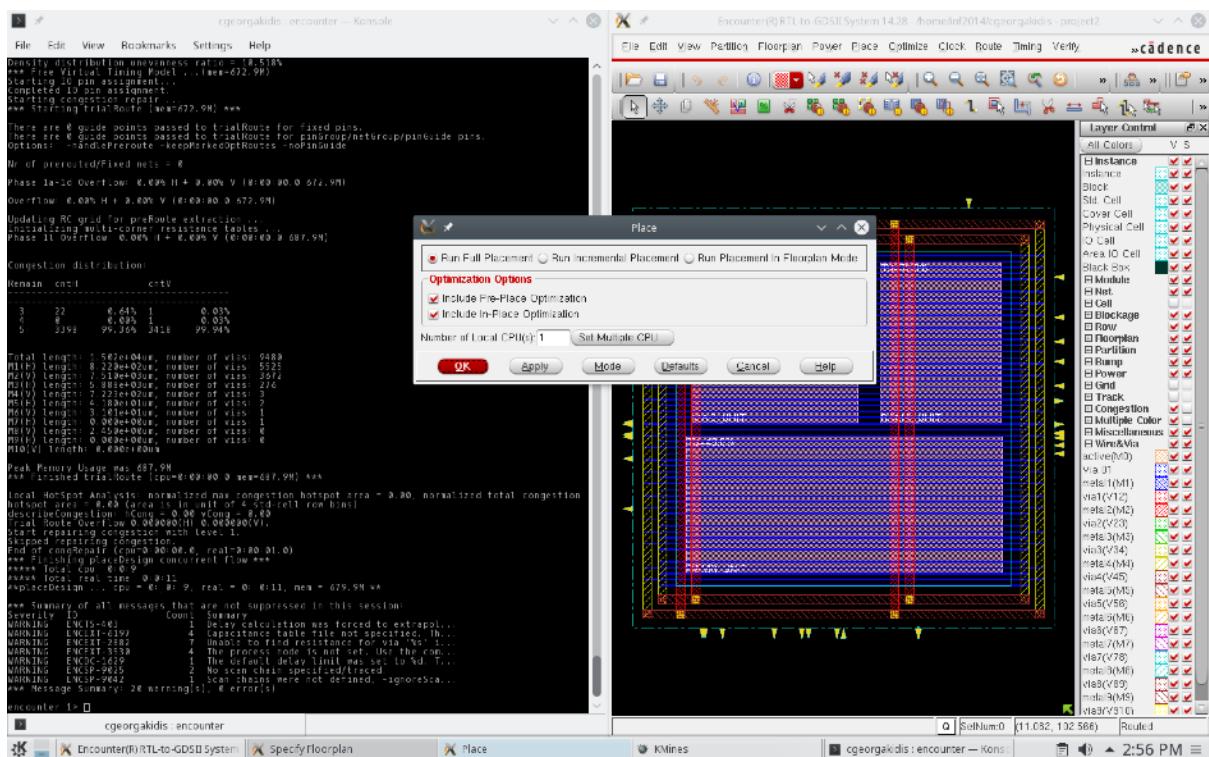




- * Σε αυτό το σημείο δεν έγινε DRC και Geometry check καθώς αφαίθηκε στην αρμοδιότητα του encounter να βγάλει τις αποστάσεις μεταξύ των VDD και VSS ώστε να μην υπάρχει κάποιο πρόβλημα.
- * Για τη δημιουργία του power grid χρησιμοποιήθηκε το special route (trial route) όπως φαίνεται στο στιγμιότυπο:

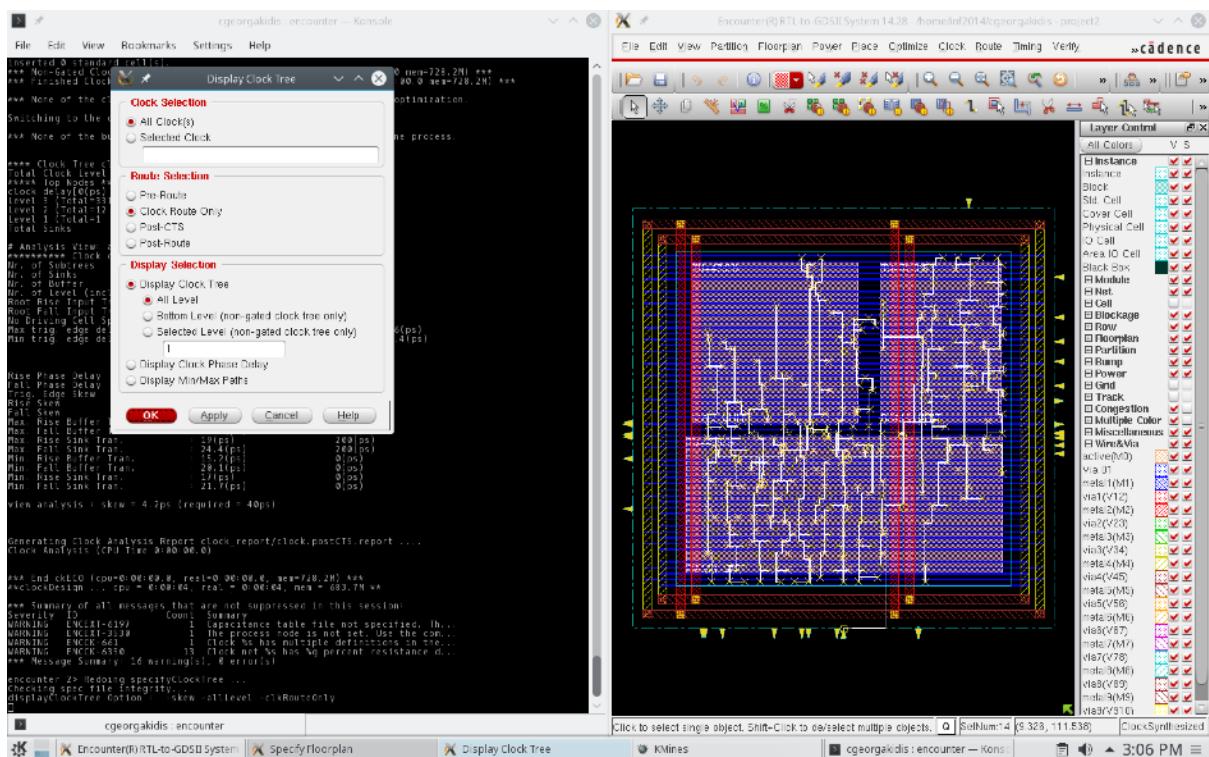
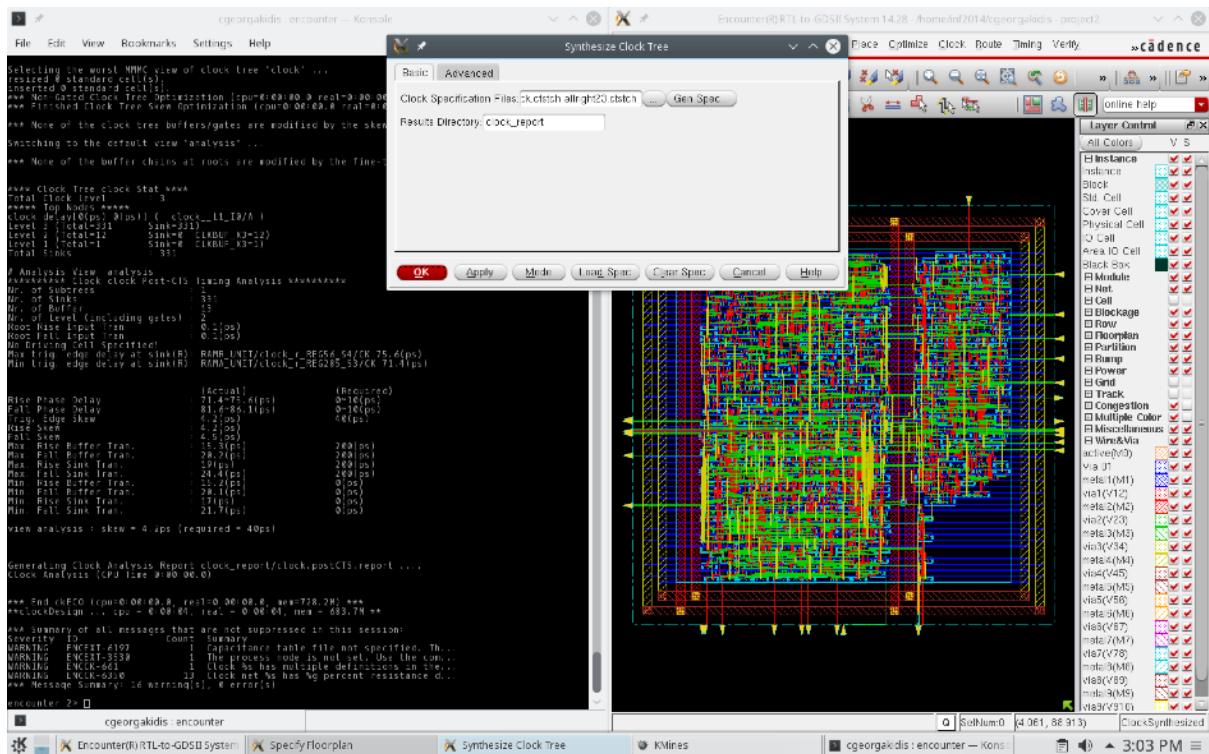


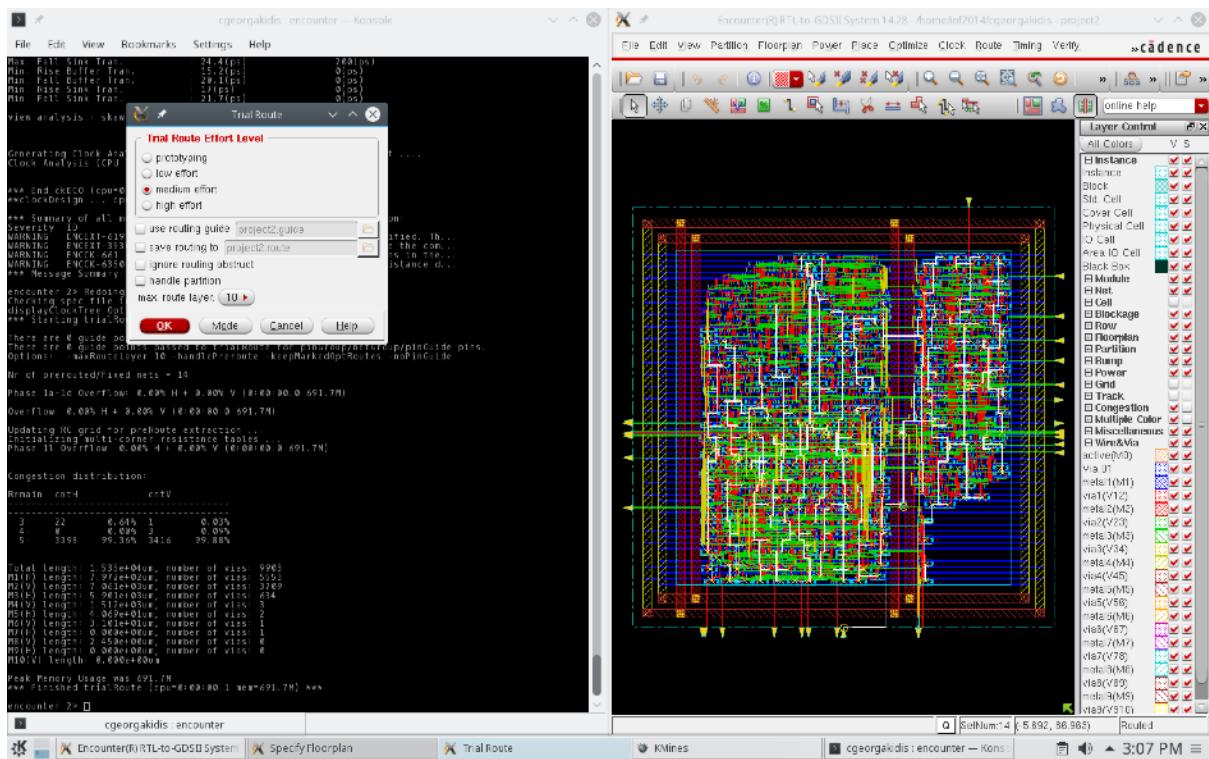
* Για το standard cell placement το αρχείο .sdc έχει ήδη προστεθεί οπότε απλά μένει να τα τοποθετήσουμε όπως φαίνεται στο στιγμότυπο:



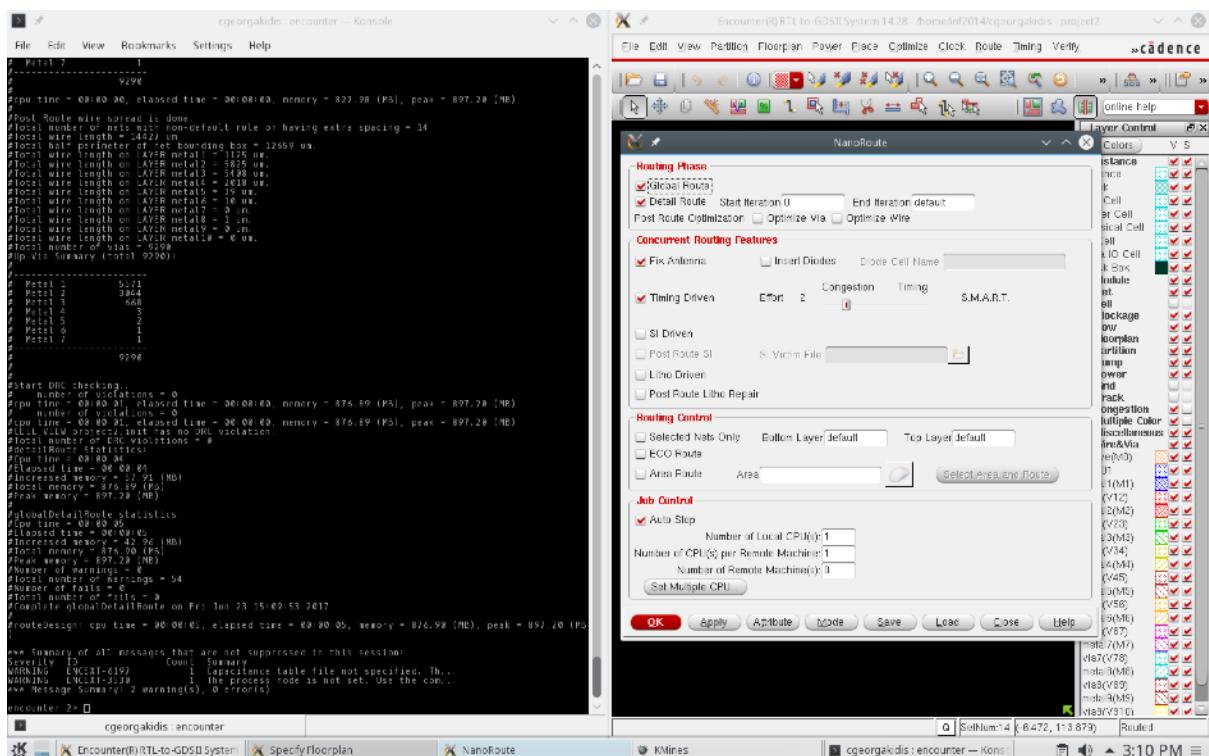
* Για το Clock-tree synthesis έπρεπε πρώτα να εκτελεστεί η εντολή:

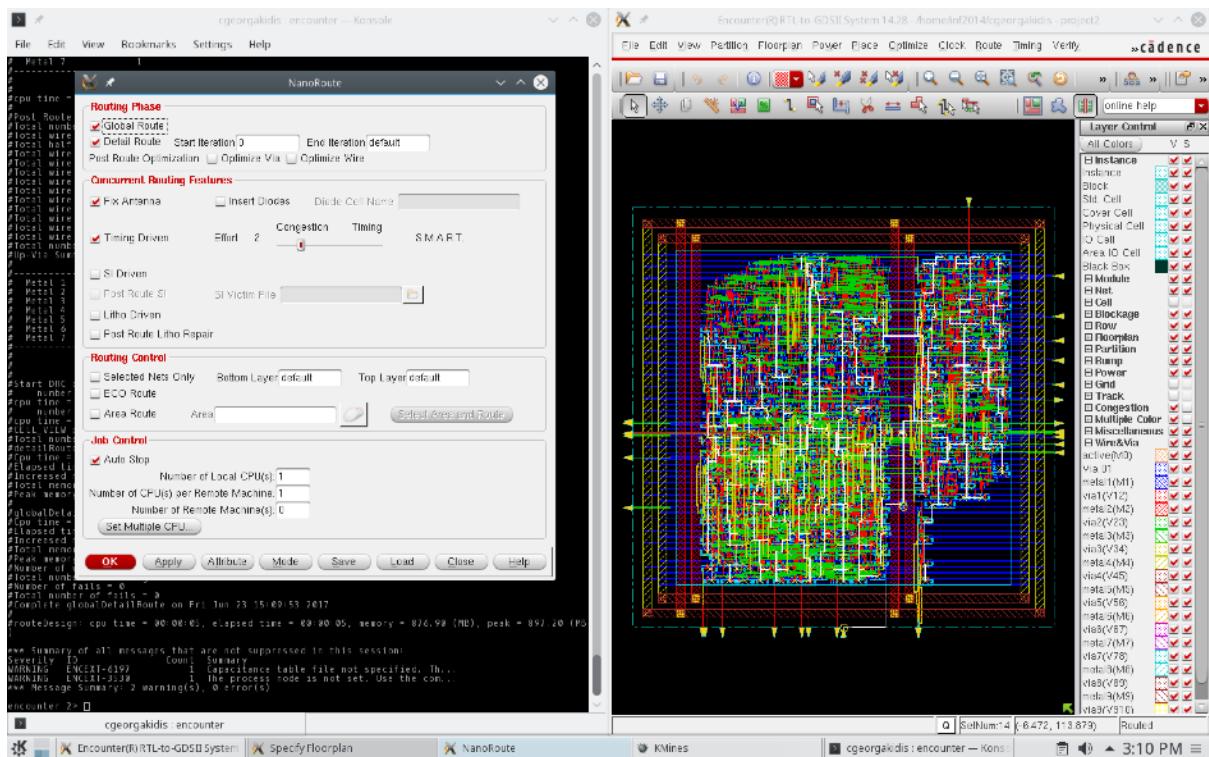
setCTSMode -engine ck
και να δημιουργηθεί το Clock-tree σύμφωνα με τα παρακάτω:



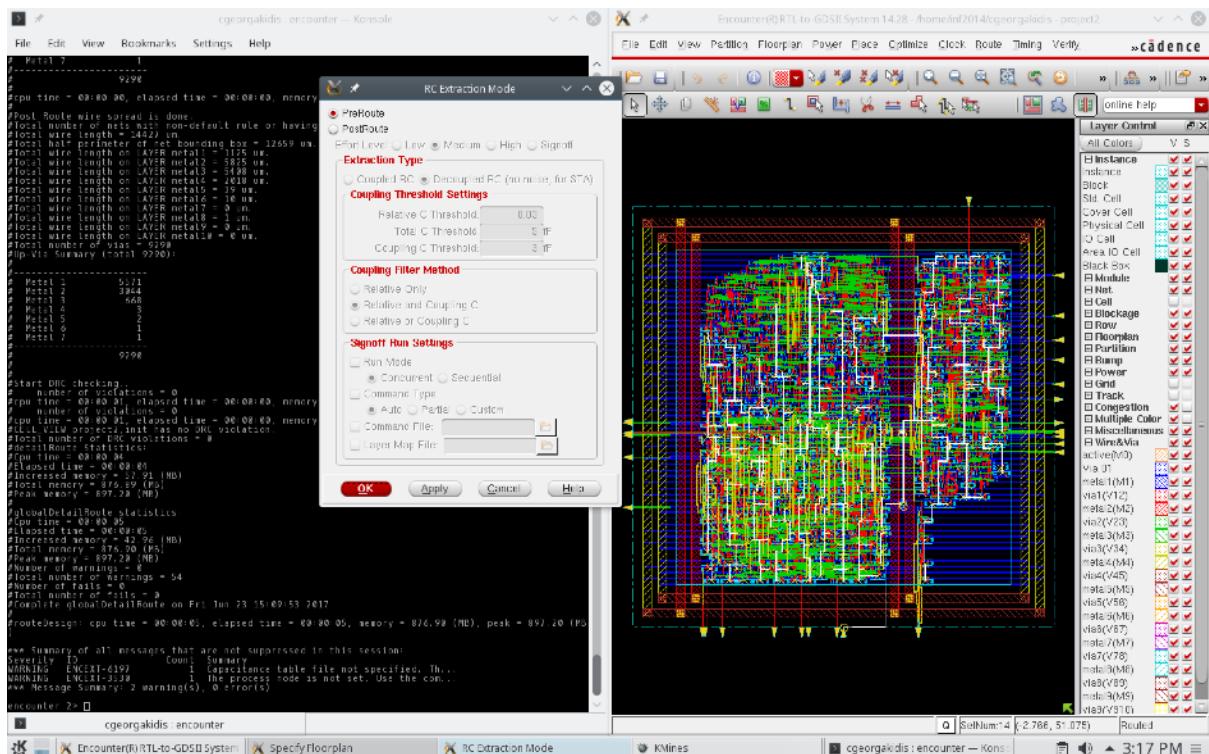


* Για το route χρησιμοποιήθηκε το Nanorouting με τις παρακάτω επιλογές:

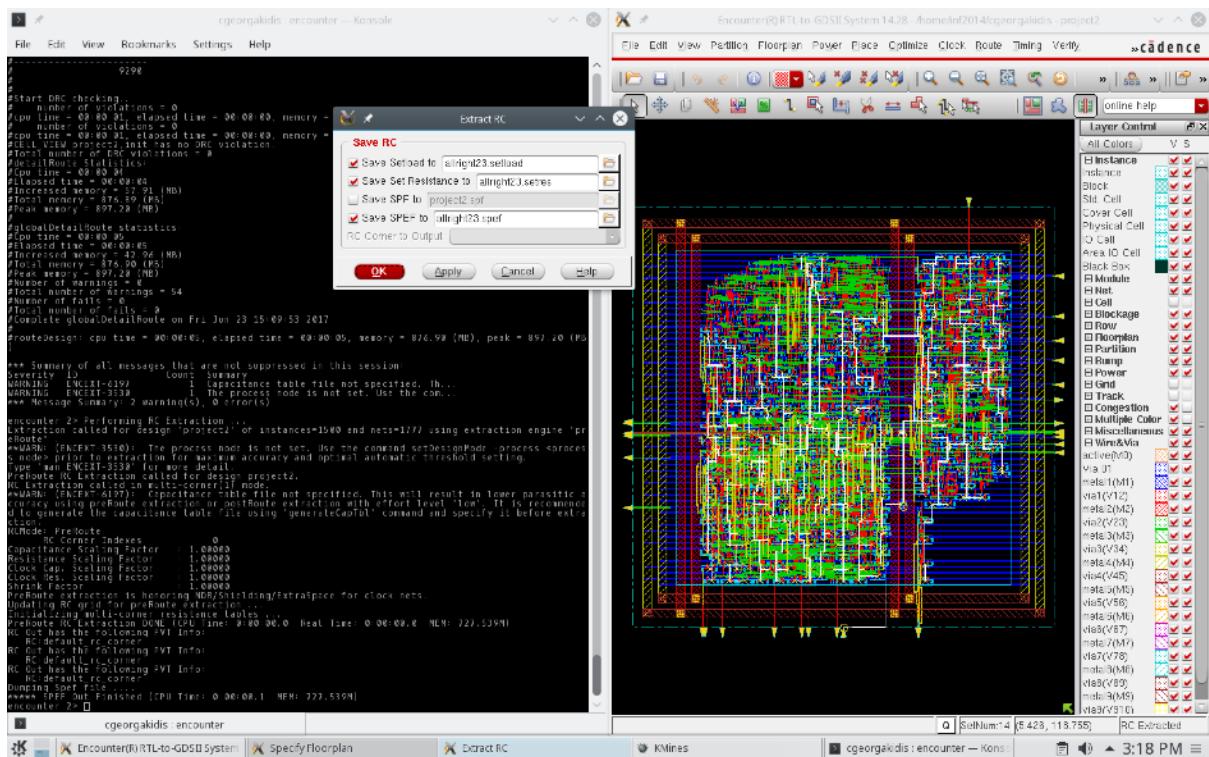




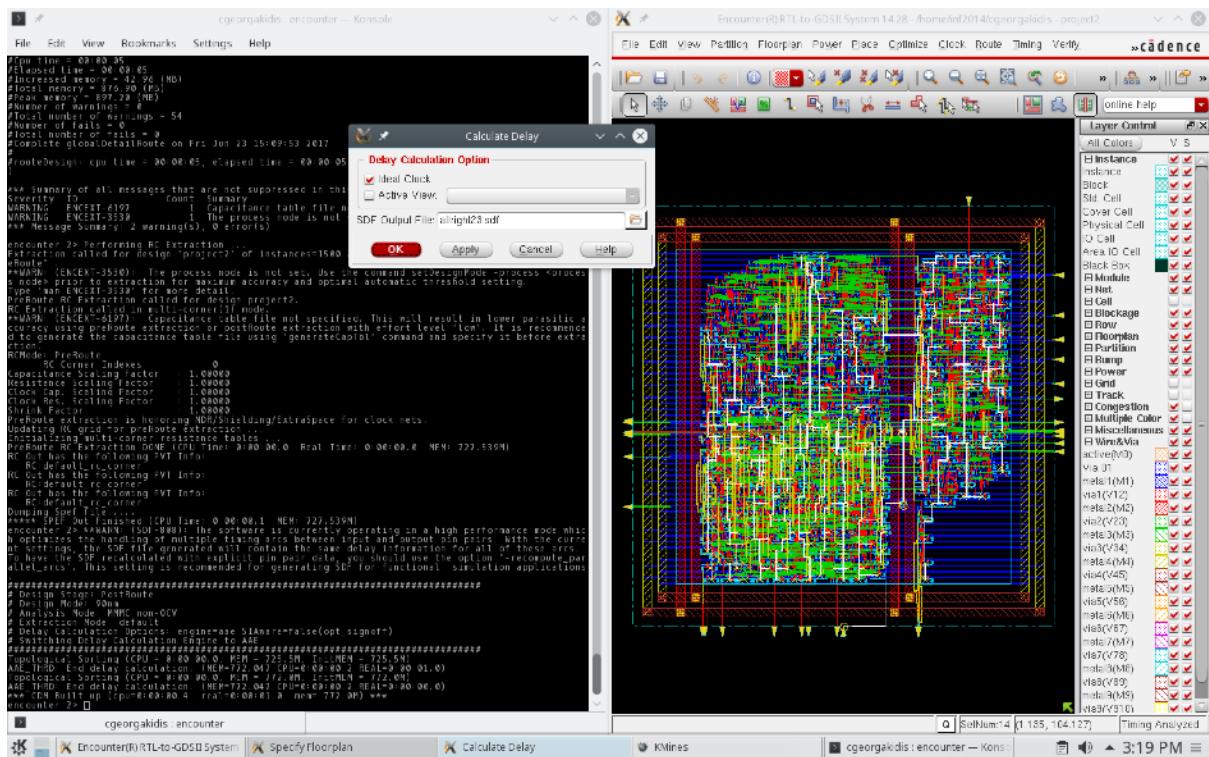
* Οι επιλογές για το RC extraction χρησιμοποιήθηκαν

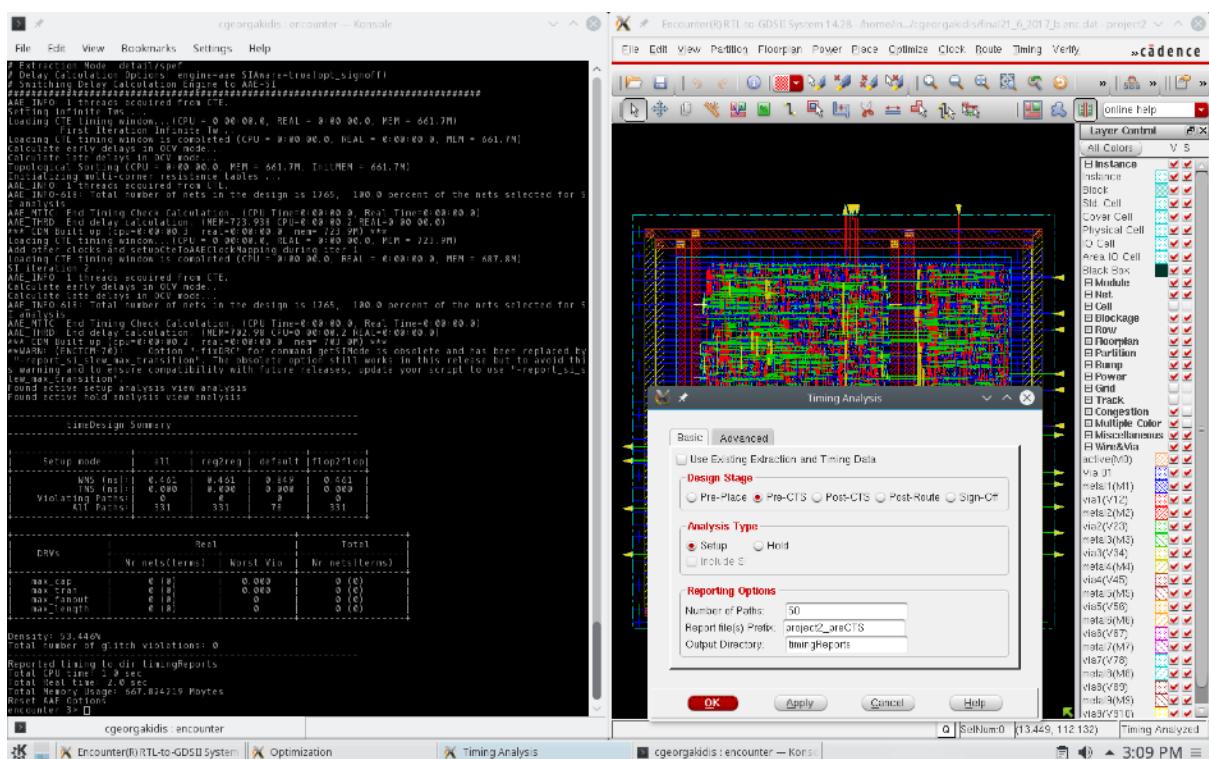
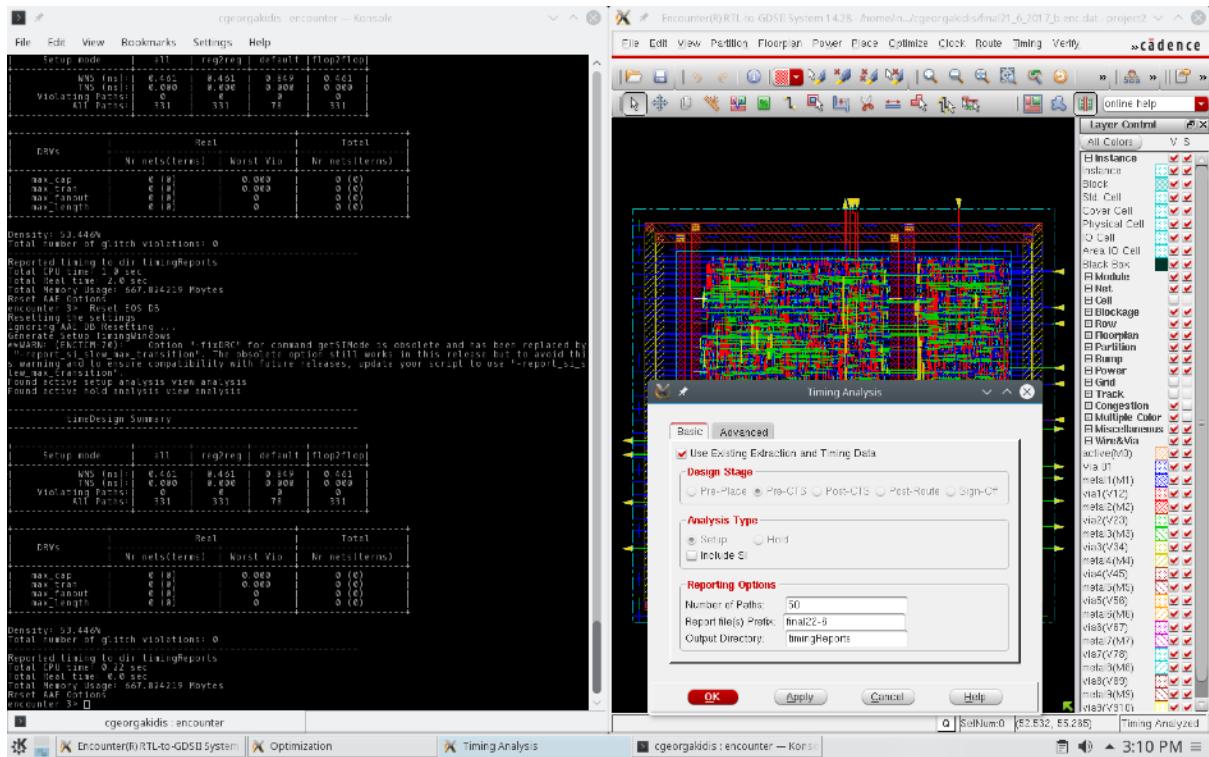


και μετά έγινε το extraction:

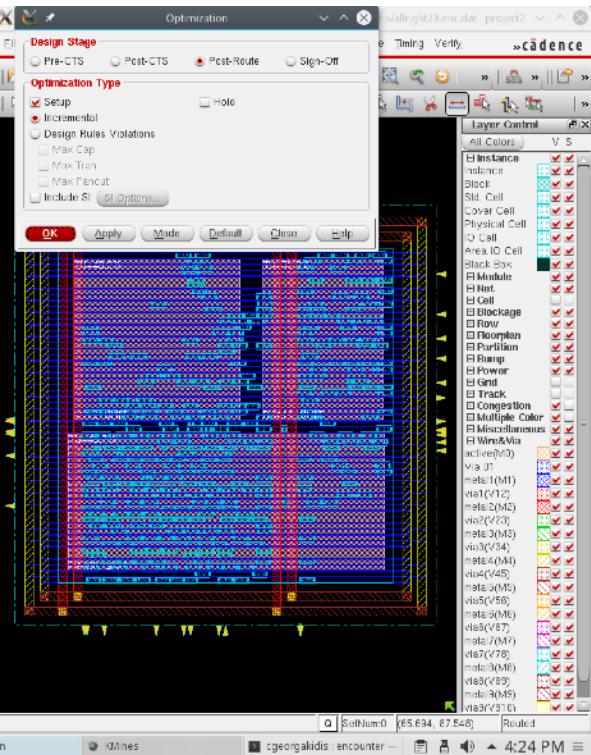


* Για την παραγωγή του .sdf και του post-routing Static Timing Analysis έγιναν τα παρακάτω:

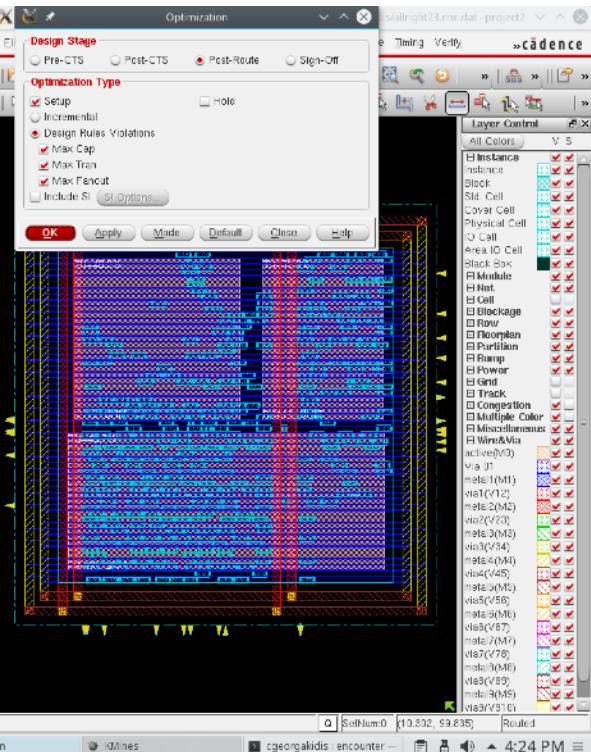




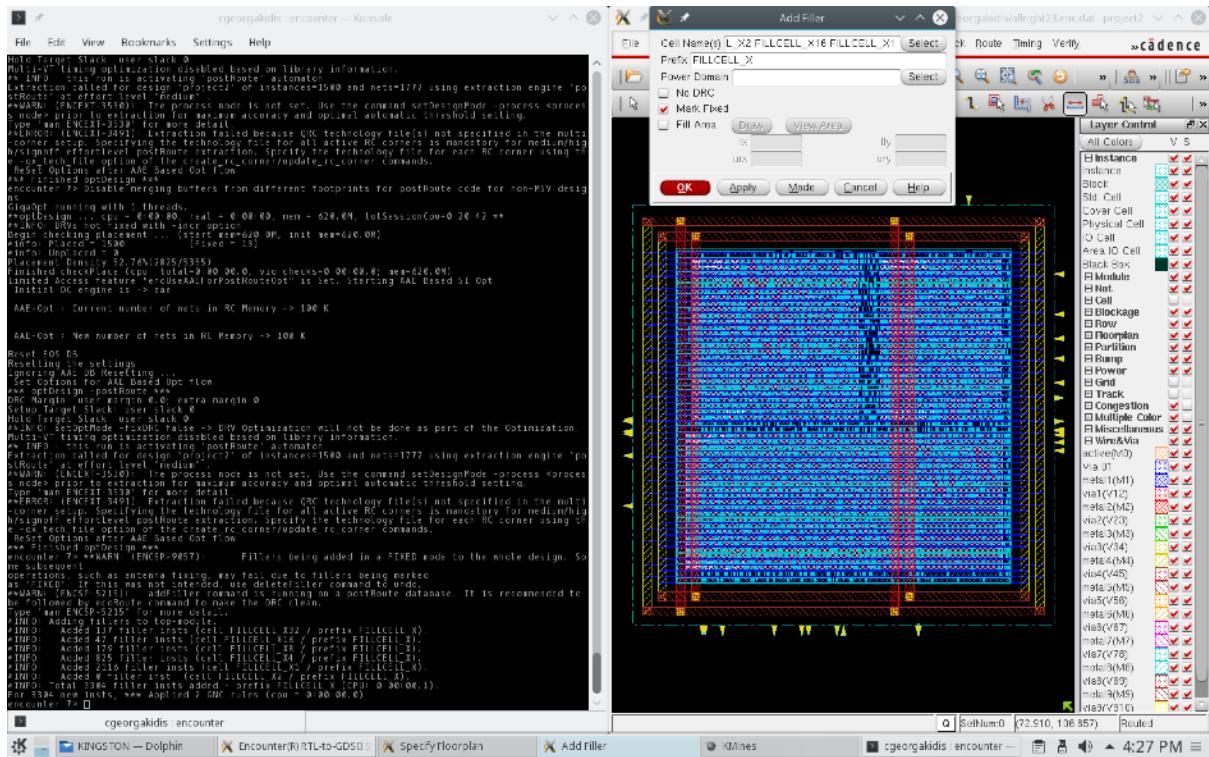
* To post-routing optimisation με την επιλογή incremental έγινε ως εξής:



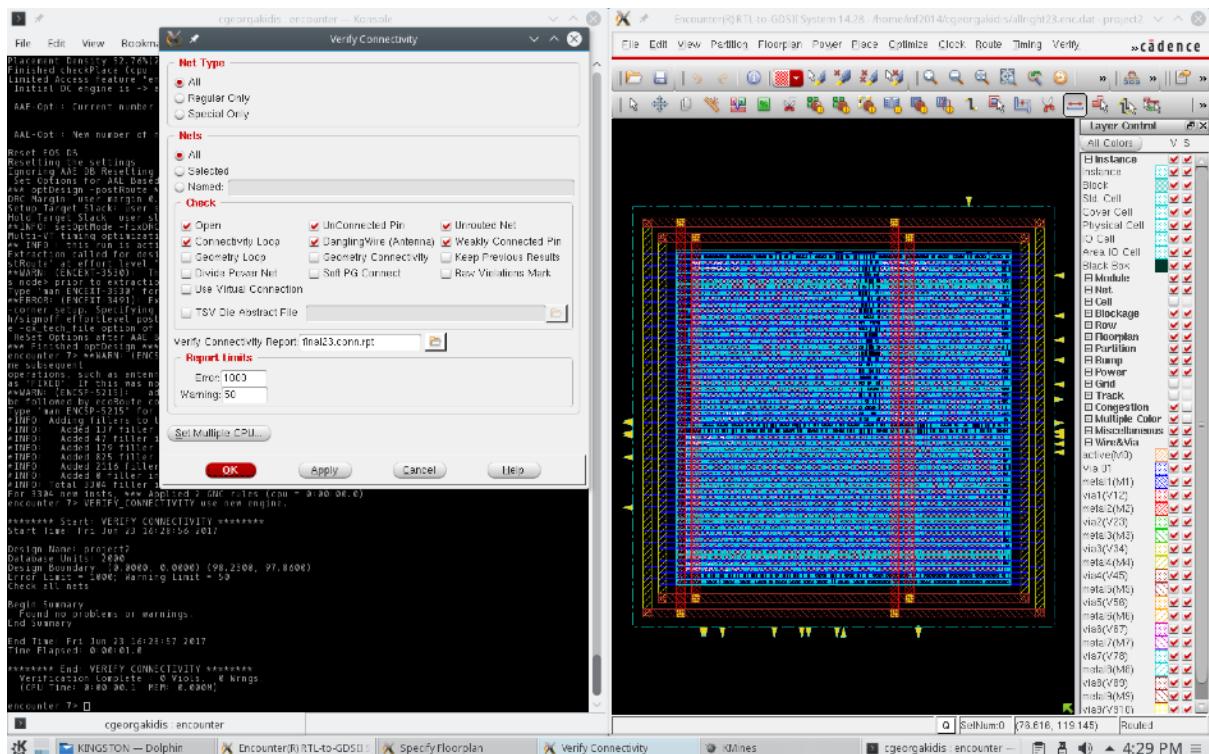
ενώ χωρίς έχουμε:

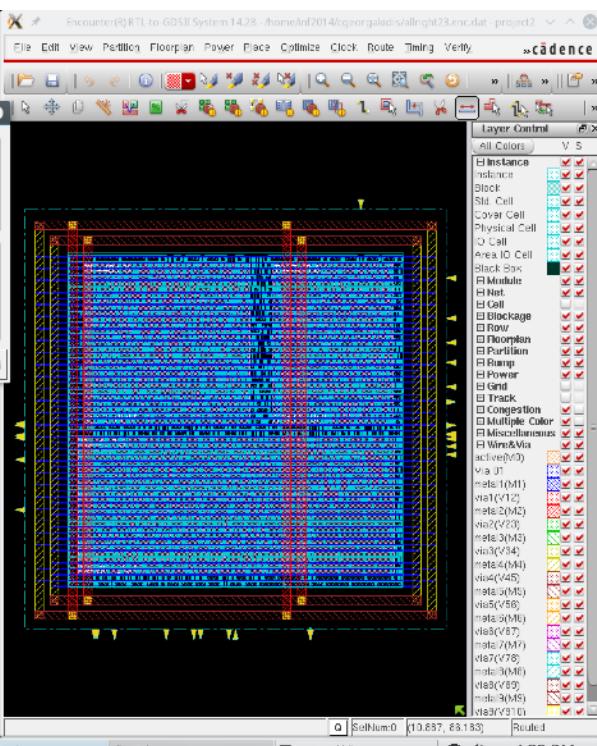
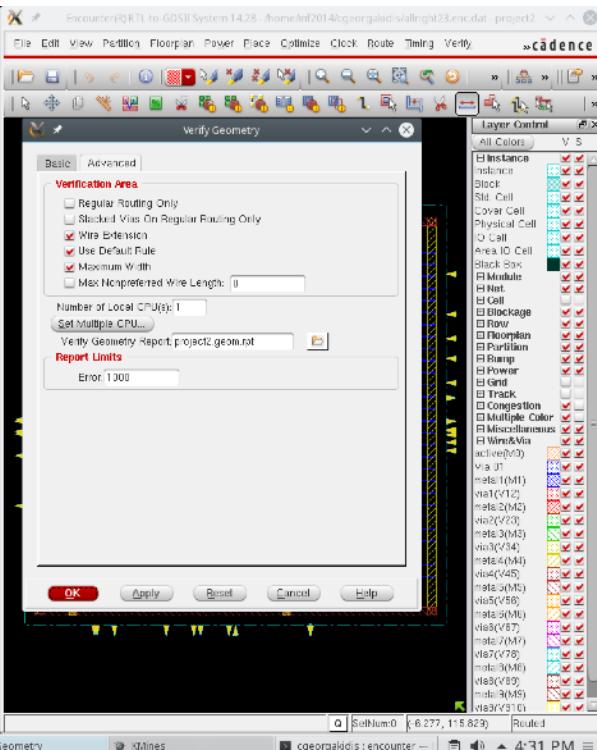


* Filler cells insertion και οι επιλογές του:

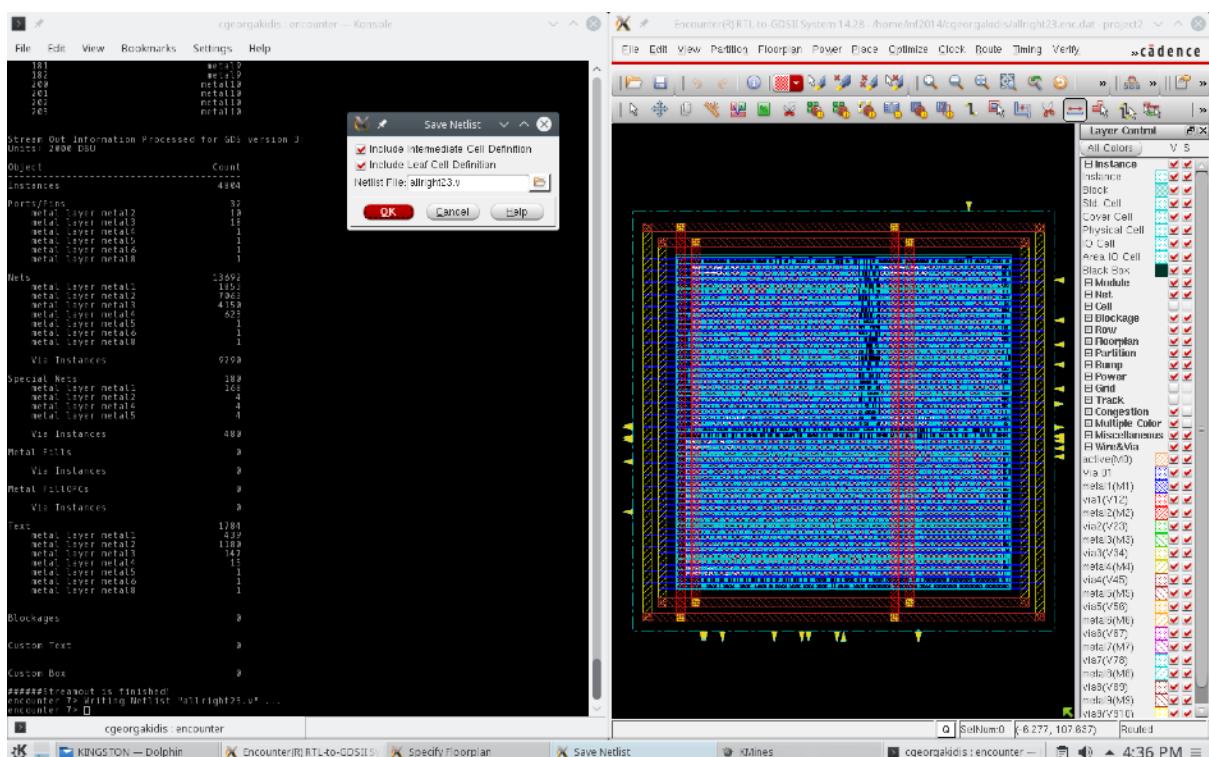
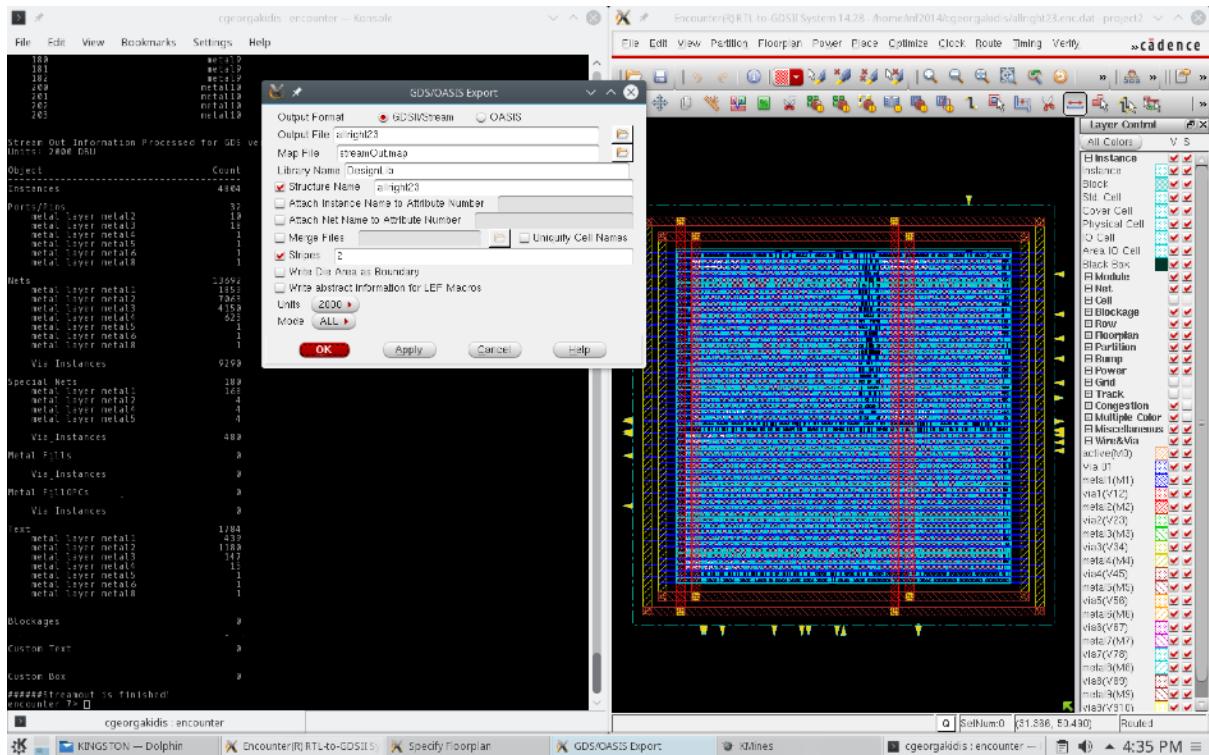


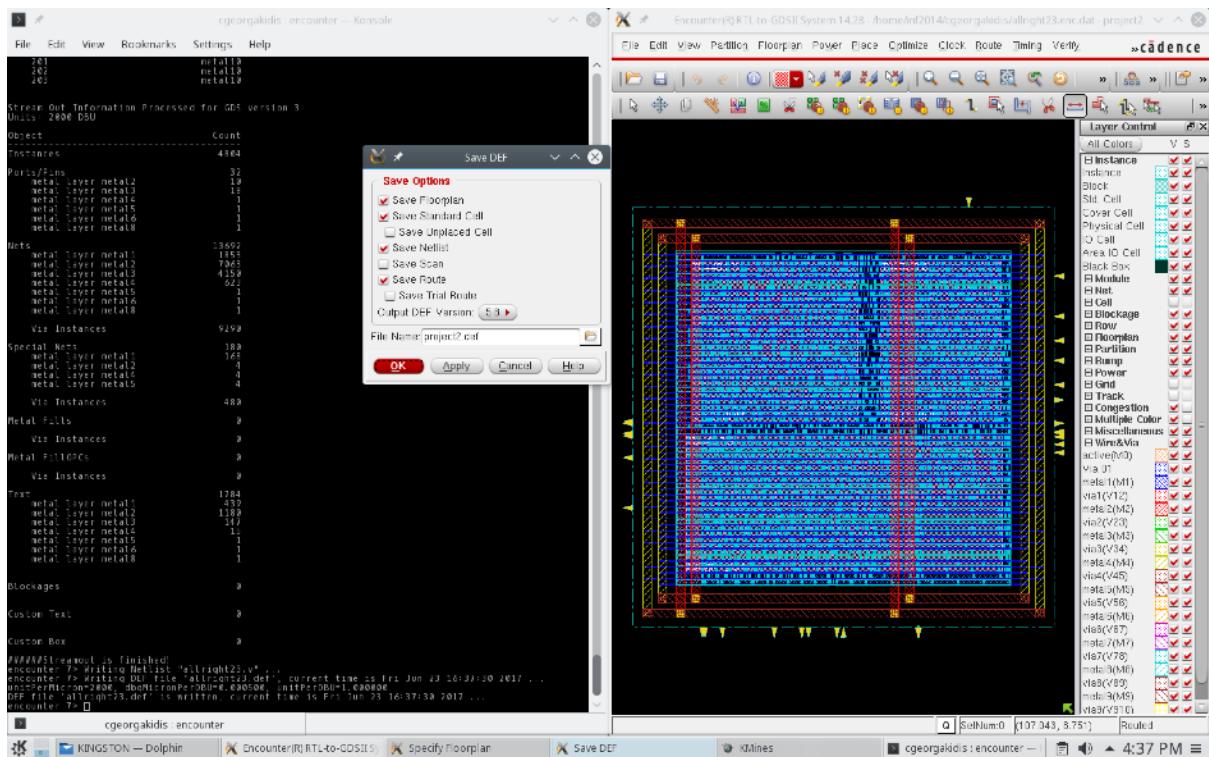
* Verify connectivity, verify geometry και check design:





* Εξαγωγή σε GDSII format, Verilog netlist και .def





ΤΕΛΟΣ