

# Automatisches bauen und parallelisieren von Microblaze Systemen

**Masterthesis**

Christian Hohenbrink

4. Januar 2017



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT



---

## **Erklärung gemäß § 22 Abs. 7 APB**

---

Hiermit erkläre ich gemäß § 22 Abs. 7 der Allgemeinen Prüfungsbestimmungen (APB) der Technischen Universität Darmstadt in der Fassung der 4. Novelle vom 18. Juli 2012, dass ich die Arbeit selbstständig verfasst und alle genutzten Quellen angegeben habe und bestätige die Übereinstimmung von schriftlicher und elektronischer Fassung.

Darmstadt, den 4. Januar 2017

Ort, Datum

Name

**Fachbereich Elektro- und Informationstechnik**

Institut für Datentechnik

Fachgebiet Rechnersysteme

Prüfer: Prof. Dr.-Ing. Christian Hochberger

Betreuer: M.Sc. Kris Heid

---

## Inhaltsverzeichnis

---

<b>1</b>	<b>Einleitung</b>	<b>3</b>
1.1	Einführung in die Thematik . . . . .	3
1.2	Ziele der Arbeit . . . . .	3
1.3	Gliederung der Arbeit . . . . .	4
<b>2</b>	<b>Grundlagen</b>	<b>5</b>
2.1	SpartanMC Entwicklungsumgebung . . . . .	5
2.1.1	JConfig . . . . .	5
2.1.2	SpartanMC Toolchain . . . . .	5
2.1.3	XML-Modulbeschreibung . . . . .	6
2.2	Xilinx Embedded Development Kit . . . . .	6
2.2.1	Microblaze . . . . .	6
2.2.2	XPS . . . . .	8
2.2.3	SDK . . . . .	8
2.2.4	FSL . . . . .	8
2.2.5	Speicherinitialisierung im Microblaze . . . . .	9
<b>3</b>	<b>Konzeption und Implementation</b>	<b>11</b>
3.1	Anforderungen . . . . .	11
3.2	Integration in JConfig . . . . .	11
3.2.1	Hardware . . . . .	11
3.2.2	Hardwarebeschreibung . . . . .	12
3.2.3	Modulbeschreibungen . . . . .	16
3.2.4	Busbeschreibungen . . . . .	18
3.3	Integration in die SpartanMC Toolchain . . . . .	18
3.3.1	Ausgangslage . . . . .	18
3.3.2	Zusätzlich benötigte Informationen . . . . .	18
3.3.3	Weitere Änderungen an JConfig . . . . .	18
3.3.4	Änderungen an der Toolchain . . . . .	18
<b>4</b>	<b>Benutzungshinweise</b>	<b>19</b>
<b>5</b>	<b>Evaluation</b>	<b>20</b>
<b>6</b>	<b>Ausblick</b>	<b>21</b>
<b>7</b>	<b>Zusammenfassung</b>	<b>22</b>

---

## 1 Einleitung

---

### 1.1 Einführung in die Thematik

---

Am Fachgebiet Rechnersysteme der TU Darmstadt und der Professur für eingebettete Systeme der TU Dresden wurde der CPU-Core SpartanMC entwickelt, welcher mit einer Daten- und Instruktionsbreite von 18 Bit ideal für die Verwendung in FPGAs geeignet ist. Ebenso wurde eine Toolchain entwickelt, die es dem Nutzer ermöglicht, über die grafische Oberfläche JConfig Systeme zu beschreiben und im Anschluss über Make-Regeln weitere Schritte wie Synthese und Simulation durchzuführen. [The]

Der SpartanMC wird am Fachgebiet Rechnersysteme zur Forschung an Manycore SoC verwendet. Eine dieser Forschungsarbeiten stellt das Programm  $\mu$ Streams da, welches auf Basis des Source-to-Source Compilers Cetus [CET] entwickelt wurde, um die Leistungsfähigkeit von Manycore Systemen zu steigern. Hierzu kann der Programmierer den Sourcecode mit Annotationen versehen, die den Code in verschiedenen Aufgabenblöcke unterteilt. Dabei ergibt sich eine Pipeline-Struktur, in der die Ergebnisse einzelner Berechnungen über Core-Konnektoren weitergegeben werden.  $\mu$ Streams kann sowohl eine Hardwarebeschreibung für ein Manycore System generieren, als auch Software für die einzelnen Cores, welche mit der SpartanMC Toolchain konform sind. [Web15]

---

### 1.2 Ziele der Arbeit

---

Um zu zeigen, dass diese Art der Performancesteigerung nicht nur auf den SpartanMC begrenzt ist, ist das primäre Ziel dieser Arbeit, den Xilinx Microblaze in die bestehende SpartanMC Toolchain zu integrieren.

Hierzu soll die Konfiguration des Microblaze über den SpartanMC Systembuilder JConfig ermöglicht werden. Ebenso ist es erforderlich, für einfache I/O-Anwendungen einen UART IP-Core für den Microblaze zu integrieren. Als Pendant zu den Core-Konnektoren soll es ebenfalls möglich sein, FSL-Blöcke von Xilinx dem System hinzuzufügen, um die Kommunikation zwischen den einzelnen Prozessoren zu ermöglichen.

Sollte es für die Integration notwendig sein, ist die Toolchain ebenfalls anzupassen, um die Generierung von lauffähigen Microblaze Systemen zu ermöglichen. Hierbei ist darauf zu achten, dass die Funktionalität sowohl für Systeme, die nur aus SpartanMC oder Microblaze bestehen, als auch für Systeme, die beide Prozessoren beinhalten, nicht negativ beeinflusst wird.

Optional wäre es wünschenswert, die erfolgreiche Parallellisierung eines Microblaze Programms durch  $\mu$ Streams zu zeigen. Hierzu wäre es notwendig,  $\mu$ Streams soweit anzupassen, dass eine entsprechende Hardwarekonfiguration mit den neu integrierten Komponenten erstellt werden kann und die Aufrufe der Core-Konnektoren durch Aufrufe der FSL-Blöcke ersetzt werden.

---

### 1.3 Gliederung der Arbeit

---

Im folgenden Kapitel werden die Grundlagen für diese Arbeit beschrieben. Diese umfasst neben der Beschreibung der verwendeten Software-Tools, die Erläuterungen zum Aufbau der SpartanMC Toolchain, sowie Erklärungen zu verwendeten Dateiformaten und Busbeschreibungen. Anschließend wird ein Konzept und die Realisierung mit allen notwendigen Schritten für die Integration des Microblaze in die SpartanMC Toolchain erarbeitet. In einem weiteren Abschnitt wird auf alle notwendigen Schritte eingegangen, um ein lauffähiges System zu generieren. Darauf folgend wird eine Evaluation zum Grad der erreichten Integration durchgeführt. Abschließend folgt ein kurzer Ausblick auf mögliche Fortsetzungen der Arbeit, sowie eine kurze Zusammenfassung.

---

## 2 Grundlagen

---

### 2.1 SpartanMC Entwicklungsumgebung

---

#### 2.1.1 JConfig

---

JConfig ist der in Java programmierte Systembuilder der SpartanMC Entwicklungsumgebung. Mit ihm ist es möglich auf abstrakter Ebene ein System-on-Chip (SoC) zu beschreiben, welches für die Verwendung auf FPGAs bestimmt ist.

Bei der Erstellung einer neuen Konfiguration wird zunächst die Zielhardware festgelegt. JConfig generiert aus dieser Angabe automatisch alle erforderlichen Optionen, die später von der ISE Toolchain benötigt werden, um ein Bitfile zu generieren. Desweiteren können sämtliche Inputs und Outputs des SoC verwaltet werden (Einstellungen wie Spannungsniveau und Invertierung können vorgenommen werden). Um ein SoC zu erstellen können Hardwarekomponenten aus einer erweiterbaren Library ausgewählt werden. Um einen IP-Core der Library hinzuzufügen, müssen zunächst Hardware Description Language (HDL) Dateien und eine Beschreibung des Cores in einem bestimmten Extensible Markup Language (XML) Format hinterlegt werden (siehe 2.1.3).

Für jede Hardwarekomponente lassen sich sowohl Verbindungen zu anderen Komponenten, als auch Parameter definieren. Speicherbausteine haben mit der Angabe eines Pfades zur verwendeten Firmware noch eine weitere Konfigurationsmöglichkeit.

Ist die Systembeschreibung abgeschlossen, können alle, von der SpartanMC Toolchain benötigten Dateien, generiert werden. Dies umfasst eine Top-Level-Verilog-Beschreibung der Konfiguration, in der sämtliche IP-Cores instanziiert, parametrisiert und mit einander verbunden werden. Desweiteren werden Linkerskripte für die einzelnen Speicher angelegt und C-Headerdateien, die Informationen über Modulparameter und Peripherien beinhalten und beim Schreiben der Firmware genutzt werden können. Ebenfalls erstellt werden Makefiles, welche Konstanten definieren, die im weiteren Verlauf von der Maketoolchain verwendet werden. Es werden außerdem noch ein User Constraints File (UCF) und Dateien erstellt, welche für die Simulation des SoC relevant sind.

---

#### 2.1.2 SpartanMC Toolchain

---

Die SpartanMC Toolchain ist eine, auf Makefiles basierende Toolchain, welche es dem Nutzer erlaubt, neue Projekte zu erstellen, diese zu verwalten und den Workflow zu steuern. Durch die Makefiles ist es beispielsweise möglich, JConfig aufzurufen, ein Bitfile zu erstellen, welches auf ein FPGA aufgespielt werden kann oder die Simulation zu starten. Alle relevanten Dateien, die zur Ausführung der Regeln in den Makefiles benötigt werden, können von JConfig erzeugt werden (siehe vorheriger Abschnitt). Eine Ausnahme bildet die Firmware, welche der Nutzer selber Schreiben muss (die Ordnerstruktur kann allerdings ebenfalls durch eine Make-Regel erzeugt werden).

Um ein Bitfile zu erstellen, verwendet die Toolchain die entsprechenden Tools aus der Xilinx ISE

---

Design Suite. Die benötigten Steuerdaten und Kommandozeilenoptionen, werden von JConfig erzeugt und in den Dateien *project.mk*, *spartanmc.xst* und *spartanmc.prj* gespeichert.

---

### 2.1.3 XML-Modulbeschreibung

---

Um einen neuen IP-Core in JConfig nutzbar zu machen, ist es nötig eine XML-Modulbeschreibung zu erstellen. Hierzu sind in der SpartanMC Entwicklungsumgebung, unter dem Verzeichnis *lib-devxml*, XML Schema Definition (XSD) Dateien abgelegt, welche die Syntax für die verwendeten XML-Dateien vorgibt.

Eine XML-Modulbeschreibung ist folgendermaßen gegliedert:

- **Header:** Im Header werden generelle Informationen angegeben, wie Kategorie und Name der Hardware.
- **HDL:** In diesem Abschnitt wird angegeben, welche HDL-Dateien eingebunden werden sollen. Bei den Pfadangaben wird davon ausgegangen, dass sich die Dateien in einem Verzeichnis namens *src* befinden, welches sich wiederum in dem Verzeichnis befindet, in dem die XML-Datei ist.
- **Parameters:** Darauf folgen können mehrere Parameter-Abschnitte. Jeder einzelne Abschnitt wird in JConfig als eigene Gruppe in der Parametersektion dargestellt. Für Parameter lassen sich diverse Einstellungen treffen. So können Parameter beispielsweise über eine Auswahl von Werten definiert oder der Wertebereiche begrenzt werden.
- **Ports:** Es können beliebig viele Ports-Abschnitte definiert werden. Dadurch wird die logische Zusammengehörigkeit der einzelnen Signale, die in einem jedem Abschnitt definiert sind, dargestellt. Einzelne Signale können mit einem Namen, Datenbreite und Richtung versehen werden.
- **Bus:** Busse ermöglichen es Signale zusammenzufassen und somit das User Interface (UI) etwas übersichtlicher zu gestalten und den Arbeitsaufwand, um einzelne Signale zu verbinden, zu reduzieren.

Außerdem gibt es noch einige besondere Konstrukte, welche nur für Module einer bestimmten Kategorie zur Verfügung stehen. Darunter fällt beispielsweise das *addressLayout*, welches nur für Prozessoren relevant ist, um den Adressraum zu beschreiben oder *memory*, welches nur für Speicherblöcke relevant ist.

---

## 2.2 Xilinx Embedded Development Kit

---

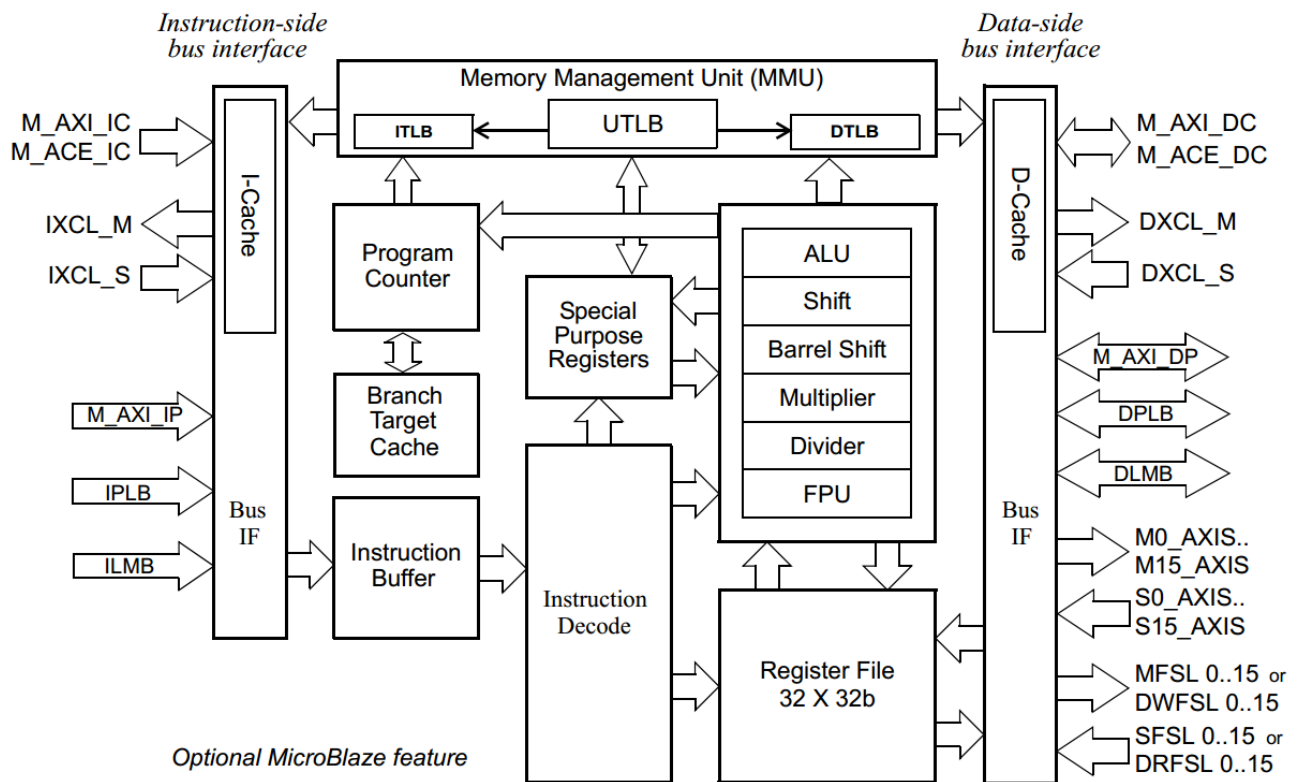
---

### 2.2.1 Microblaze

---

Der Microblaze von Xilinx ist ein 32-Bit Softcore Prozessor mit einer Reduced Instruction Set Computer (RISC) Architektur und ist für die Verwendung mit Xilinx FPGAs optimiert. Abbildung 2.1 zeigt das Blockschaltbild des Prozessors.

Der Microblaze verfügt über 32 32-Bit general purpose Register, 32-Bit Instruktionen mit drei Operanden und zwei Adress-Modi, einen 32-Bit Addressbus sowie einer Single-Issue-Pipeline.



**Abbildung 2.1:** Blockschaltbild des Microblaze [MBR]

Neben diesen festen Eigenschaften ist der Microblaze über Parameter flexible konfigurierbar. So ist es beispielsweise möglich, über den Parameter `C_AREA_OPTIMIZED` die Anzahl der Pipelinestufen auf drei oder fünf festzulegen. Weitere Features des Microblaze sind in folgender Liste dargestellt:

- **Hardwarebeschleuniger:** Dem Microblaze steht dedizierte Hardware für verschieden Aufgaben zur Verfügung, die bei Bedarf per Parameter hinzugefügt werden. Dazu zählen ein Integer Dividierer, ein Integer Multiplizier, eine Floating Point Unit (FPU) und ein Barrel Shifter. In der Instruction Set Architecture (ISA) sind für die Hardwarebeschleuniger eigene Instruktionen vorgesehen (bsp. `fmul` für eine Gleitkomma Multiplikation).
- **MMU:** Der Microblaze verfügt über eine konfigurierbare Memory Management Unit (MMU). Dabei stehen drei verschiedene Modi zur Verfügung: Usermode, Protection und Virtual. Außerdem verfügt die MMU über je einen Translation Lookaside Buffer (TLB) für Instruktionen und für Daten.
- **Caches:** Werden externe Speicher verwendet, kann der Microblaze auf Caches sowohl für Instruktionen, als auch für Daten zurückgreifen. Hierbei lassen sich Einstellungen wie Größe des Caches, Länge einer Cacheline und Datenbreite festlegen.
- **Speicher- und I/O-Zugriff:** Der Microblaze hat für Speicher- und I/O-Zugriffe verschiedene Möglichkeiten. Einerseits existiert der Local Memory Bus (LMB), ein Bus mit geringer Latenz, welcher für Zugriffe auf On-Chip Speicherblöcke gedacht ist. Das Advanced eXtenSible Interface (AXI4) und der Processor Local Bus (PLB) sind sowohl für Speicher- als auch



---

für I/O-Zugriffe nutzbar. Das Xilinx CacheLink (XCL) Interface ist als hochperformante Lösung für Zugriffe auf externe Speicher gedacht. Voraussetzung für die Nutzung ist, dass der Memory Controller, an den das XCL Interface angeschlossen ist, FSL-Buffer implementiert.

- **Debugging:** Der Microblaze verfügt ebenfalls über die Möglichkeit zum Hardware Debugging, es wird allerdings ein zusätzliches externes Debugging-Modul benötigt.
- **Streaming Interfaces:** Um Daten mit geringem Overhead zu übertragen, verfügt der Microblaze über die Streaming Interfaces AXI4-Stream und FSL. Für FSL muss ein Buffer zur Verfügung stehen, um versendete Daten zu puffern.
- **Exceptions:** Der Microblaze kann so konfiguriert werden, dass bei bestimmten Ereignissen (bsp. Math Exceptions, Bus Exceptions, ...) Hardware Exceptions ausgelöst werden.

Für weitere Informationen kann das Handbuch des Microblaze zu Rate gezogen werden ([MBR] Kapitel 2 - Microblaze Architecture).

---

### 2.2.2 XPS

---

Das Xilinx Platform Studio (XPS) ist der Systembuilder von Xilinx. Mit ihm lassen sich per grafischer Oberfläche SoC erstellen. Über einen Wizard kann zu Beginn ein Basis-System erstellt werden, welches sich danach einfach erweitern lässt. Aus einem Katalog von IP-Cores kann zusätzliche Hardware ausgewählt werden, welche dann über einen Wizard konfiguriert werden kann. Desweiteren bietet XPS einfache Möglichkeiten Komponenten untereinander zu verbinden, Adressen von I/O und Speicherblöcken anzupassen und Eingangs- und Ausgangssignale zu verwalten. Außerdem ist es möglich von der Nutzeroberfläche eine Netzliste zu generieren oder das Hardwaredesign (inklusive Bitfile) zum Software Development Kit (SDK) zu exportieren, um Firmware für das SoC zu schreiben. [MBT]

---

### 2.2.3 SDK

---

Mit dem SDK ist es möglich, Software für den Microblaze zu erstellen. Basierend auf der exportierten Hardware kann das SDK ein Board Support Package (BSP) erstellen, welches alle relevanten Treiber einbindet. Desweiteren lassen sich über Templates schnell einfache Beispielprogramme erstellen. Dem Softwareprojekt ist eine Makefile Struktur hinterlegt, die bei Änderungen an dem Source Code relevante Teile neu kompiliert. Außerdem ist es möglich, das FPGA mit dem aktualisierten Bitfile zu programmieren und auch zu debuggen. [MBT]

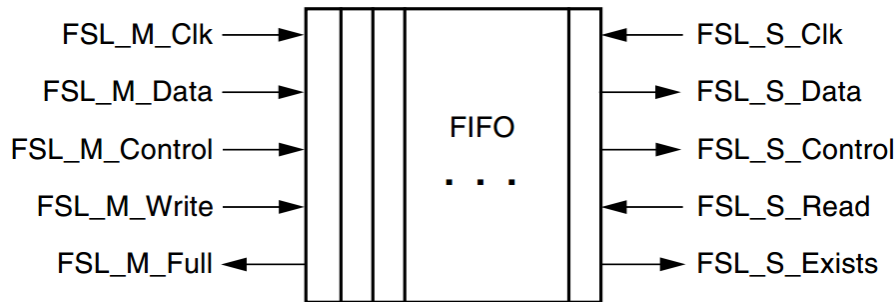
---

### 2.2.4 FSL

---

FSL ist eine unidirektionale Punkt-zu-Punkt Verbindung die eine einfache und schnelle Datenübertragung zwischen Hardware ermöglicht, die das FSL-Interface implementiert. Xilinx bietet als Implementierung eines FSL-Buses den *FSL V20 Bus* IP-Core an [FSL]. Diese Hardware bietet eine auf First-In-First-Out (FIFO) Speichern basierte Kommunikation. Abbildung 2.2 zeigt das Blockschaltbild der FSL-Bus Komponente.

Der Bus kann entweder synchron oder asynchron betrieben werden. Für den asynchronen Be-



**Abbildung 2.2:** Blockschaltbild des Xilinx FSL IP-Cores [FSL]

trieb stellen Master und Slave eigene Taktsignale zur Verfügung (*FSL\_M\_Clk* und *FSL\_S\_Clk*), für den synchronen Betrieb wird ein globales Signal verwendet, welches nicht im Blockschaltbild dargestellt ist.

Um Daten in den FIFO-Speicher zu schreiben, muss der Master das *FSL\_M\_Write*-Signal anlegen. Dies ist allerdings nur dann möglich, wenn das *FSL\_M\_Full*-Signal anzeigt, dass der Speicher nicht voll ist. Neben einfachen Nutzdaten kann außerdem ein Steuerbit mit übertragen werden, welches beispielsweise dazu genutzt werden kann, um zwischen Steuer- und Nutzdaten zu unterscheiden. Der Slave wiederum kann Daten aus dem Speicher lesen, insofern das *FSL\_S\_Exists*-Signal gesetzt ist.

Für den IP-Core können des weiteren noch Einstellungen über Implementationsart der FIFO-Speicher (Block Random Access Memory (RAM) oder Look Up Table (LUT) RAM), Tiefe des FIFO-Speichers oder Art des Taktmodus (synchron oder asynchron) getroffen werden. Für genauere Informationen zu Signalen, Parametern und Zugriff auf den Bus, kann das Datenblatt des IP-Cores zu Rate gezogen werden [FSL].

In der ISA des Microblaze sind mit *get*, *getd*, *put* und *putd* besondere Instruktionen vorhanden, die es ermöglichen, Daten direkt vom Registersatz über das FSL-Interface zu schreiben, bzw. Daten vom FSL-Interface direkt in den Registersatz einzulesen. Dies ermöglicht Übertragungen mit niedriger Latenz.

### 2.2.5 Speicherinitialisierung im Microblaze

Für die Speicherinitialisierung im Microblaze stellt Xilinx das Tool *data2mem* zur Verfügung. [DAT] *Data2mem* liest sowohl eine textuelle Beschreibung der Speicherarchitektur in Form von Block RAM Memory Map (BMM) Dateien ein, als auch ausführbaren Code in Form von Executable and Linkable Format (ELF) Dateien. Mit diesen Dateien als Input ist es möglich, Speicherinitialisierungen in Form von UCF, Verilog oder Very High Speed Integrated Circuit Hardware Description Language (VHDL) Dateien zu erzeugen, die während der Synthese (UCF Datei) oder Simulation (HDL Dateien) verwendet werden können. Desweiteren ist es möglich, Block RAMs in existierenden Bitfiles zu aktualisieren, ohne den kompletten Toolflow noch einmal durchlaufen zu müssen.

BMM Dateien haben eine eigene Syntax, die anhand des folgenden Ausschnitts einer BMM Datei erklärt wird.

---

```

ADDRESS_MAP microblaze_spmc_0 MICROBLAZE-LE 1
  ADDRESS_SPACE microblaze_spmc_0_bram_block_combined COMBINED [0x0:0
    x1fff]
    ADDRESS_RANGE RAMB16
    BUS_BLOCK
      microblaze_spmc_0_microblaze_mem_local_0/mem_core/
        MEM_BL[0].DPRAM [31:24];
      microblaze_spmc_0_microblaze_mem_local_0/mem_core/
        MEM_BL[1].DPRAM [23:16];
      microblaze_spmc_0_microblaze_mem_local_0/mem_core/
        MEM_BL[2].DPRAM [15:8];
      microblaze_spmc_0_microblaze_mem_local_0/mem_core/
        MEM_BL[3].DPRAM [7:0];
    END_BUS_BLOCK;
  END_ADDRESS_RANGE;
END_ADDRESS_SPACE;
END_ADDRESS_MAP;

```

*ADDRESS\_MAP* definiert die Speicherabbildung für einen bestimmten Prozessor mit dem Namen *microblaze\_spmc\_0* vom Prozessortyp MICROBLAZE-LE mit der Prozessor ID 1. Es können beliebig viele *ADDRESS\_MAP* Blöcke hinzugefügt werden.

*ADDRESS\_SPACE* definiert einen kontinuierlichen Speicherbereich des entsprechenden Prozessors. Innerhalb eines *ADDRESS\_SPACE* Abschnitts können mehrere *ADDRESS\_RANGE* Blöcke vorkommen. Jeder dieser Blöcke beschreibt einen Speicherbereich, mit einer Größe die einer Potenz von Zwei entspricht. So lassen sich auch asymmetrische Speicherstrukturen beschreiben. In einem *BUS\_BLOCK* Abschnitt wird beschrieben, wie viele Bitlanes der Speicher hat und welchem Block RAM welche Bitlane zugewiesen ist.

---

## 3 Konzeption und Implementation

---

### 3.1 Anforderungen

---

Ziel dieser Arbeit ist es, den Xilinx Microblaze in die bestehende SpartanMC Entwicklungsumgebung zu integrieren. Um den Prozessor in JConfig einbinden zu können, müssen zunächst sowohl eine Hardwarebeschreibung, als auch eine XML-Modulbeschreibung für den Microblaze erstellt werden. Dies ist ebenso erforderlich für den UART IP-Core und den FSL-Bus IP-Core. Bei der Erstellung der Hardware- und der XML-Modulbeschreibung, ist darauf zu achten, dass dem Nutzer es ermöglicht wird, die Parameter der neuen Komponenten konfigurieren zu können.

Es ist außerdem erforderlich, dass Anpassungen an der SpartanMC Toolchain vorgenommen werden. Dies ist notwendig, um die automatische Speicherinitialisierung für den Microblaze zu ermöglichen, da die bestehende Methode der Speicherinitialisierung für den SpartanMC nicht ohne Änderungen für den Microblaze anwendbar ist. Desweiteren muss der Compiler für den Microblaze in die Toolchain integriert werden, da einige der Hardwarebeschleuniger über spezielle Instruktionen angesprochen werden. Eine Vielzahl von IP-Cores von Xilinx sind in VHDL verfasst. Da in der SpartanMC Entwicklungsumgebung IP-Cores bislang ausschließlich in Verilog verfasst wurden, ist es gegebenenfalls notwendig, Anpassungen an der Toolchain vorzunehmen, um VHDL Designs zu unterstützen.

Optional wäre es wünschenswert, die erfolgreiche Parallelisierung eines Microblaze Programms durch  $\mu$ Streams zu zeigen. Hierzu wäre es notwendig,  $\mu$ Streams soweit anzupassen, dass eine entsprechende Hardwarekonfiguration mit den neu integrierten Komponenten erstellt werden kann und die Aufrufe der Core-Konnektoren durch Aufrufe der FSL-Blöcke ersetzt werden.

---

### 3.2 Integration in JConfig

---

#### 3.2.1 Hardware

---

Bevor über die Integration nachgedacht werden kann, muss zunächst festgelegt werden, welche Hardware verwendet wird. Über die Jahre hat Xilinx diverse Versionen des Microblaze veröffentlicht. Die Implementationen des Prozessors sind allesamt verschlüsselt und können nur mit entsprechendem Key entschlüsselt werden. Mit der Einführung von Vivado und der Einstellung der Entwicklung von ISE, änderte sich auch die Art der Verschlüsselung, sodass neuere Versionen des Microblaze nicht mehr von der alten Toolchain entschlüsselt werden können. Da die JConfig Toolchain allerdings Gebrauch von der ISE Toolchain macht, kommen für diese Arbeit nur der Microblaze v8.50c oder ältere Versionen in Frage.

Ausgehend vom ISE Installationsverzeichnis, ist das Verzeichnis für die IP-Cores an folgender Stelle zu finden: "14.7/ISE\_DS/EDK/hw/XilinxProcessorIPLib/pcores/". Dort sind alle Versionen des Microblaze, sowie alle Versionen der restlichen Hardware abgelegt. Für sämtliche verwendete IP-Cores werden die aktuellsten Versionen verwendet.

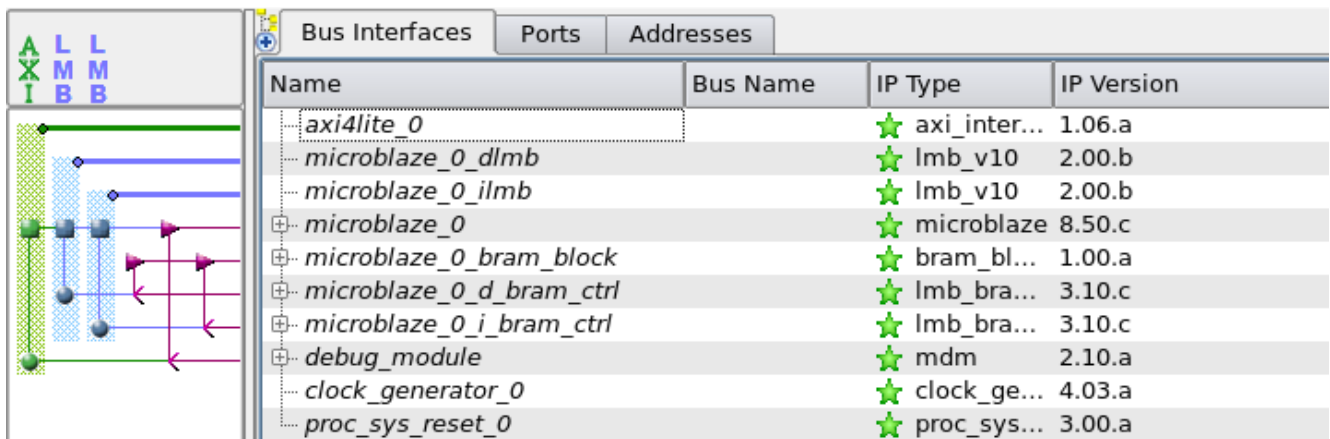
---

#### 3.2.2 Hardwarebeschreibung

---

## Erzeugung der Hardwarebeschreibung mit XPS

Um den Microblaze in JConfig integrieren zu können, ist es zunächst notwendig, eine Hardwarebeschreibung zu erstellen, die den Microblaze instanziiert und parametrisiert. Diese kann entweder manuell erstellt werden oder mit XPS. In XPS kann dazu mit dem Base-System-Builder ein einfaches System erzeugt werden. Ein Beispiel für ein System ohne Peripherie ist in Abbildung 3.1 zu sehen. Das System besteht aus einem Microblaze, zwei LMB, zwei Speichercontrollern



**Abbildung 3.1:** Einfaches mit XPS generiertes System ohne Peripherie

lern (je einen für Daten und einen für Instruktionen), einem Block RAM als Programm- und Datenspeicher, einem AXI4-Light-Bus zur Anbindung von Peripherie, einem Reset-Core, einem Taktgenerator und einem Debug Modul. Um die Komplexität des Systems und somit zusätzliche Fehlerquellen zu reduzieren, werden der AXI4-Light-Bus, der Taktgenerator und das Debug Modul zunächst entfernt. Der AXI4-Bus wird nicht benötigt, da es zunächst in der SpartanMC Entwicklungsumgebung mit dem UART IP-Core nur eine Peripherie geben wird und diese direkt mit dem Prozessor verbunden werden kann. Der Taktgenerator wird nicht benötigt, da JConfig bereits über eigene Taktgeneratoren verfügt und das Debug Modul wird nicht benötigt, um die grundsätzliche Lauffähigkeit eines Microblaze Systems zu gewährleisten, sondern nur um Softwareanwendungen zu debuggen.

Nun kann in XPS eine Netzliste erzeugt werden. Als Nebenprodukt werden Wrapperdateien erstellt, die die einzelnen Komponenten mit den, im XPS angegebenen Einstellungen instanziierten. Die erzeugten Dateien werden nach Möglichkeit in der präferierten Sprache erzeugt, allerdings funktioniert dies bei manchen Wrapper Dateien nicht und sie werden in VHDL generiert. Die Top-Level-Beschreibung, welche sämtliche Komponenten instanziiert und miteinander verbindet, kann allerdings auch in Verilog erzeugt werden. Desweiteren besitzt die Top-Level-Beschreibung lediglich die, im XPS als extern markierten Signale als Eingänge und Ausgänge. Die Wrapper Datei für das Block RAM stellt eine Besonderheit dar. Für das Block RAM wird nämlich, entsprechend der angegebenen Größe des Speichers, ein elaboriertes Modell erzeugt. Dieses Modell funktioniert nur für die angegebene Speichergröße und lässt sich ohne großen Aufwand auch nicht ändern. Als Lösung des Problems wird ein generisches Speichermodul in Verilog geschrieben, welches das Verhalten der elaborierten Blöcke nachahmt (siehe 3.2.2).

Um nun eine konfigurierbare Hardwarebeschreibung zu erhalten, ist es notwendig, den Wrapperdateien und der Top-Level-Beschreibung Parameter hinzuzufügen. So können bei der In-

---

stanziierung des Top-Level-Moduls Parameter übergeben werden, die dann wiederum bei der Instanziierung der einzelnen Komponenten des Systems an diese weitergegeben werden können. Ebenso ist es erforderlich, dass Signale die verwendet werden sollen, als Eingänge bzw. Ausgänge der Top-Level-Beschreibung hinzugefügt und über Signale mit der entsprechenden Komponente verbunden werden. Für den Microblaze sind dies zu Beginn, neben Takt- und Reset-Signalen, Signale für den Programm- und Datenspeicher, AXI4-Signale und Signale, die dem FSL-Interface zuzuschreiben sind.

Unter Berücksichtigung der XML-Modulbeschreibung, ist es notwendig, den Speicher als externes Modul zu handhaben, da die XML-Syntax für Prozessoren keine integrierten Speicher unterstützt. Hierzu werden die Speichercontroller und das Block RAM in einem weiteren Modul zusammengefasst (siehe 3.2.2), sodass das Modul für den Microblaze noch aus den Instanzen für den Microblaze selbst, den beiden LMB und dem Reset-Core besteht. Die LMB-Cores erlauben es mehr als einen Speicher an den Microblaze anzuschließen.

Welche Parameter für die Konfiguration des Microblaze wichtig sind, wird im nächsten Abschnitt behandelt.

---

## Handhabung der Parameter

---

In diesem Kapitel wird behandelt, welche Parameter für die Konfiguration des Microblaze-Systems wichtig sind. Für die Parameter des Microblaze wurde die Tabelle aus dem Abschnitt *MicroBlaze Core Configurability* in Kapitel 3 des Microblaze Datenblattes [MBR] herangezogen. Parameter, die in der Tabelle nur einen Wert in der Spalte *Allowable Values* haben, werden fest auf diesen Wert gesetzt und können nicht vom Anwender verändert werden. In der Tabelle 3.1 werden lediglich die Parameter behandelt, welche mehr als einen erlaubten Wert haben, allerdings trotzdem auf einen festen Wert gesetzt werden. Alle anderen Parameter, die nicht genannt werden, stehen dem Nutzer zur freien Konfiguration zur Verfügung. Erklärungen zu den Bedeutungen der einzelnen Parametern werden in Kurzform in der XML-Modulbeschreibung hinterlegt, sodass der Nutzer während der Erstellung eines Systems weiß, welche Funktion die einzelnen Parameter haben. Für detailliert Beschreibungen sei noch einmal auf das Datenblatt des Microblaze verwiesen [MBR]. Neben dem Microblaze werden mit einem generischen Speichermodul, einem UART-Modul und einem FSL-Modul noch drei weitere Hardwarekomponenten für JConfig erstellt, die parametrisiert werden können. Welche Parameter zur Verfügung stehen und was diese bewirken, ist in den nachstehenden Tabellen aufgeführt.

---

## Implementation eines generischen Speichermoduls

---

Bevor über eine Implementation eines generischen Speichermoduls nachgedacht werden kann, sollte zunächst die Struktur, des von Xilinx verwendeten Speichers erläutert werden. Hierzu wird Abbildung 3.2 herangezogen. In der Abbildung sind einfache Blockschaltbilder für einen 4KByte und einen 8KByte großen Speicher dargestellt. Angefangen bei einer Mindestgröße von 2KByte verdoppelt sich die Anzahl der Block RAMs bei jeder Vergrößerung. Dabei halbiert sich jeweils die Größe der Bitlanes bis hin zu einem Minimum von eins bei einer maximalen Speichergröße von 64KByte. Die vom XPS generierten Modelle instanziierten immer eine fixe Anzahl an Block RAMs, sodass es nicht möglich ist, mit der selben Methode wie beim Microblaze eine generische Parametrisierbarkeit herzustellen. Daher muss, auf Grundlage der elaborierten Modelle, ein generisches Speichermodul geschrieben werden, dessen Größe über einen Parameter



Parameter	Wert	Beschreibung
C_LOCKSTEP_SLAVE	0	Im Lockstep Modus können zwei oder mehrere Microblaze das selbe Programm ausführen und die Ergebnisse miteinander vergleichen, um Hardwarefehler zu erkennen. Wird nicht benötigt.
C_ENDIANNES	1	Endianness wird auf Little Endian festgelegt. In XPS lässt sich dieser Wert nicht manuell verändern, dementsprechend wird auch unter JConfig darauf verzichtet.
C_D_AXI	1	Das AXI-Daten-Interface kann verwendet werden.
C_I_AXI	1	Das AXI-Instruktionen-Interface kann verwendet werden. (Nützlich bei externen Speicher)
C_D_PLB	0	Da bereits AXI verwendet wird, wird der PLB Bus nicht gebraucht und deshalb deaktiviert.
C_I_PLB	0	Siehe vorheriger Eintrag.
C_D_LMB	1	Das LMB-Daten-Interface kann verwendet werden.
C_I_LMB	1	Das LMB-Instruktionen-Interface kann verwendet werden.
C_IPLB_BUS_EXCEPTION	0	Da der PLB nicht verwendet wird, werden die Exceptions auch nicht benötigt.
C_DPLB_BUS_EXCEPTION	0	Siehe vorheriger Eintrag.
C_ADDR_TAG_BITS	17	Das Datenblatt gibt kaum nützliche Informationen zu diesem Parameter, daher wird er auf den Default-Wert festgesetzt.
C_DCACHE_ADDR_TAG	17	Siehe vorheriger Eintrag.
C_USE_EXT_BRK	0	Siehe vorheriger Eintrag.
C_USE_EXT_NM_BRK	0	Siehe vorheriger Eintrag.

**Tabelle 3.1:** Parameter des Microblaze die mehr als einen erlaubten Wert haben, aber dennoch auf einen Wert festgelegt werden.

Parameter	Beschreibung
C_FAMILY	Dieser Parameter wird von Xilinx IP-Cores verwendet, um, je nach verwendeter Hardware, vorhandene Primitives zu instanziiieren.
RAMBLOCKS	Ähnlich wie für den Speicher des SpartanMC, kann angegeben werden, wie viel RAM instanziiert werden soll. Ein Block ist jeweils 2KB groß. Es können nur Größen gewählt werden, die einer Potenz von Zwei entsprechen, da mit jeder Vergrößerung des Speichers sich die Anzahl der Bitlanes verdoppelt.
C_BASEADDRESS	Gibt die Startadresse des Speichers an.

**Tabelle 3.2:** Parameter des Speichermoduls für den Microblaze.

Parameter	Beschreibung
C_S_AXI_ACLK_FREQ_HZ	Frequenz des Taktsignals, welches automatisch aus dem Takt abgeleitet wird.
C_FAMILY	Dieser Parameter wird von Xilinx IP-Cores verwendet, um, je nach verwendeter Hardware, vorhandene Primitives zu instanziiieren.
C_BAUDRATE	Für die Übertragung verwendete Baudrate. Eine Auswahl von Werten zwischen 110 und 921600 steht zur Verfügung.
C_DATABITS	Anzahl der zu übertragenden Bits pro Frame. Werte von 5 bis 8 sind möglich.
C_USE_PARITY	Gibt an, ob ein Paritätsbit mit übertragen wird.
C_ODD_PARITY	Gibt an, ob die Parität gerade oder ungerade ist.

**Tabelle 3.3:** Parameter des UART-Cores.

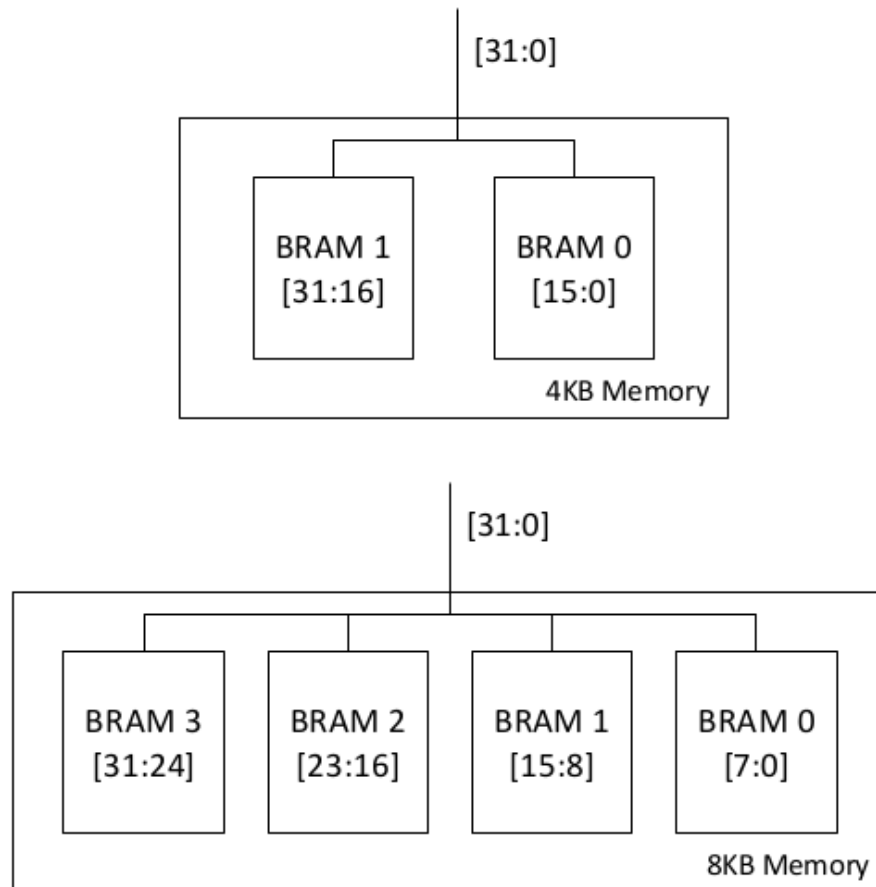
Parameter	Beschreibung
C_EXT_RESET_HIGH	Gibt an, ob das externe Reset-Signal high-aktiv oder low-aktiv ist.
C_ASYNC_CLKS	Gibt an, ob das FSL-Interface synchron oder asynchron betrieben werden soll.
C_IMPL_STYLE	Wenn dieser Parameter auf 0 gesetzt ist, wird der FIFO-Speicher mit LUT RAMs implementiert, andernfalls mit Block RAMs.
C_USE_CONTROLL	Bestimmt, ob das Steuerbit mit übertragen wird oder nicht.
C_FSL_DWIDTH	Ist auf 32 Bit festgelegt, da andere Datenbreiten im Zusammenhang mit dem Microblaze wenig sinnvoll sind.
C_FSL_DEPTH	Beschreibt die Größe des FIFO-Speichers. Diese ist von den Parametern C_ASYNC_CLKS und C_IMPL_STYLE abhängig. C_ASYNC_CLKS=0 => 1-8192. C_ASYNC_CLKS=1 und C_IMPL_STYLE=0 => 16-128. C_ASYNC_CLKS=1 und C_IMPL_STYLE=1 => 512-8192. Ist C_ASYNC_CLKS=1 muss die Größe außerdem einer Potenz von Zwei entsprechen.
C_READ_CLOCK_PERIOD	Wird automatisch aus dem Taktsignal berechnet. Wird genutzt um Timing Constraints für den asynchronen Pfad durch LUT RAMs zu erzeugen

**Tabelle 3.4:** Parameter des FSL-Cores.

festgelegt werden kann.

Um dies zu erreichen, wird ein Verilog-Modul geschrieben, welches die Parameter *RAMBLOCKS* und *C\_FAMILY* hat. Über eine for-Schleife in einer generate-Umgebung werden entsprechend des Parameters *RAMBLOCKS* dual-ported Block RAMs instanziiert. Einen Port handhabt Daten





**Abbildung 3.2:** Speicherstruktur der von Xilinx generierten Speichermodule

und der andere Instruktionen. Eine Funktion berechnet dabei aus dem Parameter die Breite der einzelnen Bitlanes. Um die Signalverbindungen zu realisieren, werden wires und regs deklariert, deren Größe mit *RAMBLOCKS* skaliert. Über Indexing wird innerhalb der for-Schleife die Realisierung der einzelnen Bitlanes vorgenommen. Für das 4-Bit breite Write-Enable-Signal wird zusätzliche Kombinatorik hinzugefügt, da die Handhabung nicht durch einfaches Indexing umgesetzt werden kann.

Zuletzt werden der Speicher und zwei Speichercontroller in einer Top-Level-Beschreibung instanziiert und miteinander verbunden.

### 3.2.3 Modulbeschreibungen

Für den Microblaze, den Speicher, den UART-Core und den FSL-Core müssen nun XML-Modulbeschreibungen erstellt werden. Nachfolgend werden alle hierzu notwendigen Schritte besprochen:

- **Microblaze:** Der Microblaze wird in der Beschreibung als Prozessor kategorisiert. Neben den Wrapperdateien für den Microblaze, den LMBs und dem Reset-Modul müssen noch Pfadangaben für die HDL-Dateien der Implementationen dieser Cores angegeben werden. Um dies umzusetzen, wurde die XML-Syntax mit *externalRoot* um ein neues Konstrukt erweitert. Dieses Konstrukt erlaubt es absolute Pfade außerhalb des Default-Verzeichnisses

---

anzugeben und wurde nicht im Rahmen dieser Arbeit ergänzt, sondern von einem Kommilitonen, der zum Zeitpunkt dieser Arbeit für die Wartung von JConfig verantwortlich war. Alle Dateien, die sich im Scope eines *externalRoot*-Konstruktes befinden, verwenden den angegebenen Pfad als Ausgangsverzeichnis. Im Rahmen dieser Arbeit, wurde in der Klasse *HDLDescription* im Package *de.tu\_darmstadt.rs.spartanmc.devxml.descriptions.generic* eine Anpassung vorgenommen, die Umgebungsvariablen in Pfadangaben auflöst. So wird über die Umgebungsvariable *XILINX\_ROOT* plattformunabhängig der Pfad zu den HDL-Dateien angegeben. Desweiteren ist es möglich, einen Namen für eine VHDL-Library anzugeben, unter dem die entsprechenden Dateien zusammengefasst werden. Dies ist für die Xilinx Cores notwendig, da innerhalb der Implementationen einige Libraries referenziert werden. Außerdem verkürzen Libraries die Kompilierzeit während der Simulation.

Es folgen daraufhin die Angaben der Parameter. Hierbei wurde darauf geachtet, dass die Gruppierung der Parameter in ähnlicher Weise erfolgt, wie es im Wizard des XPS der Fall ist. Die Parameter werden desweiteren mit einem Beschreibungstext versehen, sodass sich die Funktion für den Anwender bei der Parametrisierung erschließt. Außerdem haben die Konfigurationsmöglichkeiten einiger Parameter eine relativ geringe Aussagekraft. So lässt sich beispielsweise der Modus der MMU über einen Parameter steuern, der die Werte null bis drei annehmen kann. Um mehr Informationsgehalt zu vermitteln, wurde ein String-Parameter eingeführt, der die Werte "None", "Usermode", "Protection" und "Virtual" annehmen kann. Innerhalb der Top-Level-Verilog-Beschreibung wird dann über eine Aliasing-Funktion der String zu einem Integer umgewandelt. Dies wird für weitere Parameter durchgeführt, bei denen die Aussagekraft der Auswahlmöglichkeiten zu wenig Information vermittelt.

Desweiteren schließen sich einige Konfigurationsmöglichkeiten gegenseitig aus. So ist es beispielsweise nicht möglich, die MMU zu verwenden, wenn der Parameter *C\_AREA\_OPTIMIZED* gesetzt ist. Um eine Auswahl in einem solchen Fall zu verhindern, wird das Konstrukt *relevantIf* in Zusammenhang mit einer invertierten Version von *C\_AREA\_OPTIMIZED* verwendet.

Darauf folgen Bus-Deklarationen für Speicherbusse und FSL-Busse (siehe 3.2.4), wie auch Signal-Deklarationen für Takt, Reset und dem AXI-Bus.

Abschließend wird das *addressLayout* für den Daten- und Instruktionsspeicher definiert. Für Peripherie wurde noch kein Adressraum festgelegt, da es bis lang nur den UART-Core als Peripherie gibt, und dieser direkt mit dem Microblaze verbunden wird. Sobald ein AXI-Bus in JConfig verfügbar ist, muss auch ein Adressraum für die Peripherie hinzugefügt werden.

- **Speicher:** Die Erstellung der Modulbeschreibung für den Speicher erfolgt ähnlich wie für den Microblaze. Die verfügbaren Parameter sind in Tabelle 3.2 aufgelistet. Der Speicher wird allerdings als Memory kategorisiert und hat mit dem *memory*-Konstrukt eine Besonderheit. Mit *memory* wird die Größe des Speichers, das Namensschema der Speicherinstanzen und die Reset-Werte beschrieben. Außerdem kann angegeben werden, ob der Speicher eine Aufteilung zwischen Daten und Instruktionen vorsieht. Diese Informationen werden später bei der Erzeugung der Memory-Map benötigt.
- **UART:** Auch hier wird die Modulbeschreibung nach ähnlichem Muster erstellt. Der UART-Core ist allerdings als Peripherie kategorisiert. Über das *registers*-Konstrukt können Angaben zu Registern innerhalb des Cores gemacht werden, die später während der Erstellung der

---

Software verwendet werden können. Im Rahmen dieser Arbeit konnte dieses Konstrukt für die UART allerdings nicht mehr erstellt werden. Die zur Verfügung stehenden Parameter sind in Tabelle 3.3 zu finden.

- **FSL:** Der FSL-Core wird als Core Interconnect kategorisiert und hat keine weiteren Besonderheiten. Die Parameter sind in Tabelle 3.4 aufgelistet.

---

### 3.2.4 Busbeschreibungen

---

Um das Verbinden einzelner Komponenten zu vereinfachen, werden zusammengehörige Signale zu einem Bus zusammengefasst. Im Folgenden wird auf die, im Rahmen dieser Arbeit erstellten Busbeschreibungen eingegangen:

- **FSL-Busse:** Für den FSL-Bus werden zwei neue Busbeschreibungen in Form von XML-Dateien erstellt. Ein Bus beschreibt die Verbindungen für das Master-Interface und der andere die Verbindungen für das Slave-Interface (siehe Abbildung 2.2). Die Busbeschreibungen enthalten Definitionen für *masterPorts* und *slavePorts*, sowie alle dazugehörigen Signale, deren Richtung und Datenbreite. Bei der Deklaration innerhalb der Modulbeschreibung für den Microblaze wird darauf geachtet, dass die einzelnen Signale in den Busbeschreibungen mit der Option *combineUsing="parallel"* versehen sind. Dies bewirkt, dass die einzelnen Signale, der bis zu 16 FSL-Busse konkateniert und so an den Microblaze weitergeleitet werden.
- **Speicherbusse:** Sowohl alle für den Datenport des Speichers relevanten Signale, sowie alle für den Instruktionsport relevanten Signale, werden zu je einem Bus zusammengefasst. Die Beschreibung erfolgt nach ähnlichem Schema wie bei den FSL-Bussen. Die *masterPorts* fassen alle Signale auf Seiten des Microblaze zusammen, während *slavePorts* alle Signale des Speichers umfasst.

Für die AXI-Signale wurden im Rahmen dieser Arbeit noch keine Busse erstellt, dies sollte allerdings mit der Integration eines AXI-Bus-IP-Cores nachgeholt werden.

---

## 3.3 Integration in die SpartanMC Toolchain

---

---

### 3.3.1 Ausgangslage

---

---

### 3.3.2 Erzeugung der BMM-Datei

---

---

### 3.3.3 Anpassungen in der Toolchain zur Speicherinitialisierung

---

---

#### Speicherinitialisierung mit UCF-Datei

---

---

#### Aktualisierung des Bitfiles

---

---

---

Speicherinitialisierung für die Simulation

---

3.3.4 Unterstützung von Libraries in der Simulation

---

3.3.5 Integration des Microblaze GCC

---

---

## 4 Benutzungshinweise

---

---

## 5 Evaluation

---

---

## 6 Ausblick

---

---

## **7 Zusammenfassung**

---




---

## Abkürzungsverzeichnis

---

CPU	Central Processing Unit
MC	Microcontroller
FPGA	Field Programmable Gate Array
SoC	System on Chip
I/O	Input/Output
UART	Universal Asynchronous Receiver Transmitter
IP	Intellectual Property
FSL	Fast Simplex Link
HDL	Hardware Description Language
XML	Extensible Markup Language)
UCF	User Constraints File
XSD	XML Schema Definition
UI	User Interface
FPU	Floating Point Unit
ISA	Instruction Set Architecture
MMU	Memory Management Unit
TLB	Translation Lookaside Buffer
LMB	Local Memory Bus
AXI	Advanced eXtensible Interface
PLB	Processor Local Bus
XCL	Xilinx CacheLink
XPS	Xilinx Platform Studio
SDK	Software Development Kit
BSP	Board Support Package
FIFO	First In First Out
RAM	Random Access Memory
LUT	Look Up Table
BMM	Block RAM Memory Map



---

ELF Executable and Linkable Format

VHDL Very High Speed Integrated Circuit Hardware Description Language

---

## Abbildungsverzeichnis

---

2.1	Blockschaltbild des Microblaze [MBR] . . . . .	7
2.2	Blockschaltbild des Xilinx FSL IP-Cores [FSL] . . . . .	9
3.1	Einfaches mit XPS generiertes System ohne Peripherie . . . . .	12
3.2	Speicherstruktur der von Xilinx generierten Speichermodule . . . . .	16

---

## Tabellenverzeichnis

---

3.1	Parameter des Microblaze die mehr als einen erlaubten Wert haben, aber dennoch auf einen Wert festgelegt werden. . . . .	14
3.2	Parameter des Speichermoduls für den Microblaze. . . . .	14
3.3	Parameter des UART-Cores. . . . .	15
3.4	Parameter des FSL-Cores. . . . .	15

---

## Literaturverzeichnis

---

- [CET] *Cetus - A Source-to-Source Compiler Infrastructure for C Programs.* <https://engineering.purdue.edu/Cetus/>
- [DAT] *Data2MEM User Guide.* [https://www.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_7/data2mem.pdf](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/data2mem.pdf)
- [FSL] *LogiCORE IP Fast Simplex Link (FSL) V20 Bus (v2.11f).* [https://www.xilinx.com/support/documentation/ip\\_documentation/fsl\\_v20/v2\\_11\\_f/fsl\\_v20.pdf](https://www.xilinx.com/support/documentation/ip_documentation/fsl_v20/v2_11_f/fsl_v20.pdf)
- [MBR] *MicroBlaze Processor Reference Guide - Embedded Development Kit EDK 14.7.* [https://www.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_7/mb\\_ref\\_guide.pdf](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/mb_ref_guide.pdf)
- [MBT] *EDK Concepts, Tools and Techniques - A Hands-On Guide to Effective Embedded System Design.* [https://www.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_7/edk\\_ctt.pdf](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/edk_ctt.pdf)
- [The] *The SpartanMC Project.* <http://www.spartanmc.de>
- [Web15] WEBER, Jan: *Design und Implementierung eines parallelisierenden Source-to-Source-Compilers für SpartanMC*, Technische Universität Darmstadt, Masterthesis, 2015