

ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ



ΣΥΣΤΗΜΑΤΑ ΜΙΚΡΟΥΪΠΟΛΟΓΙΣΤΩΝ

(2019-2020)

2^η ΟΜΑΔΑ ΑΣΚΗΣΕΩΝ

Ονοματεπώνυμο:

- Χρήστος Τσούφης – 03117176
- Ιάσων Χατζηθεοδώρου – 03117089

1^η Άσκηση

Ο πηγαίος κώδικας επισυνάπτεται.

2^η Άσκηση

Ο πηγαίος κώδικας επισυνάπτεται.

3^η Άσκηση

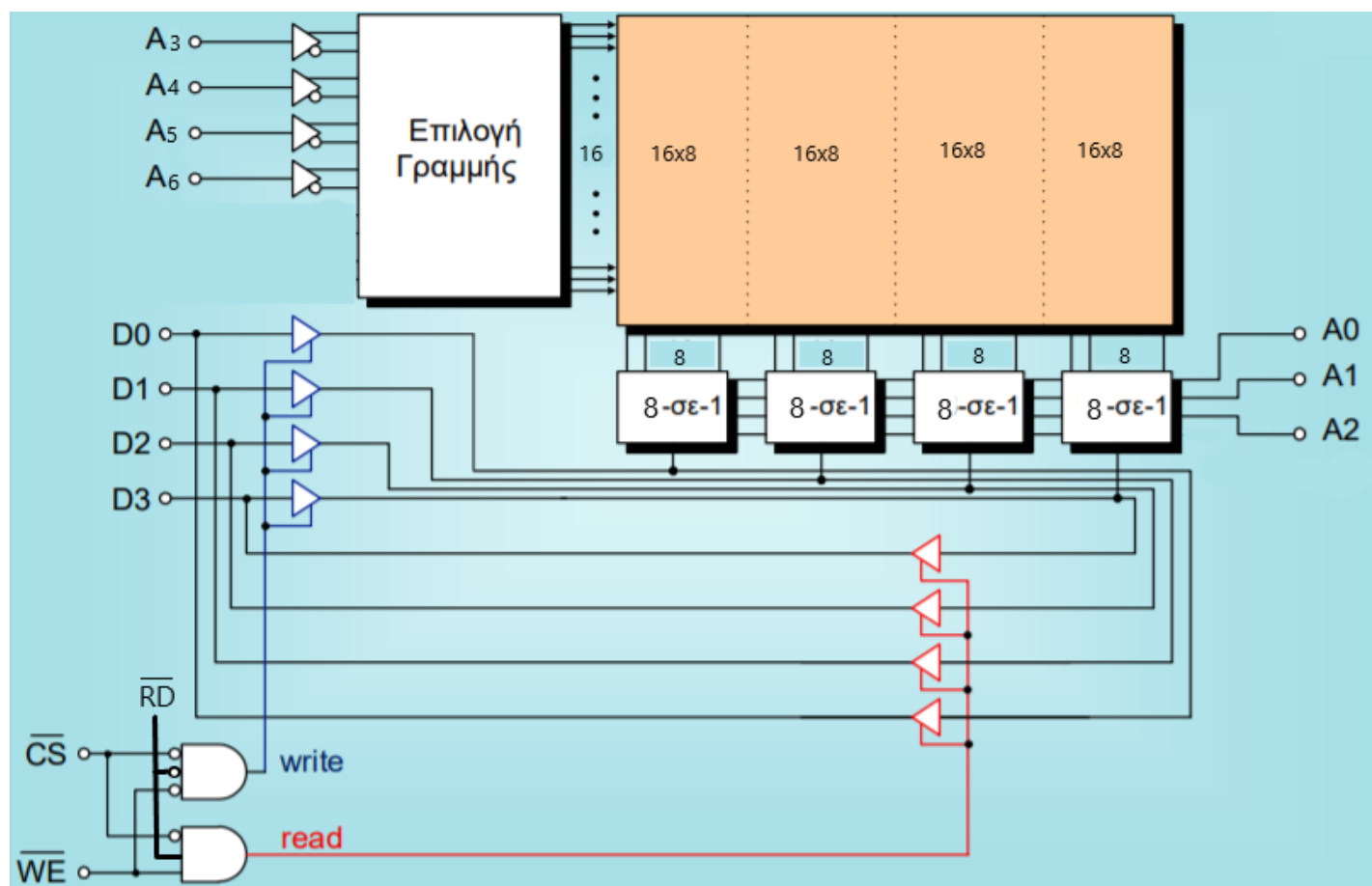
Ο πηγαίος κώδικας επισυνάπτεται.

4^η Άσκηση

Ο πηγαίος κώδικας επισυνάπτεται.

5^η Άσκηση

Ένα δυνατό εσωτερικό διάγραμμα για τα $128 \times 4 = 2^7 \times 4$ bit SRAM, είναι το ακόλουθο:



Η μνήμη είναι 128×4 bits. Ο δεύτερος αριθμός, το 4, δηλώνει σε πόσα μέρη θα είναι χωρισμένη η μνήμη κι ο πρώτος αριθμός, το 128, δηλώνει πόση χωρητικότητα μνήμης έχει το κάθε μέρος. Άρα η μνήμη θα κατακερματίζεται σε 4 μέρη (ισοδύναμα τράπεζες) των 128 bits το καθένα. Κάθε τράπεζα από την μεριά της είναι ένας διδιάστατος πίνακας με γραμμές και στήλες. Προφανώς το μέγεθος του πίνακα αυτού, πρέπει να ισούται σταθερά με 128 ανεξάρτητα από την κατανομή των γραμμών και των στηλών. Ο λόγος είναι ότι το 128 συνιστά προδιαγραφή. Γίνεται φανερό πως οι γραμμές κι οι στήλες μπορούν να κατανεμηθούν με πολλούς τρόπους. Επιλέχθηκε διάταξη για την κάθε τράπεζα με την χρήση πολυπλεκτών 8-σε-1. Επίσης επέφερε την χρήση 4 bits για τον προσδιορισμό της διεύθυνσης των γραμμών και 3 για των στηλών. Τέλος, το γεγονός των 4 τραπεζών επιβάλλει την ύπαρξη και 4 σημάτων I/O για κάθε μία από αυτές.

Για να γίνει ανάγνωση από την μνήμη αρχικά εφαρμόζεται στις εισόδους διεύθυνσης $A0 - A6$ η διεύθυνση. Έπειτα επιλέγεται το κατάλληλο ολοκληρωμένο κύκλωμα SRAM μέσω του ακροδέκτη επιλογής (CS)'. Στην συνέχεια, μετά από πάροδο χρόνου όσος κι ο χρόνος προσπέλασης εμφανίζονται τα δεδομένα στις εξόδους δεδομένων I/O. Αντίστοιχα για να γίνει εγγραφή πάλι στις εισόδους διεύθυνσης εφαρμόζεται η διεύθυνση κι επιλέγεται το κατάλληλο ολοκληρωμένο κύκλωμα SRAM. Μετά τα δεδομένα προς εγγραφή εφαρμόζονται στις εισόδους δεδομένων I/O και στον ακροδέκτη (WE)' στέλνεται αρνητικός παλμός ώστε να επιτραπεί και να εκτελεστεί η λειτουργία της εγγραφής των δεδομένων.

Η είσοδος (CS)' όταν είναι 1 απομονώνει και την είσοδο και την έξοδο. Όταν το (CS)' = 0, αν το σήμα (WE)' = 0, τότε γίνεται εγγραφή, ενώ αν το (RD)' = 0, τότε γίνεται ανάγνωση. Αξίζει να σημειωθεί ότι αν είναι ενεργά ταυτόχρονα τα σήματα εγγραφής και ανάγνωσης, δηλαδή (WR)' = 0, (RD)' = 0, αποκλείεται η ανάγνωση και δίνεται προτεραιότητα στη διαδικασία της εγγραφής.

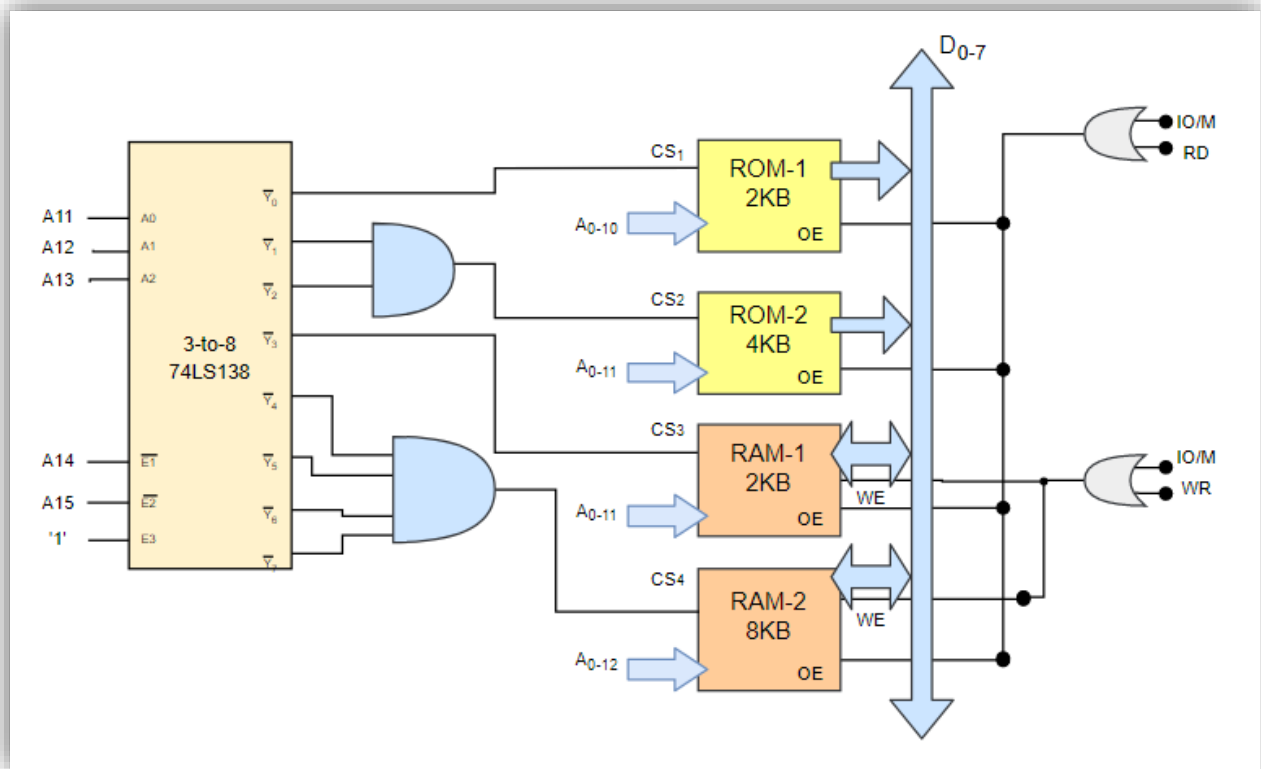
6^η Άσκηση

Τα chips που δίνονται είναι τα παρακάτω:

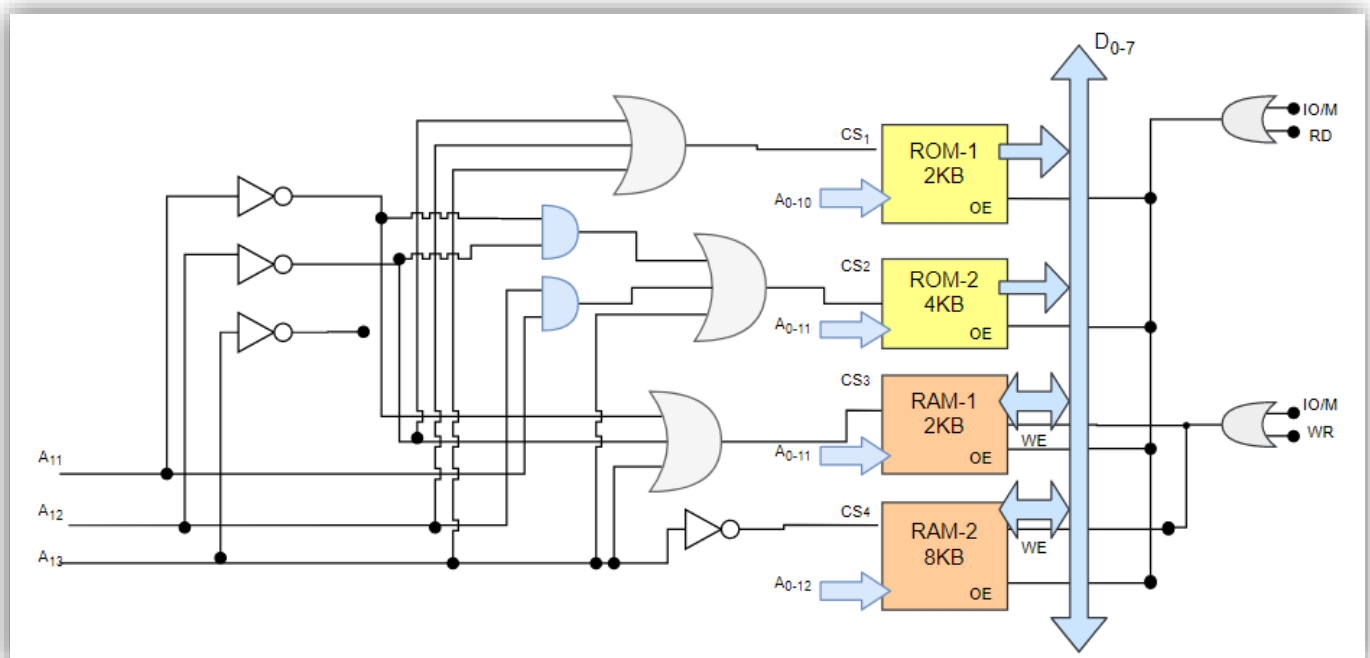
- 6Kbytes ROM
 - $2K \times 8$ bit
 - $4K \times 8$ bit
- 10Kbytes RAM
 - $2K \times 8$ bit
 - $8K \times 8$ bit

Με την υπόθεση ότι οι διευθύνσεις αποδίδονται στα chip της μνήμης με τη σειρά που καταγράφονται στην προηγούμενη λίστα, οι διευθύνσεις για κάθε chip μνήμης και ο χάρτης μνήμης είναι:

i.



ii.



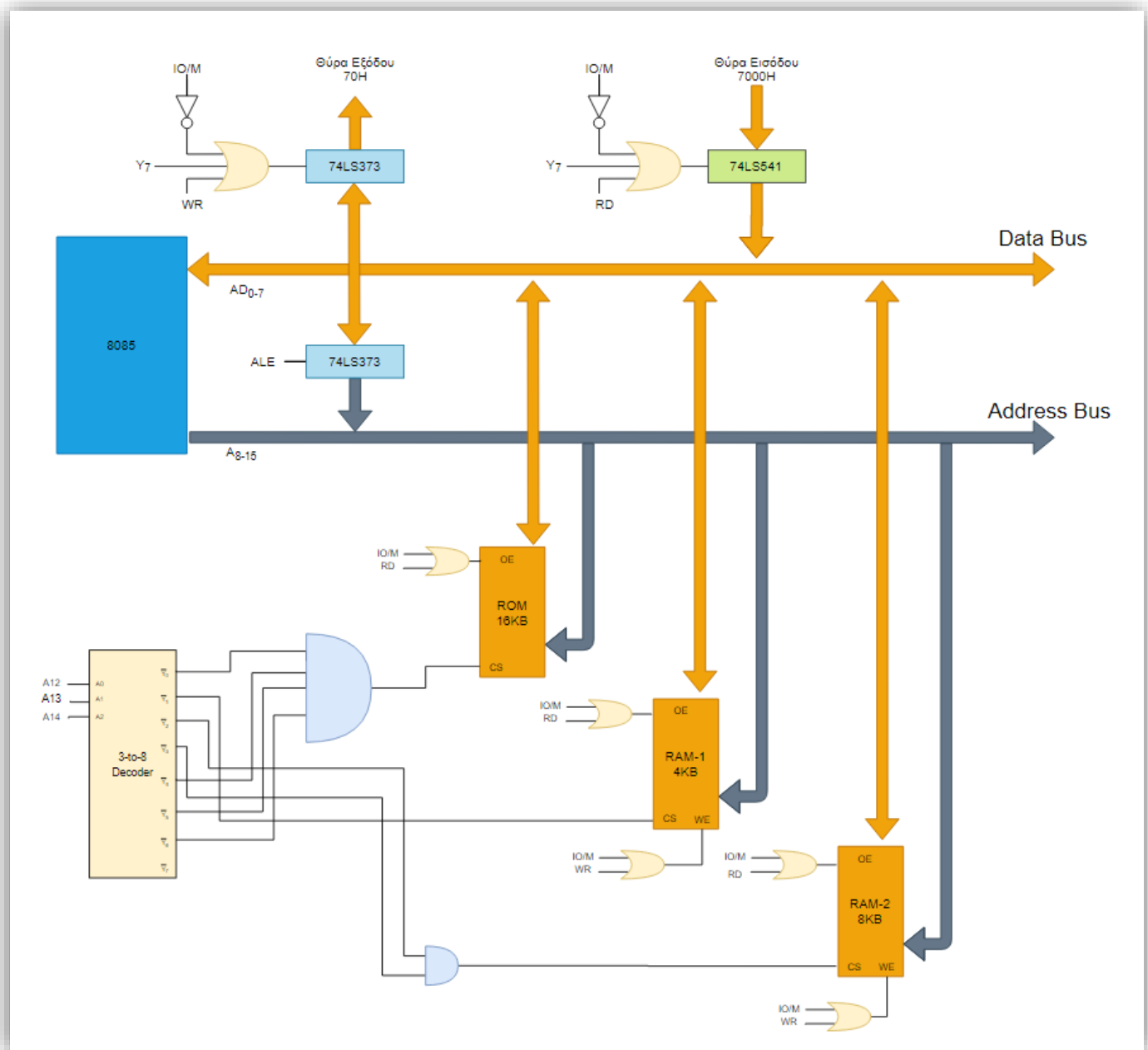
ROM-1: A0-10

ROM-2: A0-10 & A12 to MSB

RAM-1: A0-10

RAM-2: A0-13 with Full-Adder/Subtractor of 2-bits

7^η Άσκηση



ROM-1: A_{0-14} με 1 Συγκριτή & 1 Full-Adder/Subtractor of 3-bits

RAM-1: A_{0-11} & A_{13} to MSB

RAM-2: A_{0-11}