

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 王明明**

**学 号： U201714726**

**班 级： CS1705**

**指 导 教 师： 何云峰**

**计算机科学与技术学院**

**20 19 年 4 月 2 日**



**数字逻辑实验报告**

**系列二进制加法器设计实验报告**

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器**

根据组合逻辑电路的设计思路，列出S和C的真值表，如表1-2所示：

表1-1：一位二进制半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

可以写出S和C的函数表达式为

所以用logisim绘制出一位二进制半加器的电路图如图1-3所示：

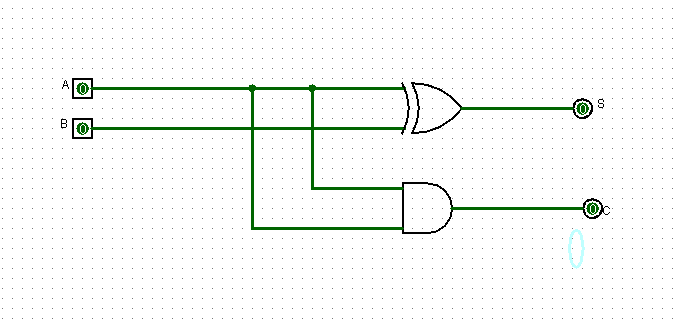


图1-2 一位二进制半加器

**（2）一位二进制全加器**

根据组合组合逻辑电路的设计思路与设计方法，列出真值表如表1-4所示：

表1-2：一位二进制全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Ci | S | C |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

求出S和C的函数表达式为

设计电路图如图1-3所示：

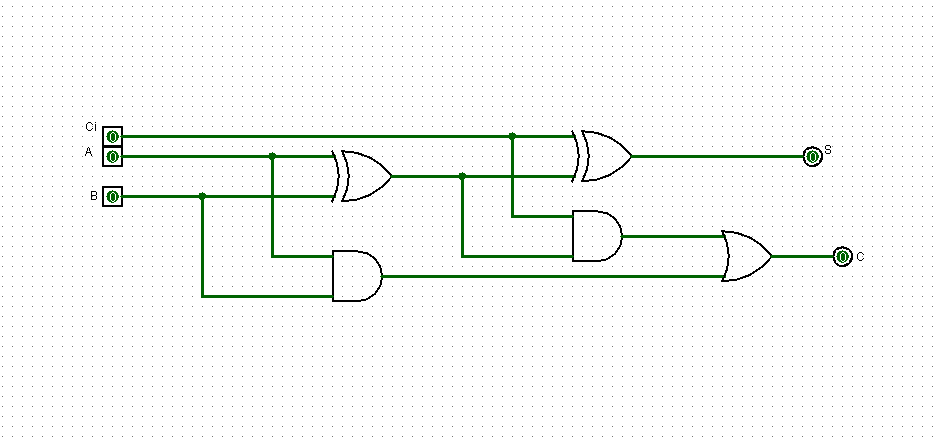


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器**

由于前面已经实现了一位二进制全加器，这里可以借用一位二进制全加器来实现串行进位的四位二进制并行加法器，第一个全加器接受C0 产生的进位作为C1输入到下一个全加器的输入端,第一个全加器产生的进位信号作为下一个全加器的输入，以此类推，第四个全加器产生的进位信号作为最终的进位信号输出 。设计电路图如图1-4所示：

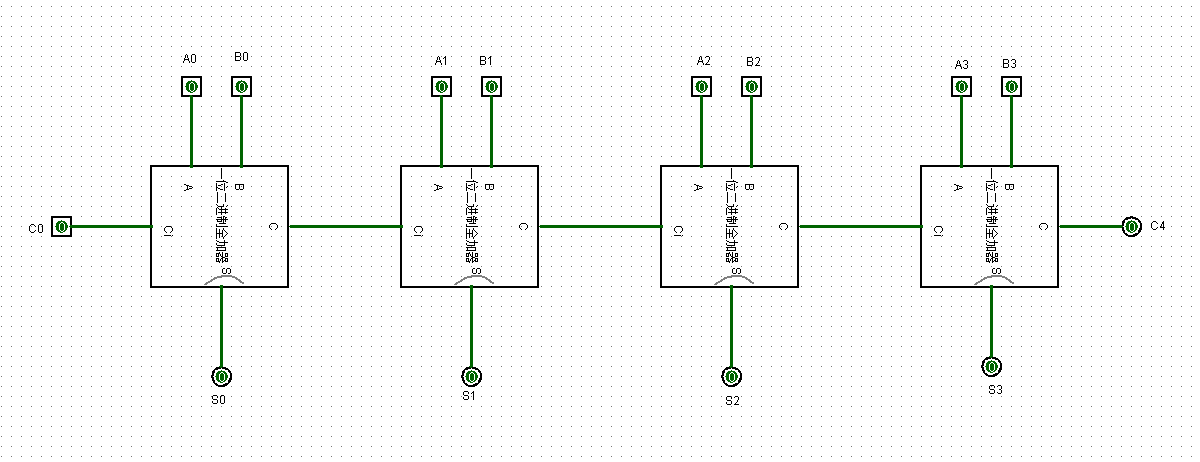
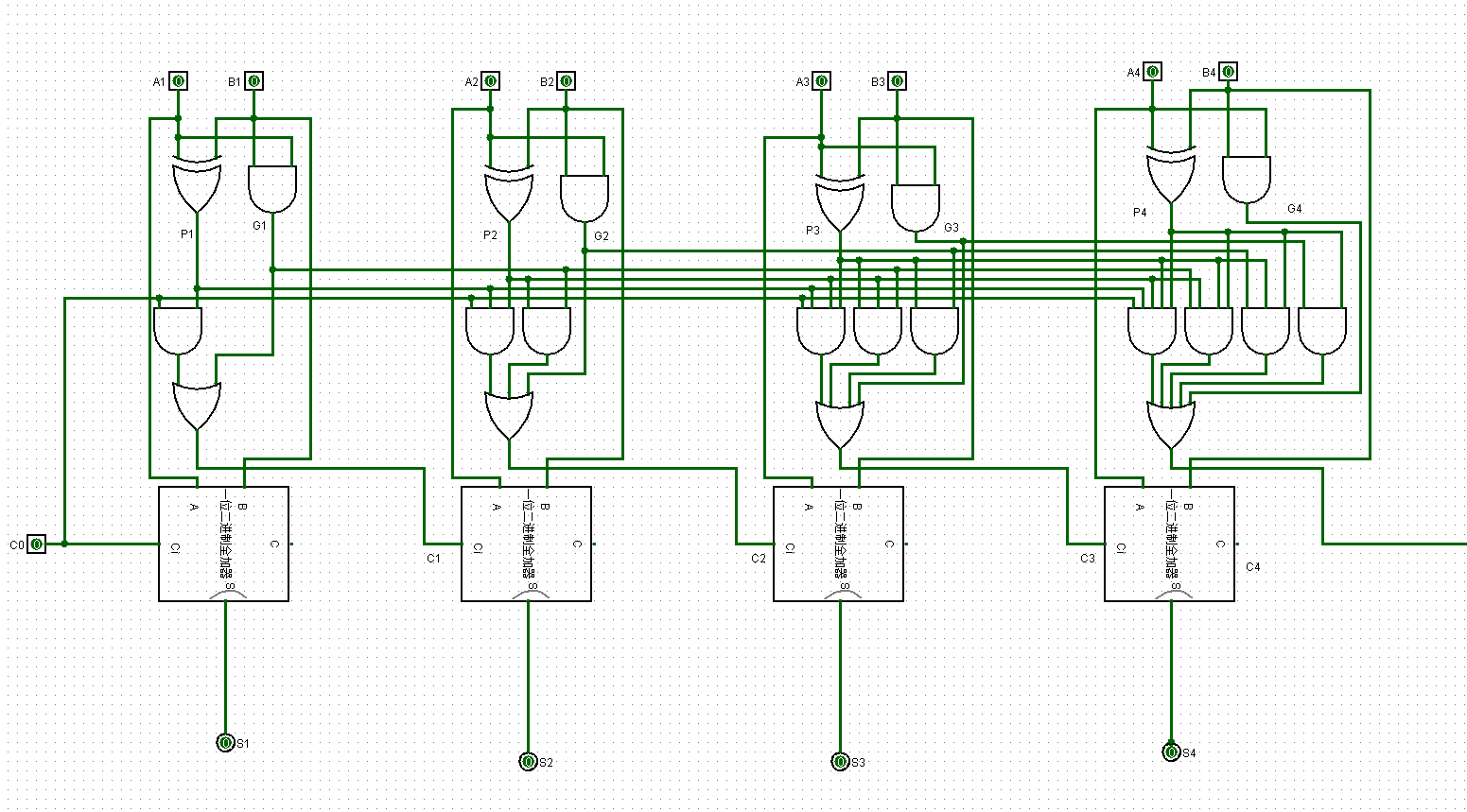


图1-4 串行进位的的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器**

表达式为：

所以电路图如图1-5所示：

****

**图1-5 先行进位的四位二进制并行加法器**

**（5）封装“先行进位的四位二进制并行加法器电路”**

按图1-1所示要求，封装“先行进位的四位二进制并行加法器电路”，并验证设计的正确性。

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。验证封装之后的器件是否正确时：采用手动检查的方法，输入多组数据，对于每一组输入的值，观察输出的结果与预期结果是否相同。

测试数据如表1-3所示：

表1-3 封装的先行四位先行进位二进制加法器测试数据

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A0A1A2A3 | B0B1B2B3 | C0 | 预期S0S1S2S3 | 预期C4 |
| 0000 | 0000 | 0 | 0000 | 0 |
| 1111 | 1111 | 1 | 1111 | 1 |
| 0101 | 1010 | 0 | 1111 | 0 |

封装后的测试电路电路图如图1-6所示：

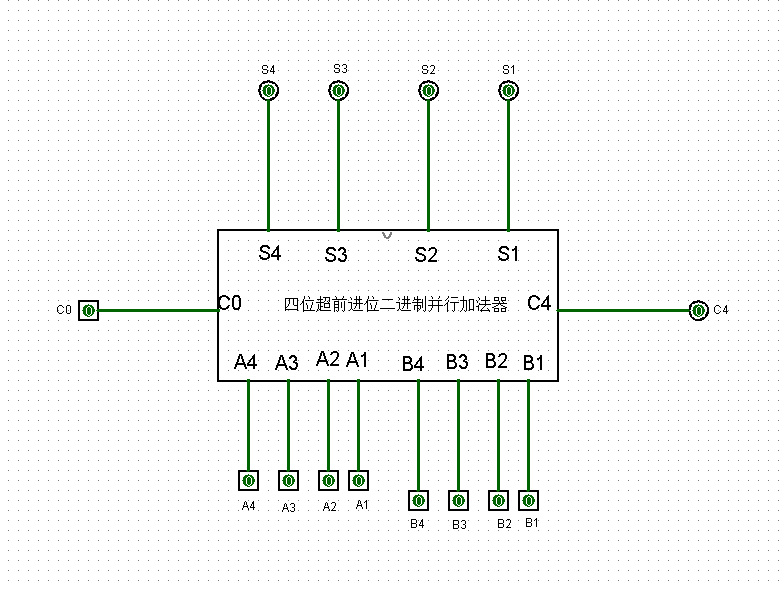


图1-6 封装的先行进位二进制并行加法器

测试结果：

测试一:第一组测试数据的测试结果如图1-7所示：

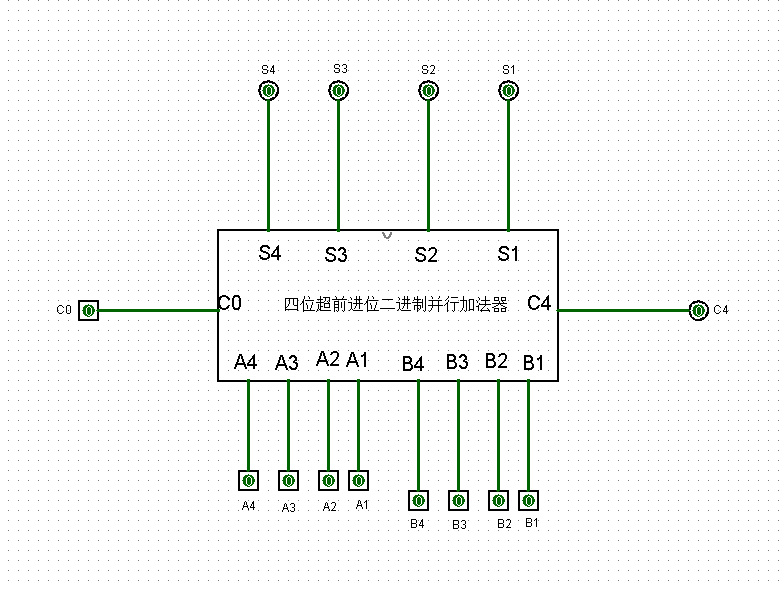
****

图1-7：第一组测试数据的测试结果

可知：当输入A0A1A2A3=0000 B0B1B2B3=0000 C0=0时，测试的输出结果为S0S1S2S3=0000 C4=0 与预期结果一致。

测试二：第二组测试数据的测试结果如图1-8所示：

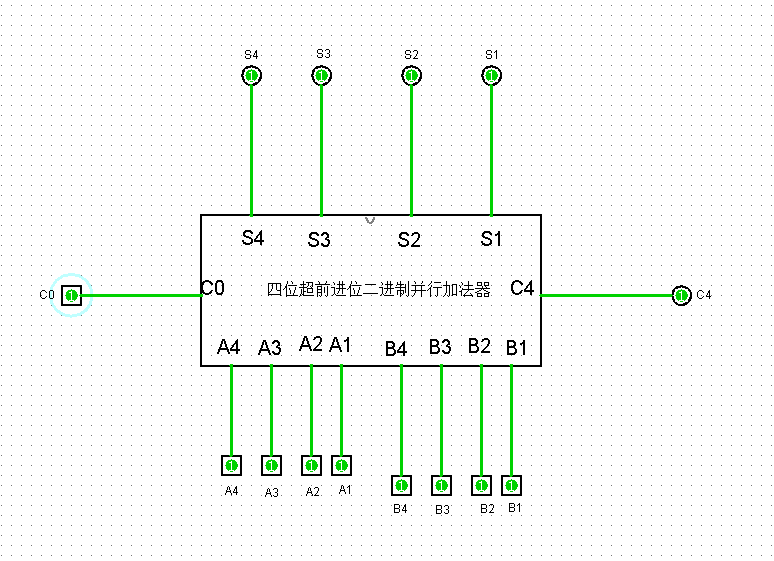
****

图1-8 第二组测试数据的测试结果

可知：当输入A0A1A2A3=1111 B0B1B2B3=1111 C0=1 时输出S0S1S2S3=1111 C4=1与预期结果一致

测试三：第三组测试数据的测试结果如图1-9所示：

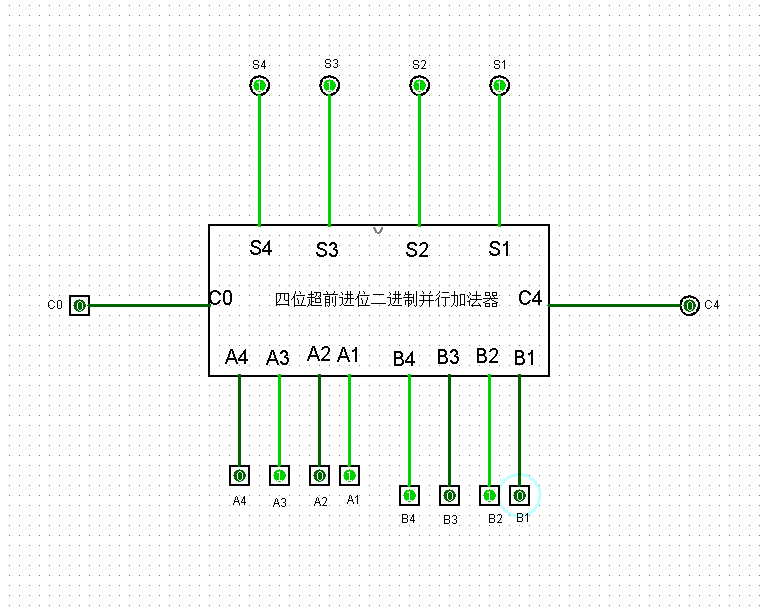
****

图1-9：第三组测试数据的测试结果

可知：当输入A0A1A2A3 = 0101 B0B1B2B3 = 1010 C0=0时输出S0S1S2S3=1111 C4=0 与预期结果一致

以上三组测试的结果均与预期结果相同



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库。

具体要求如下。

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并进行封装，逻辑符号参见图2-1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、四个计数器状态输出值**QD QC QB QA**。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，使得满足如下要求。

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）四位二进制可逆计数器**

设计思路：

当CPD为0，CPU输入脉冲时，真值表如表2-1所示：

表2-1 真值表：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | 现态 | 激励函数 | | | | | | | | 次态 |
| CPU | Q4Q3Q2Q1 | C4 | D4 | C3 | D3 | C2 | D2 | C1 | D1 | Qn+14Qn+13Qn+12Qn+11 |
| ↓ | 0000 |  | d |  | d |  | d | ↓ | 1 | 0001 |
| ↓ | 0001 |  | d |  | d | ↓ | 1 | ↓ | 0 | 0010 |
| ↓ | 0010 |  | d |  | d |  | d | ↓ | 1 | 0011 |
| ↓ | 0011 |  | d | ↓ | 1 | ↓ | 0 | ↓ | 0 | 0100 |
| ↓ | 0100 |  | d |  | d |  | d | ↓ | 1 | 0101 |
| ↓ | 0101 |  | d |  | d | ↓ | 1 | ↓ | 0 | 0110 |
| ↓ | 0110 |  | d |  | d |  | d | ↓ | 1 | 0111 |
| ↓ | 0111 | ↓ | 1 | ↓ | 0 | ↓ | 0 | ↓ | 0 | 1000 |
| ↓ | 1000 |  | d |  | d |  | d | ↓ | 1 | 1001 |
| ↓ | 1001 |  | d |  | d | ↓ | 1 | ↓ | 0 | 1010 |
| ↓ | 1010 |  | d |  | d |  | d | ↓ | 1 | 1011 |
| ↓ | 1011 |  | d | ↓ | 1 | ↓ | 0 | ↓ | 0 | 1100 |
| ↓ | 1100 |  | d |  | d |  | d | ↓ | 1 | 1101 |
| ↓ | 1101 |  | d |  | d | ↓ | 1 | ↓ | 0 | 1110 |
| ↓ | 1110 |  | d |  | d |  | d | ↓ | 1 | 1111 |
| ↓ | 1111 | ↓ | 0 | ↓ | 0 | ↓ | 0 | ↓ | 0 | 0000 |

当CPU为0，CPD输入脉冲时，真值表如表2-2所示

表2-2 真值表：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入脉冲 | 现态 | 激励函数 | | | | | | | | 次态 |
| CPD | Q4Q3Q2Q1 | C4 | D4 | C3 | D3 | C2 | D2 | C1 | D1 | Qn+14Qn+13Qn+12Qn+11 |
| ↓ | 0000 | ↓ | 1 | ↓ | 1 | ↓ | 1 | ↓ | 1 | 1111 |
| ↓ | 0001 |  | d |  | d |  | d | ↓ | 0 | 0000 |
| ↓ | 0010 |  | d |  | d | ↓ | 0 | ↓ | 1 | 0001 |
| ↓ | 0011 |  | d |  | d |  | d | ↓ | 0 | 0010 |
| ↓ | 0100 |  | d | ↓ | 0 | ↓ | 1 | ↓ | 1 | 0011 |
| ↓ | 0101 |  | d |  | d |  | d | ↓ | 0 | 0100 |
| ↓ | 0110 |  | d |  | d | ↓ | 0 | ↓ | 1 | 0101 |
| ↓ | 0111 |  | d |  | d |  | d | ↓ | 0 | 0110 |
| ↓ | 1000 | ↓ | 0 | ↓ | 1 | ↓ | 1 | ↓ | 1 | 0111 |
| ↓ | 1001 |  | d |  | d |  | d | ↓ | 0 | 1000 |
| ↓ | 1010 |  | d |  | d | ↓ | 0 | ↓ | 1 | 1001 |
| ↓ | 1011 |  | d |  | d |  | d | ↓ | 0 | 1010 |
| ↓ | 1100 |  | d | ↓ | 0 | ↓ | 1 | ↓ | 1 | 1011 |
| ↓ | 1101 |  | d |  | d |  | d | ↓ | 0 | 1100 |
| ↓ | 1110 |  | d |  | d | ↓ | 0 | ↓ | 1 | 1101 |
| ↓ | 1111 |  | d |  | d |  | d | ↓ | 0 | 1110 |

由真值表，可由卡诺图求出激励表达式：

Di=

C1=CPU+CPD

C2=CPU+Q1CPD

C3=CPU+Q2Q1CPD

C4=CPU+Q3Q2Q1CPD

逻辑电路如图2-3所示：

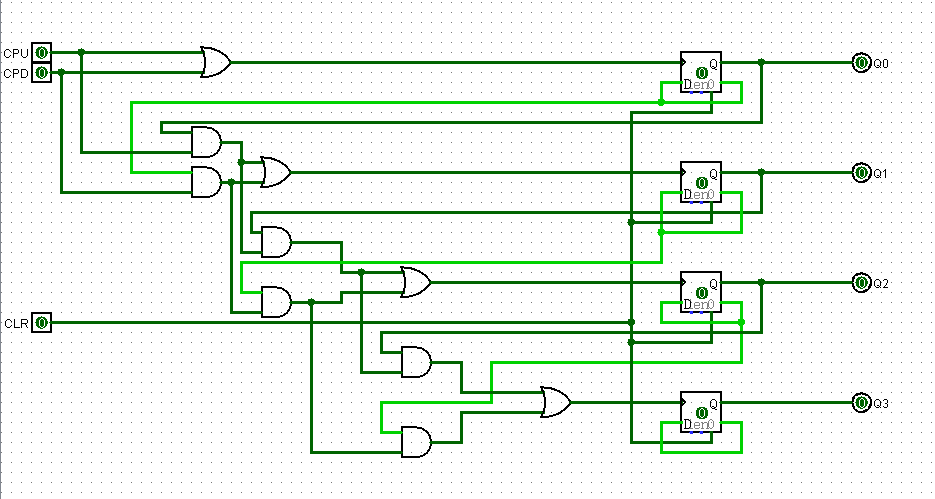


图2-3 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

由题意可列出四位二进制数和8421码的对应关系，如表2-3所示

表2-3 四位二进制数与8421码对应表：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 输入(4位二进制数) | | | | 输出(8421码) | | | | | 修正控制 |
| N | Q3 | Q2 | Q1 | Q0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | **0** | **0** | **0** | **0** | 0 | **0** | **0** | **0** | **0** | 0 |
| 1 | **0** | **0** | **0** | **1** | 0 | **0** | **0** | **0** | **1** | 0 |
| 2 | **0** | **0** | **1** | **0** | 0 | **0** | **0** | **1** | **0** | 0 |
| 3 | **0** | **0** | **1** | **1** | 0 | **0** | **0** | **1** | **1** | 0 |
| 4 | **0** | **1** | **0** | **0** | 0 | **0** | **1** | **0** | **0** | 0 |
| 5 | **0** | **1** | **0** | **1** | 0 | **0** | **1** | **0** | **1** | 0 |
| 6 | **0** | **1** | **1** | **0** | 0 | **0** | **1** | **1** | **0** | 0 |
| 7 | **0** | **1** | **1** | **1** | 0 | **0** | **1** | **1** | **1** | 0 |
| 8 | **1** | **0** | **0** | **0** | 0 | **1** | **0** | **0** | **0** | 0 |
| 9 | **1** | **0** | **0** | **1** | 0 | **1** | **0** | **0** | **1** | 0 |
| 10 | **1** | **0** | **1** | **0** | 1 | **0** | **0** | **0** | **0** | 1 |
| 11 | **1** | **0** | **1** | **1** | 1 | **0** | **0** | **0** | **1** | 1 |
| 12 | **1** | **1** | **0** | **0** | 1 | **0** | **0** | **1** | **0** | 1 |
| 13 | **1** | **1** | **0** | **1** | 1 | **0** | **0** | **1** | **1** | 1 |
| 14 | **1** | **1** | **1** | **0** | 1 | **0** | **1** | **0** | **0** | 1 |
| 15 | **1** | **1** | **1** | **1** | 1 | **0** | **1** | **0** | **1** | 1 |

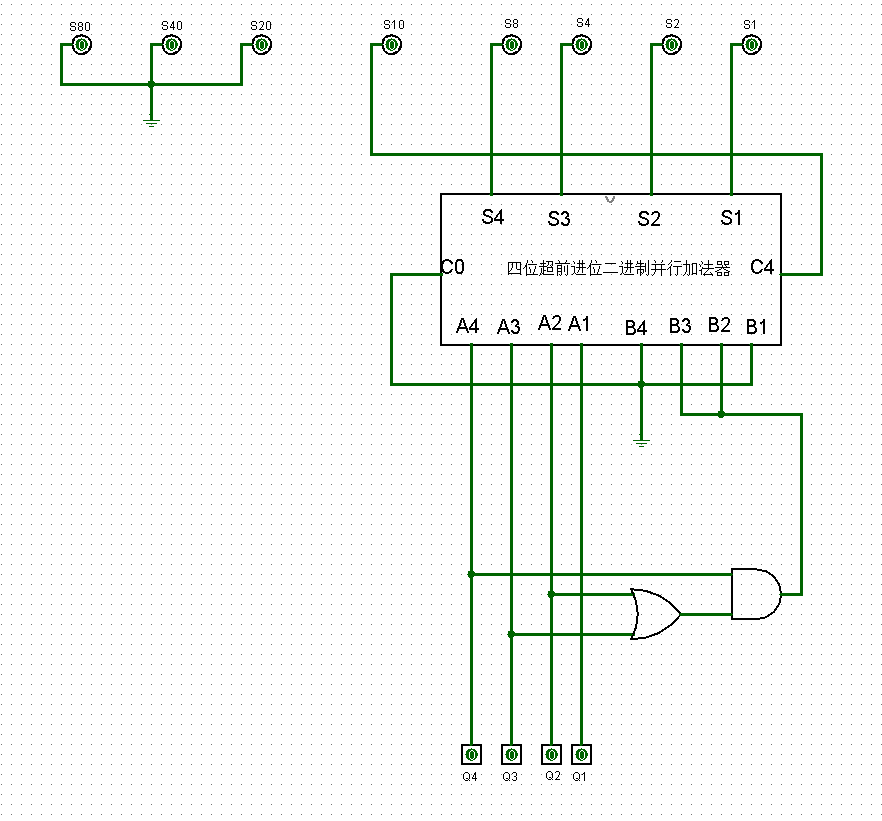


图2-4 二进制转8421码

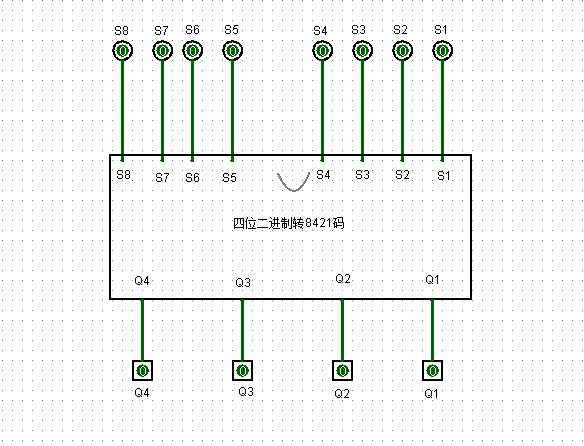


图2-5 二进制转8421码封装

**（3）显示电路**

**（A）7段译码器译码电路**

做出真值表

表2-4 7段译码器**：**

|  |  |
| --- | --- |
| 输入A3A2A1A0 | 输出abcdefg |
| 0000 | 1111110 |
| 0001 | 0110000 |
| 0010 | 1101101 |
| 0011 | 1111001 |
| 0100 | 0110011 |
| 0101 | 1011011 |
| 0110 | 0011111 |
| 0111 | 1110000 |
| 1000 | 1111111 |
| 1001 | 1110011 |
| 1010 | 0001101 |
| 1011 | 0011001 |
| 1100 | 0100011 |
| 1101 | 1001011 |
| 1110 | 0001111 |
| 1111 | 0000000 |

根据真值表，分别画出a，b，c，d，e，f，g关于A3A2A1A0的卡诺图，再由卡诺图求出各输出表达式如下：

a=+++++

b= ++

c=

d=

e=

f=

g=

根据输出表达式画出逻辑电路图，如图2-6。

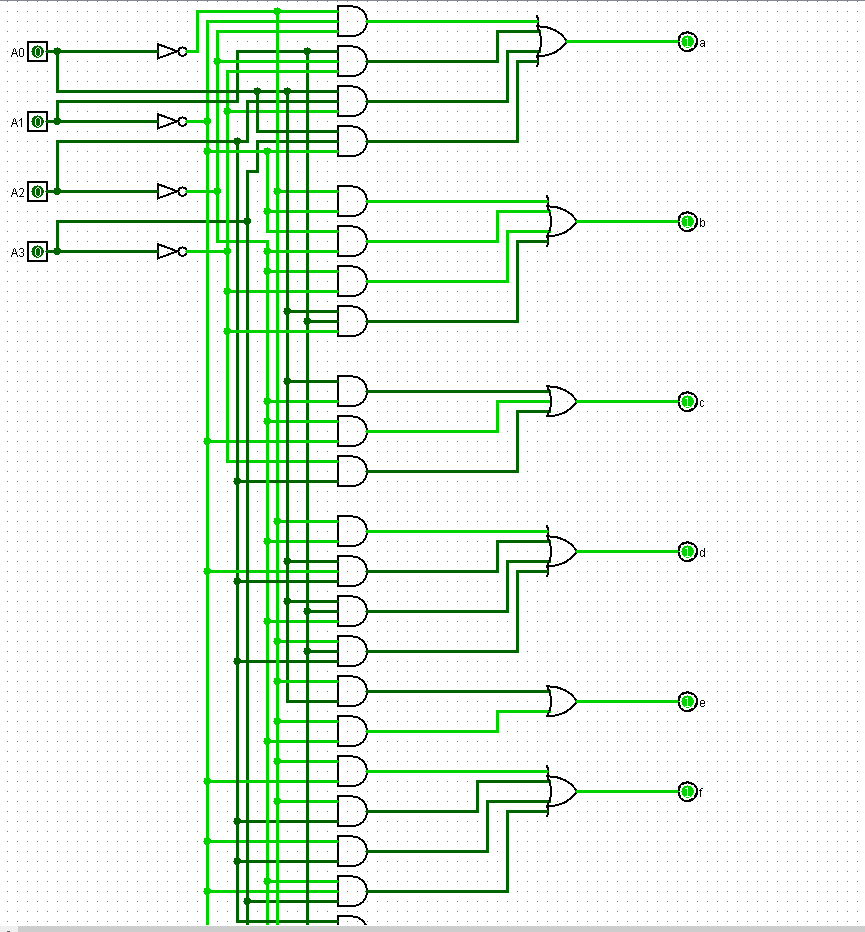


图2-6 7段译码器逻辑电路

**（B）7段数码显示管显示电路**

设计思路：将四位二进制数转8421码的十位输出和个位输出分别连接到两个7段译码器上，然后将7段译码器连接到数码显示管得到显示实验室人数的电路，电路的输入是二进制数表示的实验室人数

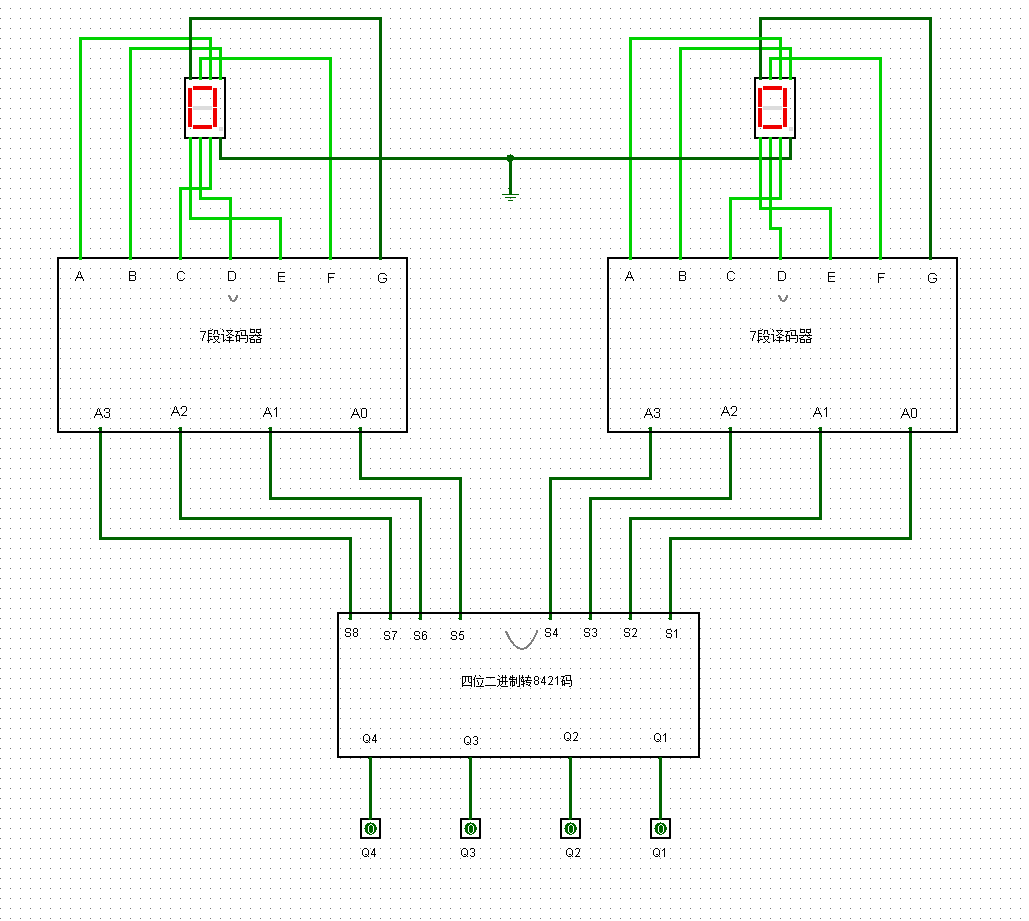


图2-7 7段译码器显示实验室人数电路

**（4）报警电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”元件和相应元器件。

当实验室满员时计数器输出均是高电平，将4个输出端与后得到满员状态的信号。当实验室无人时计数器的输出均是低电平，将4个输出端或后得到无人状态信号。利用A·0=0，A+0=A，设满员信号为M，无人信号为N，有：

M=SDSCSBSA

N=SD+SC+SB+SA

将U和与后接入芯片的CPU，则当未满员时，U的脉冲可传递到芯片的CPU，当满员时，U来脉冲时和0与，结果为0，脉冲未传递到芯片的CPU。

将D和与后接入芯片的CPD，则当有人时，U的脉冲可传递到芯片的CPD，当无人时，D来脉冲时和0与，结果为0，脉冲未传递到芯片的CPD。

据此写出CPU和CPD的表达式

CPU=U

CPD=D

当满员信号为1且U来了脉冲，进行报警，报警信号A的表达式为

A=UM

使用logism作图，结果如图2-8、2-所示

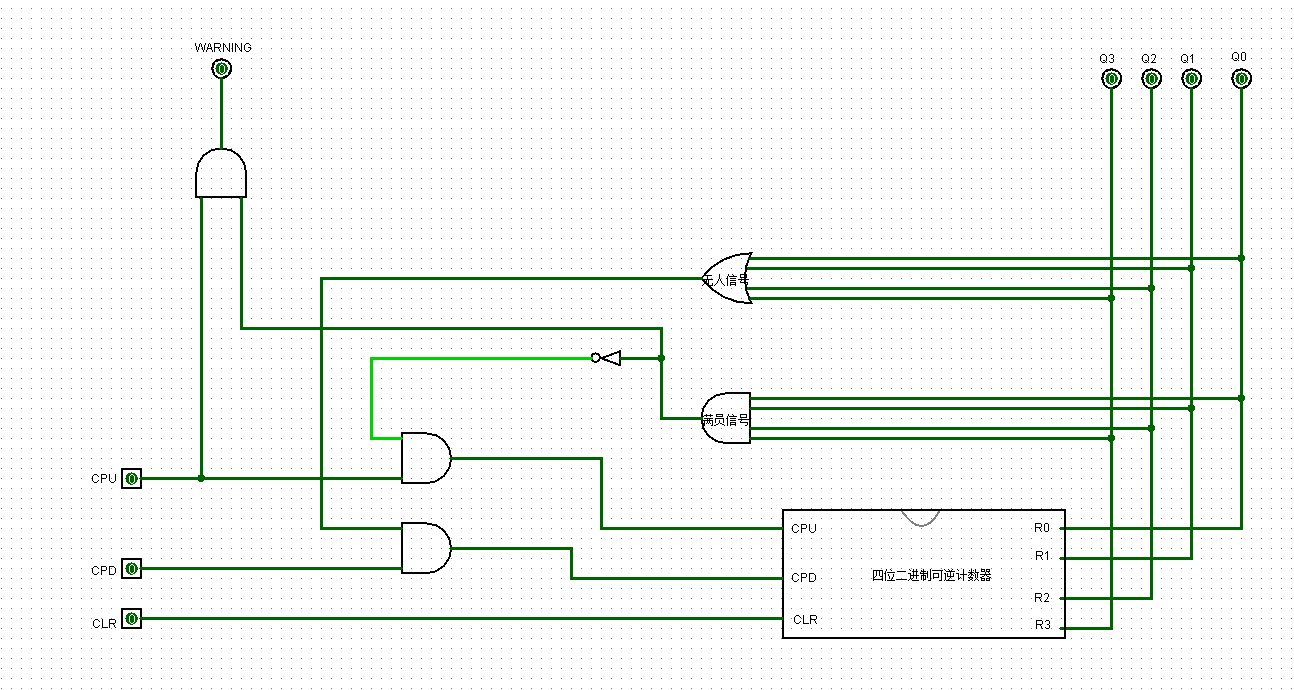


图2-8 报警电路

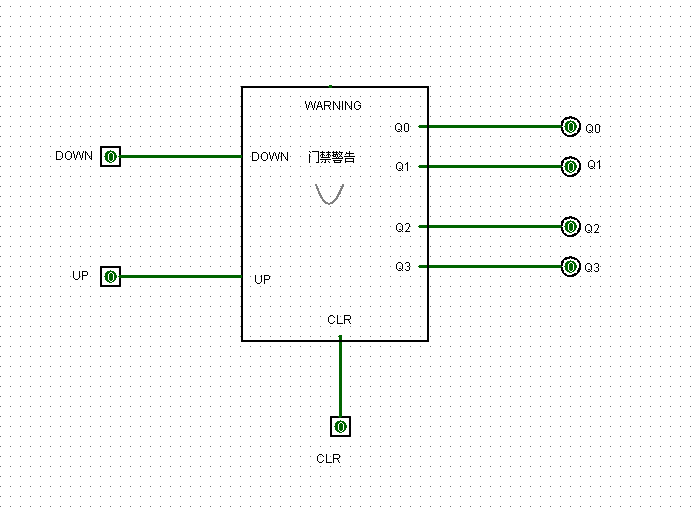


图2-9 报警电路封装

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并封装。

将报警系统四位二进制数转8421码的芯片，然后通过7段译码器连接数码管，得到电路如图2-10、2-11、2-12所示。

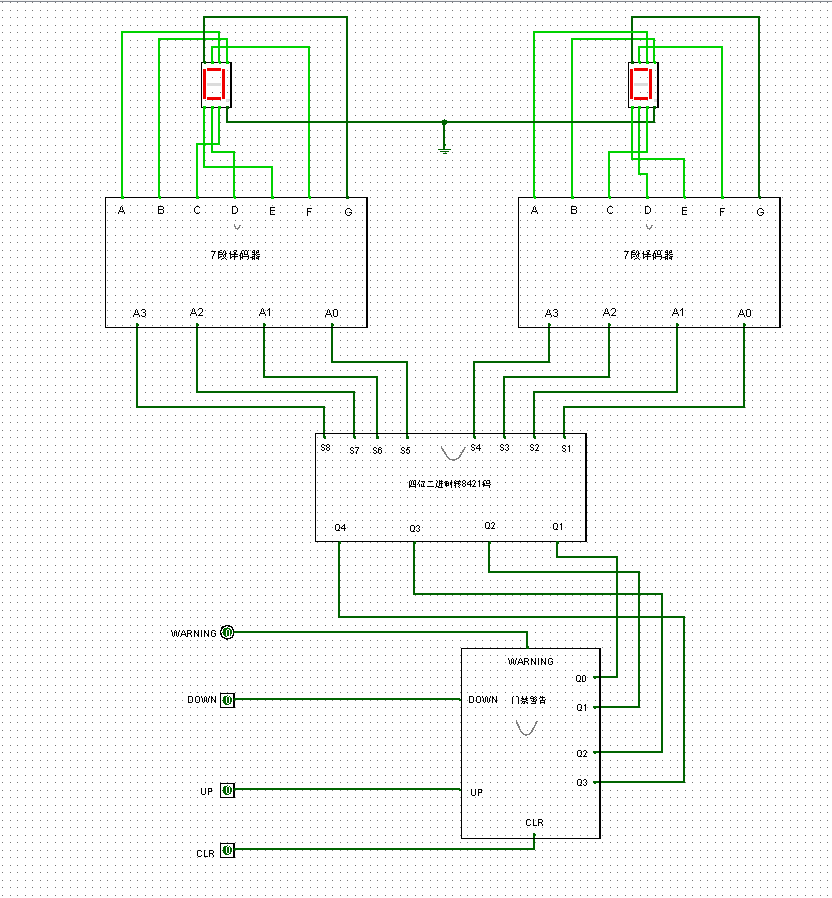


图2-10 实验室门禁电路

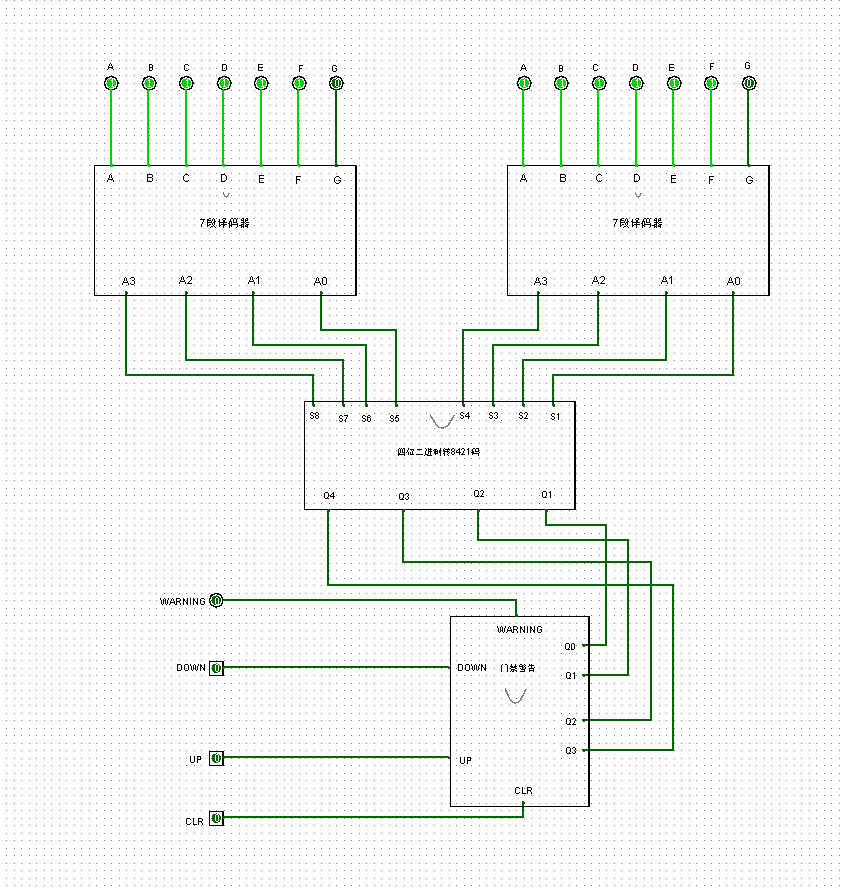


图2-11 实验室门禁电路

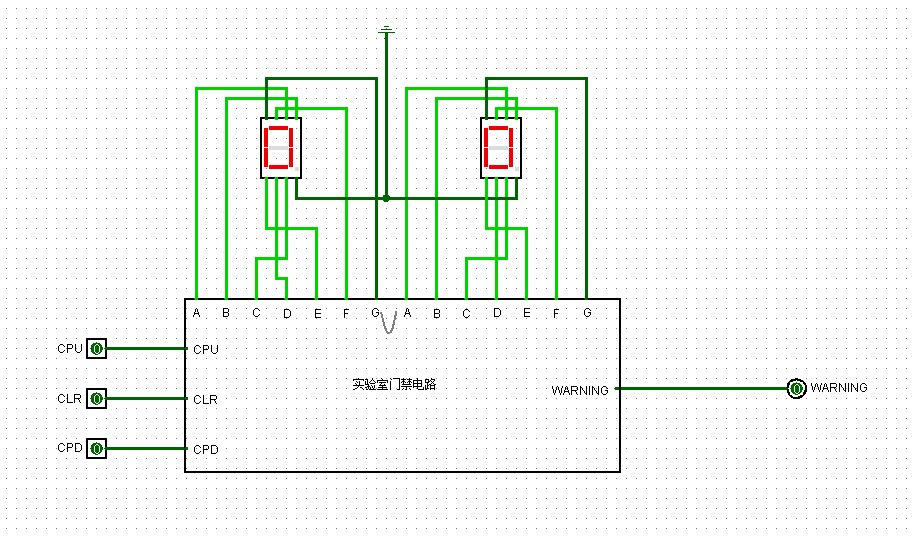


图2-12 实验室门禁电路封装

6、实验结果记录

**（1）“四位二进制可逆计数器”“私有”元件的测试电路**

将电路图2-3封装成图2-9，将输入设置为按钮，点击一次即可实现下降沿触发。

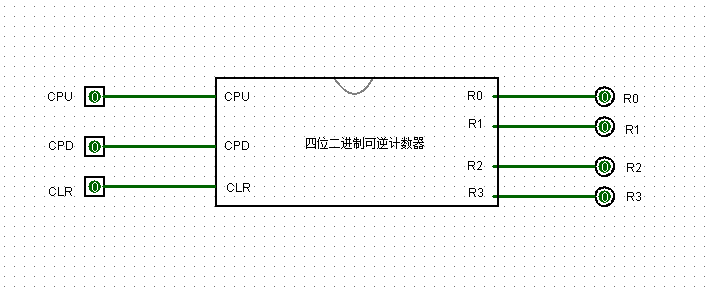


图2-13 四位二进制可逆计数器封装

给CPU一个脉冲，测试结果如图2-14所示 ：

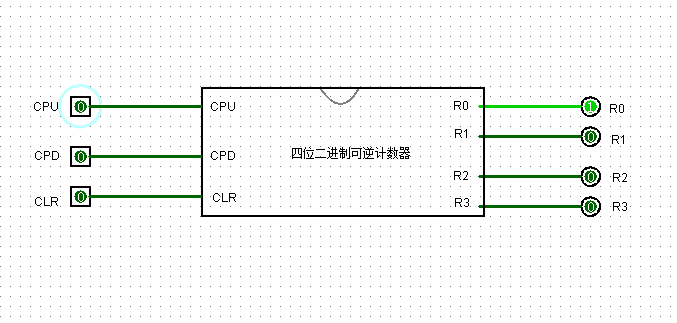


图2-14 初始状态下给CPU一个脉冲

在R0、R1、R2、R3初始值为0时，给CPD一个脉冲，测试结果如图2-15所示：

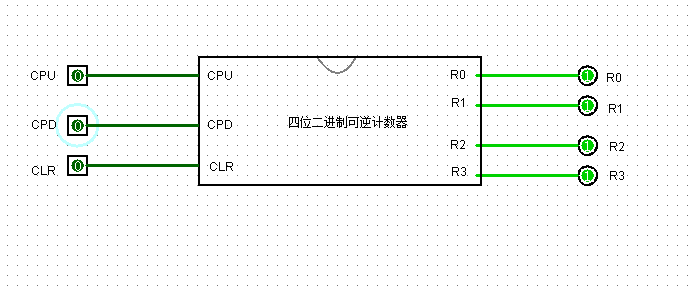


图2-15 初始情况下给CPD一个脉冲

经过上述测试，说明电路可实现四位二进制可逆计数的功能，并且具有较强的健壮性。

**（2）“实验室内人数转换成8421BCD码”“私有”元件的测试电路**

输入为1010时，测试结果如图2-16。

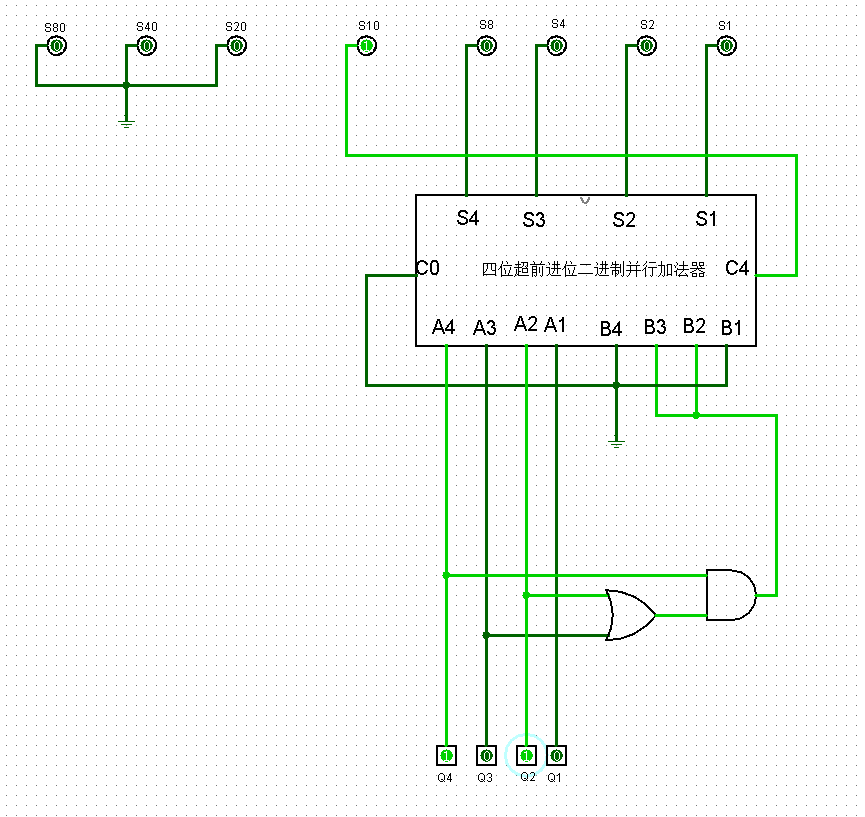


图2-16 输入为1010

输入0011时，测试结果如图2-17。

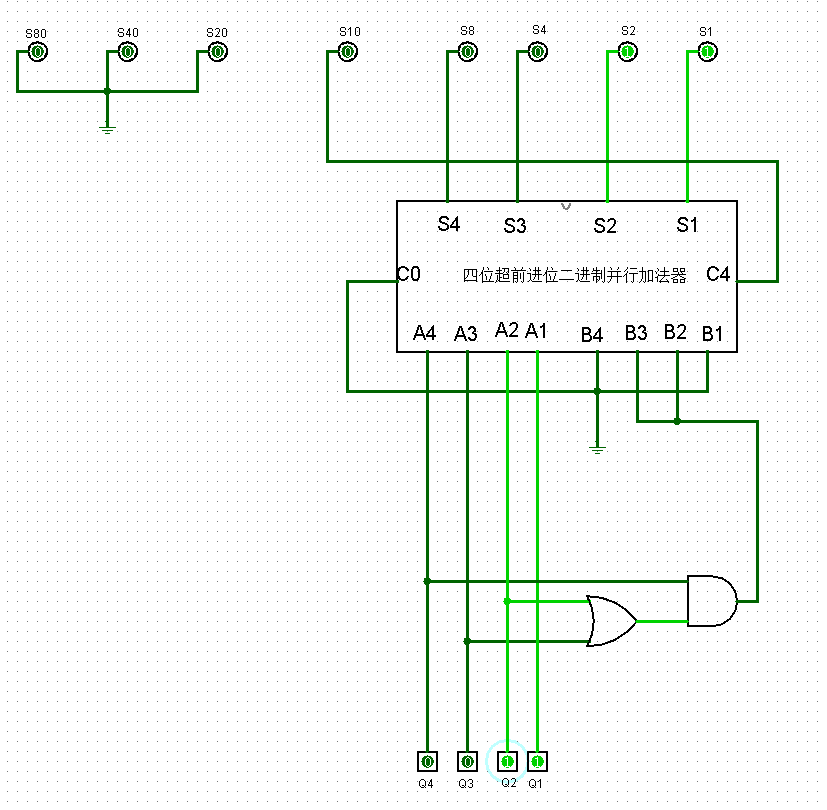


图2-17 输入0011

观察发现上述输出正确，电路功能实现成功。

**（3）采用“7段数码显示管”显示人数“私有”元件测试电路**

图2-18为显示人数为4时的“7段数码显示管”电路（已封装）。

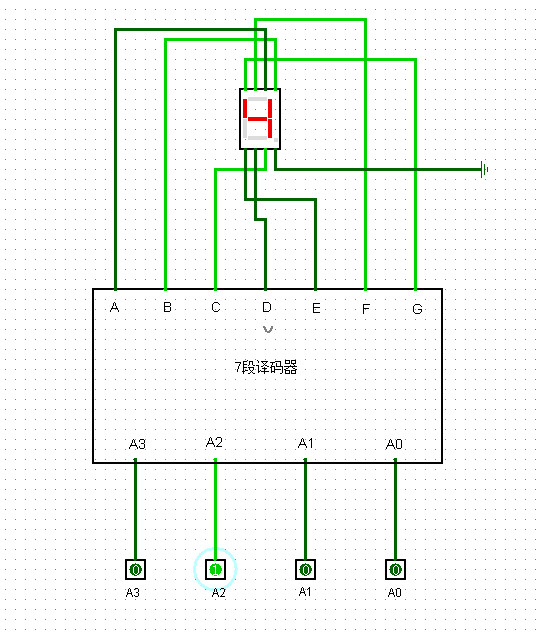


图2-18**人数显示（4）的电路**

图2-19为显示人数为8时的“7段数码显示管”电路。

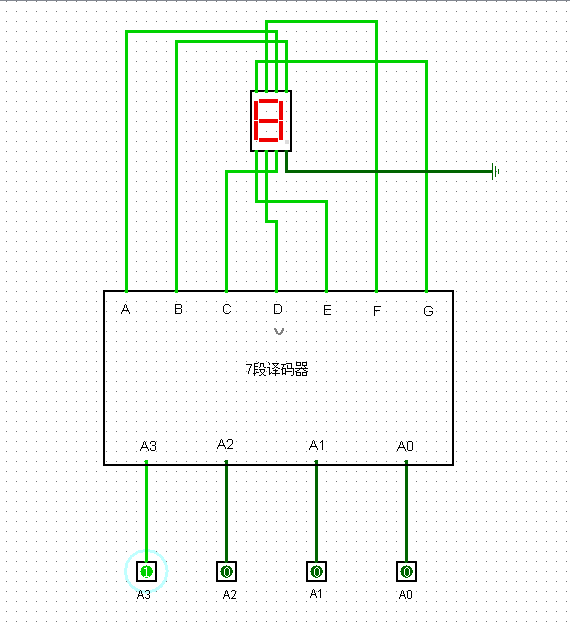


图2-19**人数显示（8）的电路**

其他输出结果也都一一进行了测试，7段数码管都能显示出正确的数字。

**（4）“系统报警提示满员”“私有”元件的测试电路**

图2-20为当实验室满员时，门禁不动作，系统报警提示满员的电路，此电路还未进行封装，也并未用led灯代替报警元件，当WARNING输出为1时代表led灯亮。

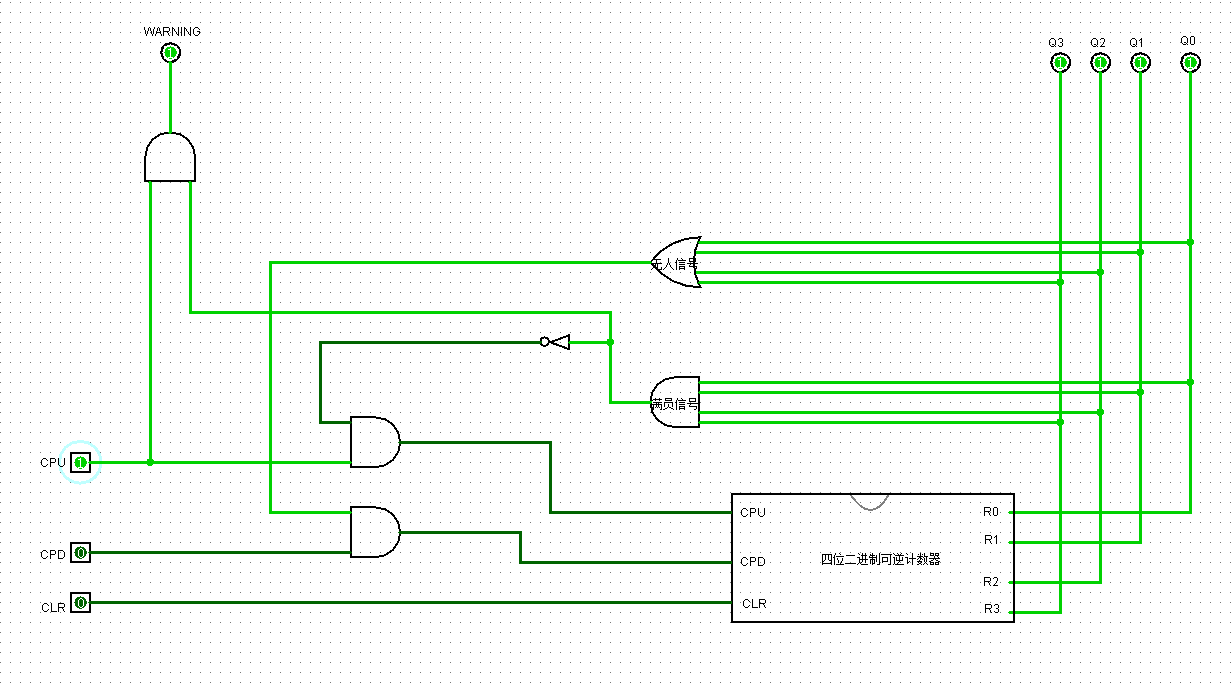


图2-20**系统报警电路（报警）**

图2-21为当实验室未满员时系统不报警提示满员的电路。

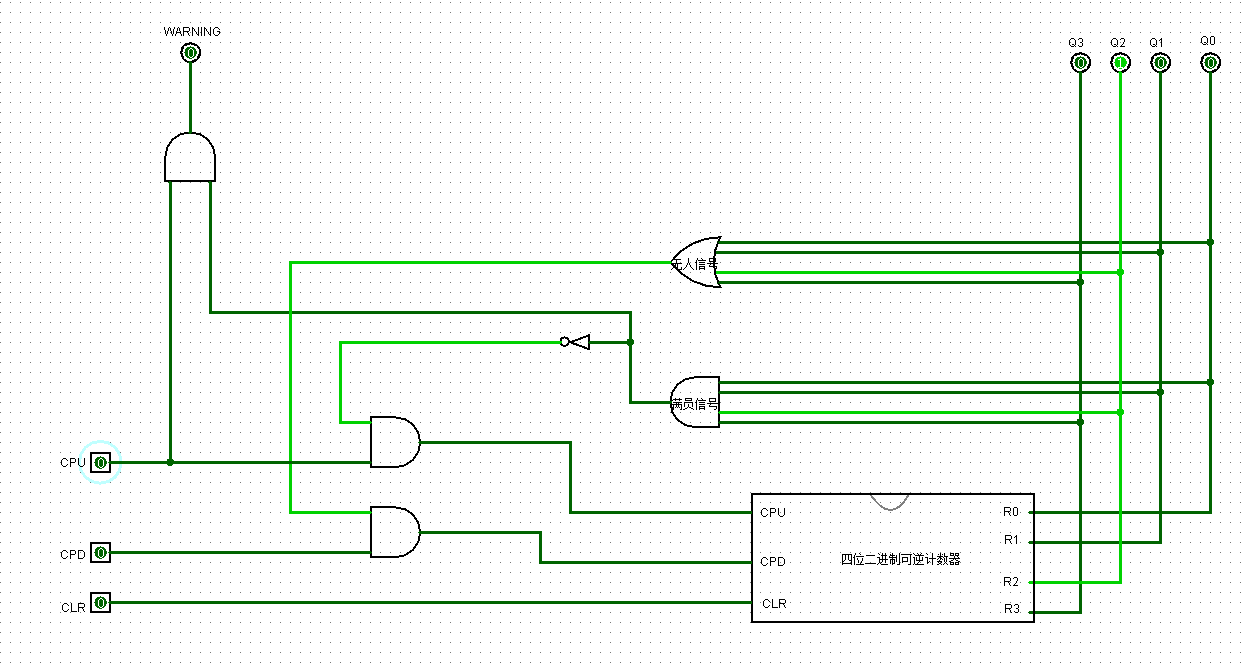


图2-21**系统报警电路（未报警）**

**（5）“小型实验室门禁系统”“私有”元件的测试电路**

图2-22为“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路（人未满未报警）。

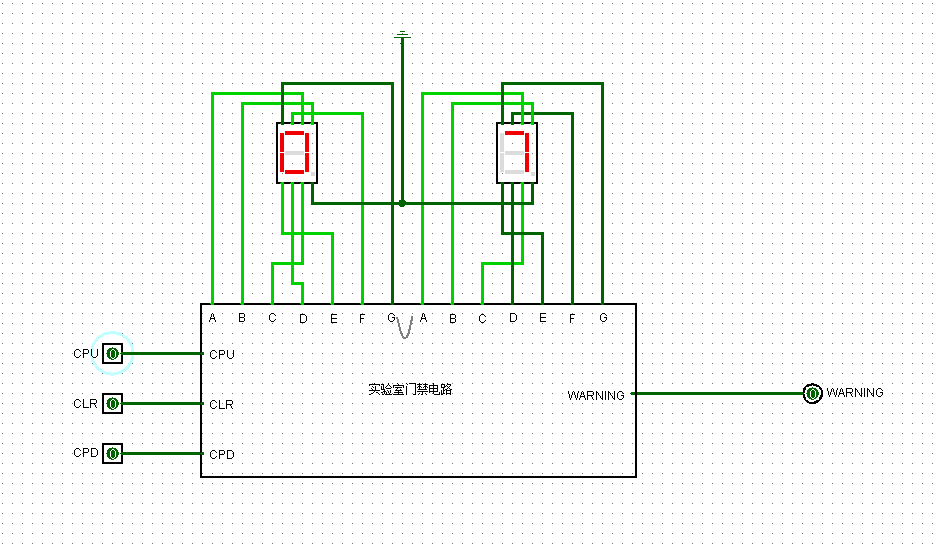


图2-22**实验室门禁系统电路（人未满）**

图2-23为“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路（人满报警）。

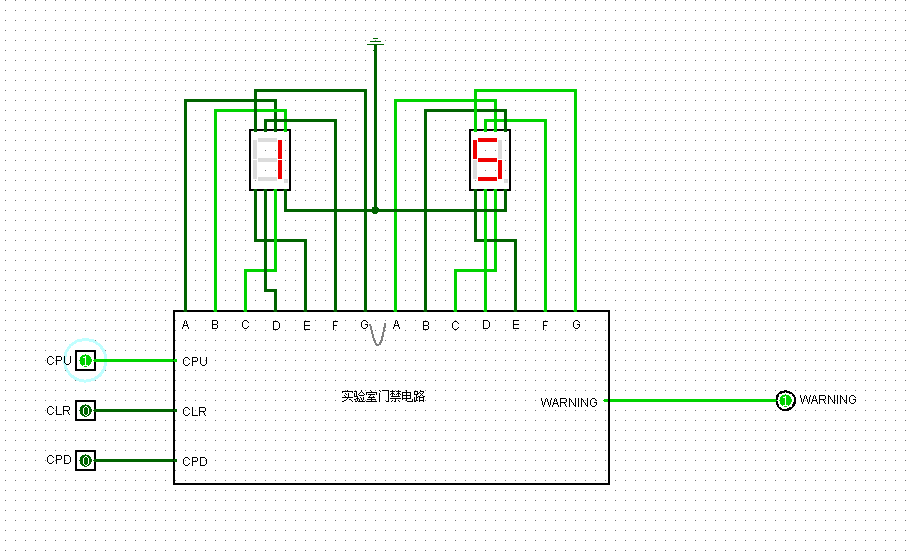


图2-23**实验室门禁系统电路（人满报警）**

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

本次实验共两个部分，在第一个部分《系列二进制加法器》中，由于刚开始接触到logism软件，所以在绘制逻辑电路图的时候出现了很多错误，比如没有标注名称、不知道怎么缩放界面大小、标注之后的文字不够整齐、输入输出的接口方向。第二部分《小型实验室门禁系统电路》更加困难，尤其是在绘制次态真值表的过程中，行数较多，很容易出错；还有就是在使用logism软件的过程中，不时的会出现一些状况，比如原本正确的逻辑电路图，再次打开就全部红了，心态很容易崩。对于复杂电路图的设计，思路有些阻塞，只能够通过真值表和卡诺图求出输出和激励表达式，然后在根据表达式进行逻辑电路的的设计，但是在多输出情况下，这样可能会导致电路图比较复杂。

**（2）你是如何解决的？**

对于第一个部分的问题，由于该部分内容并不困难，解决的方法也比较简单，那就是多练习，问问同学。目前对于logism这个软件的熟练程度还可以。

对于第二部分的问题，我多次问同学，和同学们讨论，得出一个正确可行的解决方法。同时自己多看课本和PPT，巩固基础知识，加深对数字电路的理解。

**（3）意见和建议**

软件看似很好上手，但是实际操作起来有很多坑。

门禁系统电路封装的形式表述不明确，结果自己封装了几种不同的形式。