

# **数字逻辑实验报告（3**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验3** | | |
| **多功能电子钟系统设计** | **成绩** |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 王明明**

**学 号： U201714726**

**班 级： CS1705**

**指 导 教 师： 何云峰**

**计算机科学与技术学院**

**2019 年 5 月 28 日**



**数字逻辑实验报告**

多功能电子钟系统设计实验报告

1、实验名称

多功能电子钟系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准,分钟值校准时不影响小时值；

（5）闹钟,到设定时间提醒10秒。

**使用logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下。**

（采用logisim软件提供的“时钟频率”为8hz的信号源。）

**（1）具有校准计数值的六十进制计数器电路**

采用实验1所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并封装，该计数器封装图如图 1所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 3-1 调整计数值的60进制计数器

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间,递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj**=0，通过输入脉冲**CPU**计数器累加计数，每当累计满60产生一个进位输出信号；
5. **Clr**为1时，计数器清零；
6. 计数器的输出为两位8421码。

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并封装，该计数器封装图如图 2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 3-2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. **Clr**为1时，计数器清零；
6. 当**Set=0**，12小时计时，每当累计满12产生一个进位输出信号；当**Set=1**时，24小时计时，每当累计满24产生一个进位输出信号；
7. 计数器的输出为两位8421码。

**（3）显示“上午”、“下午”的电路**

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示参考图 3所示。封装图如图 4所示，测试店里如图 5所示。

** **

图 3-3 led点阵显示器

图 3-4 led点阵封装图 图 3-5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5led（4列⨯5行）显示器；
3. **AM/FM=0**，显示“上”； **AM/FM=1**，显示“下”；
4. **TT=0**时，24小时计时；**TT=1**时，12小时计时；
5. 24小时计时时，显示屏全灭；12小时计时时，根据具体时间显示“上”或“下”；
6. 封装时LED显示屏不封装在内。

**（4）电子钟整点报时电路**

设计一个10秒的整点报时电路，并封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用发光二极管的闪烁来表示），报时10秒结束。

**（5）秒计时脉冲产生电路**

按要求以logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号参见图 6所示，它成为秒计数器的计数脉冲信号。

**8hz 秒计时脉冲产生电路 1hz**

图 3-6 秒计时脉冲产生电路

**（6）闹钟（选做）**

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示。

**（7）多功能数字钟电路**

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 7所示。测试图如图 8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6位8421码、“闹钟”和“整点”输出信号以及控制“上下午”显示的信号；
2. “**Set**”为“时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；
3. “**CPU**、**CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号；
7. “8hz信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为六个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；



图 3-7电子钟的“输入、输出检查要求”



图 3-8电子钟的测试电路

5、实验方案设计

**（1）具有校准计数值的六十进制计数器电路**

首先对并行四位二进制可逆计数器进行修改，增加置9功能，当各位由0减去1时，则给置9功能一个脉冲，同时给十位的CPD一个脉冲；当由9加一时，给个位清零端一个脉冲，同时给十位CPU一个脉冲；当十位由5再加一时，给十位计数器的清零端一个脉冲。

含置9端的并行四位二进制可逆计数器电路图如图3-9

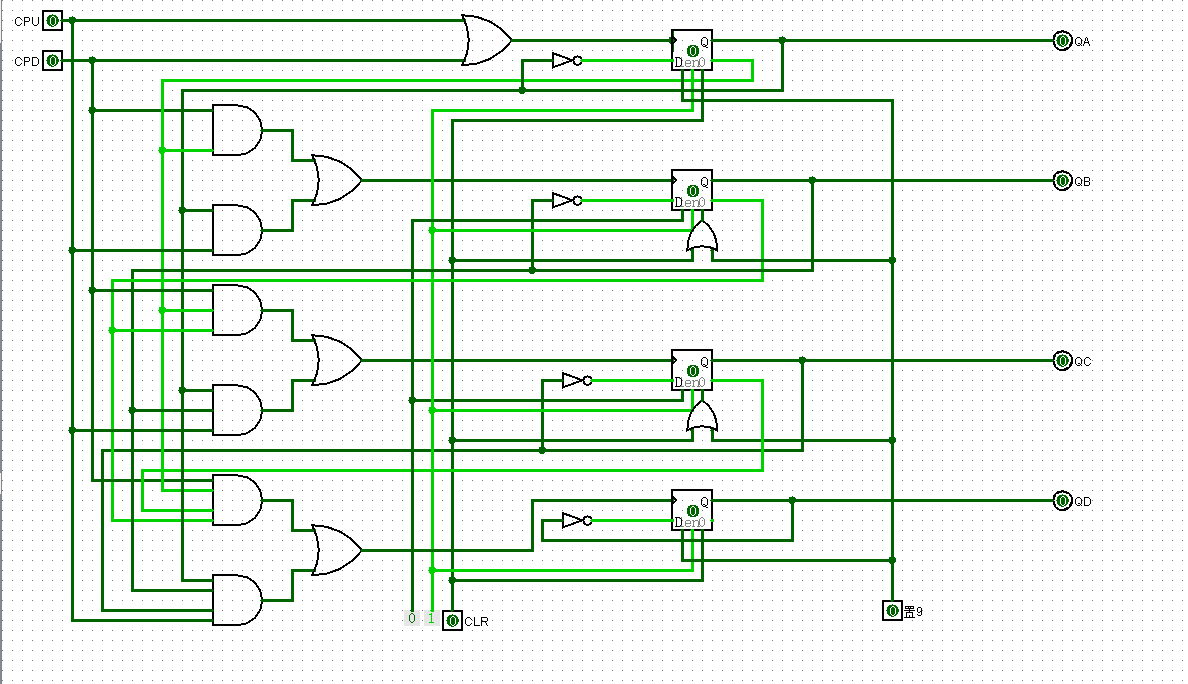


图3-9 含有置9功能计数器电路图

具有校准计数值的六十进制计数器电路如图3-10

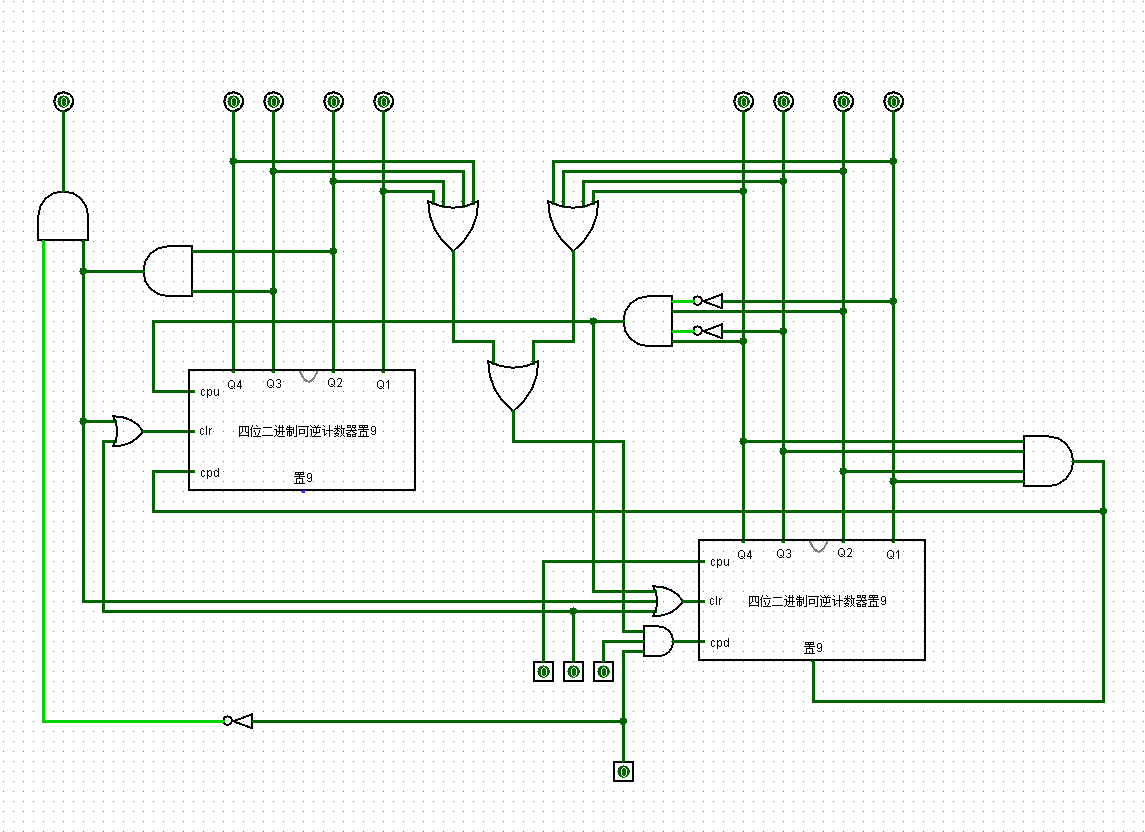


图3-10 具有校准功能的六十进制计数器

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

与上述的具有校准计数值的六十进制计数器类似，不同的是如果是12进制，当十位为1且个位也为1时，加1结果为12，此时应给两个计数器清零一个脉冲，同时产生进位输出。电路图如图3-11所示：

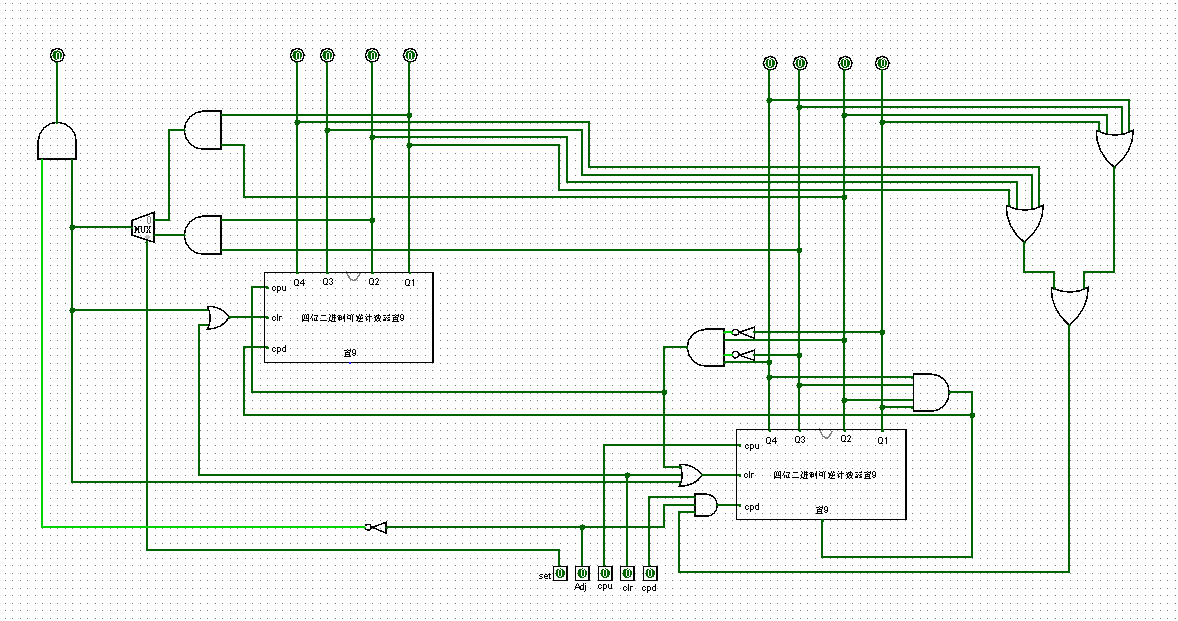


图3-11 具有校准计数值的十二进制计数器或二十四进制的计数器电路

**（3）显示“上午”、“下午”的电路**

当TT=0时，24小时计时；TT=1时，12小时计时；当TT等于0，输入定值0；TT为1，则根据上下午显示控制信号AM/FM选择，如图3-12所示：

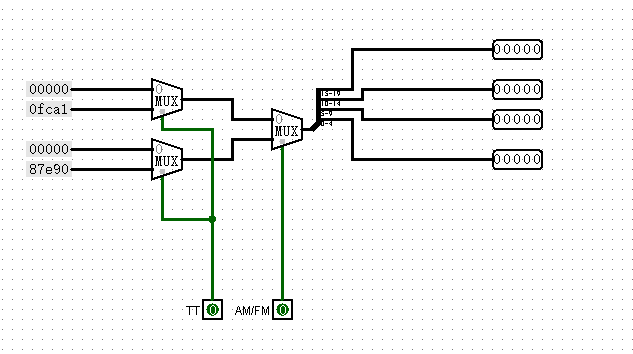


图3-12 显示上午下午电路

**（4）整点报时电路**

首先明确报时的条件，即时、分、秒的数值为何值时会报时；将条件抽象出来，列成表达式，观察时分秒在报时时的特点，利用秒钟个位的变化来让指示灯闪烁。如图3-13所示：

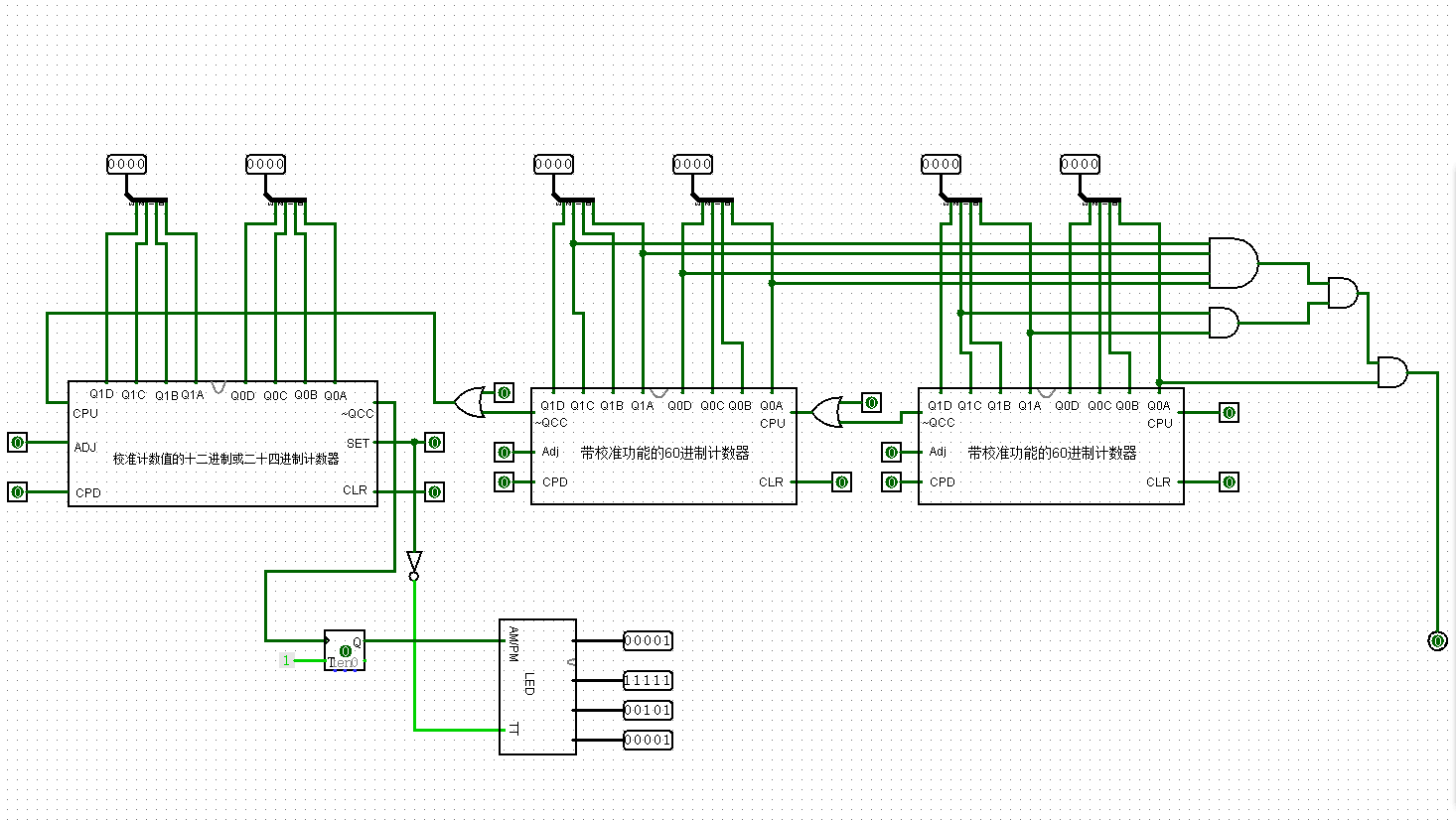


图3-13 整点报时电路

**（5）秒计时脉冲产生电路**

8Hz转1Hz即为模8计数器，输出为进位输出，当输入8个脉冲时，产生进位输出；电路图如图3-14所示：

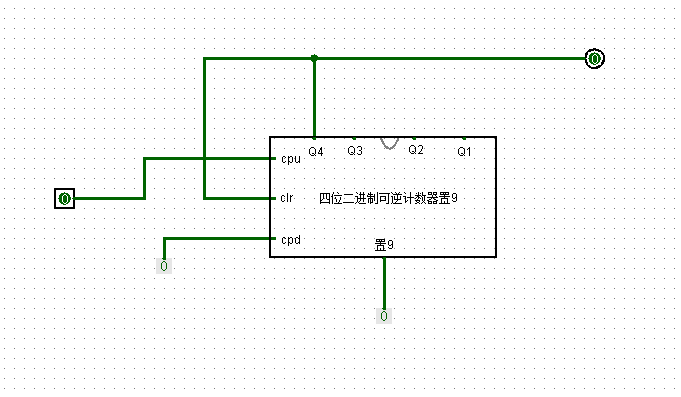


图3-14 秒计时脉冲产生电路

**（6）电子钟设定时间的提醒电路（闹钟）**

**（7）多功能电子钟电路**

多功能电子钟电路需要前面设计的模块进行拼接，按照逻辑关系连接，同时将Adj0，Adj1按照功能跟相应的计数器输入端或门进行连接。电路图如图3-15所示：

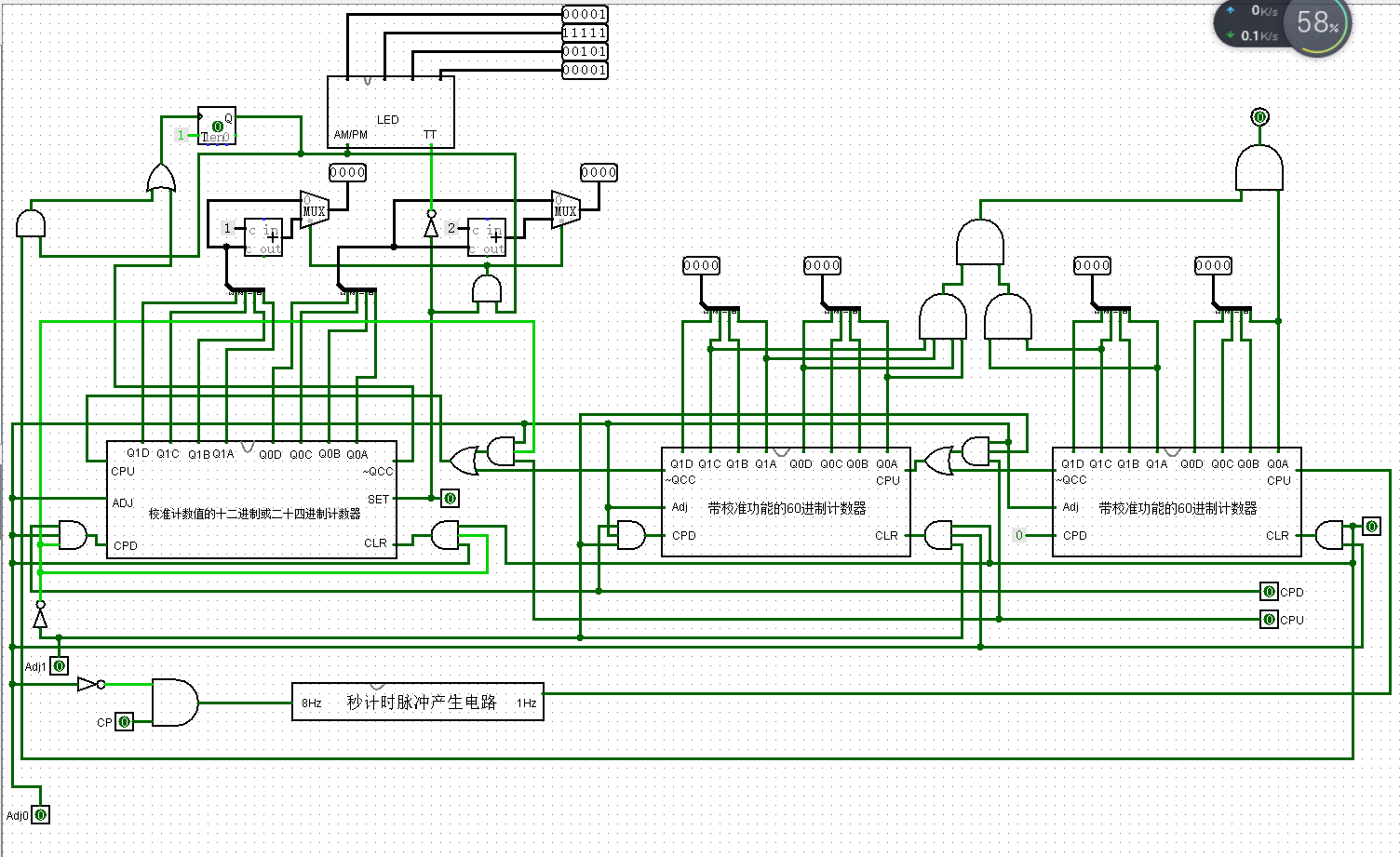


图3-15 多功能电子钟电路

6、实验结果记录

**（1）“具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

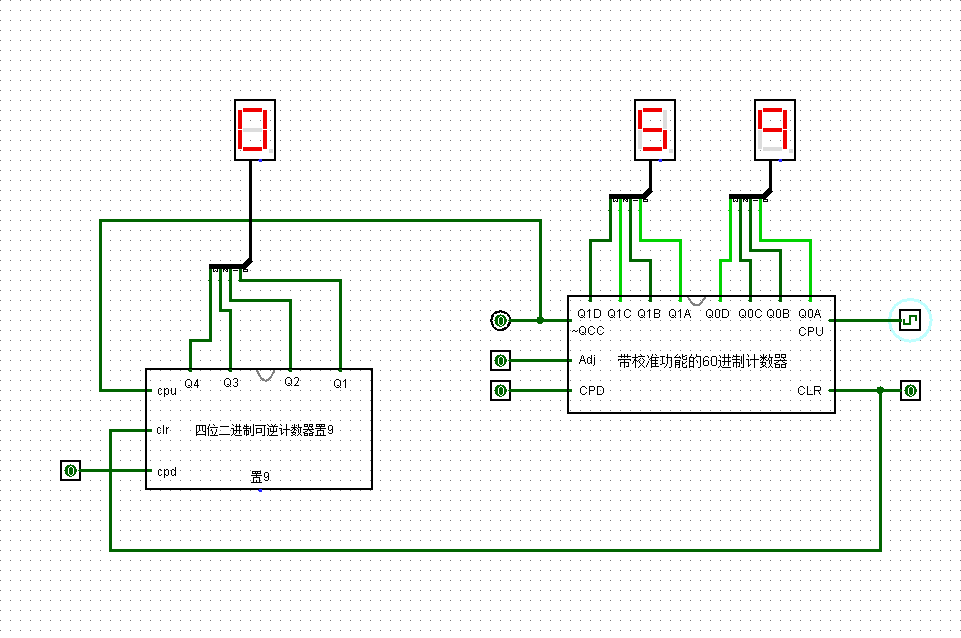


图3-16（a） 具有校准计数值的六十进制可逆计数器测试

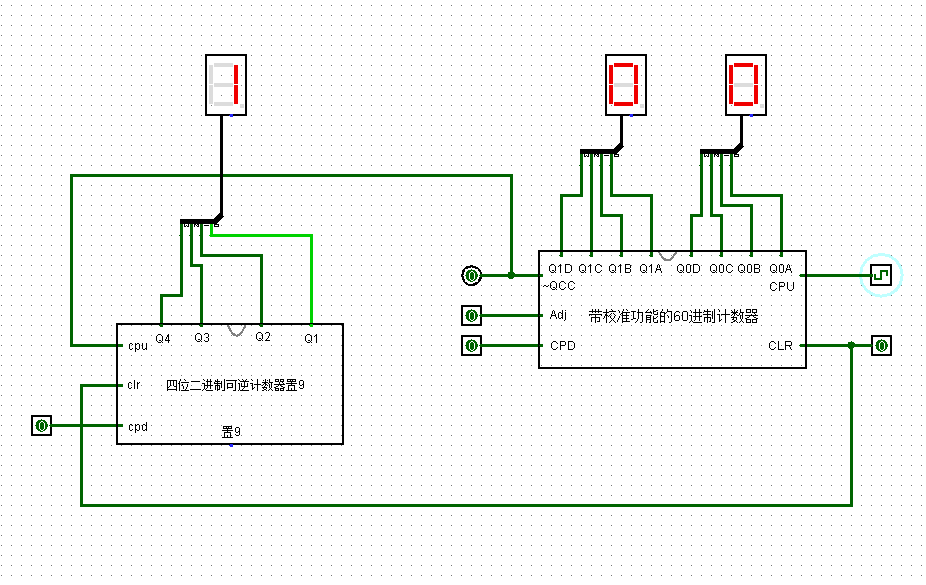


图3-16（b） 具有校准计数值的六十进制可逆计数器测试

**（2）“具有校准计数值的十二进制计数器或二十四进制的计数器” “私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

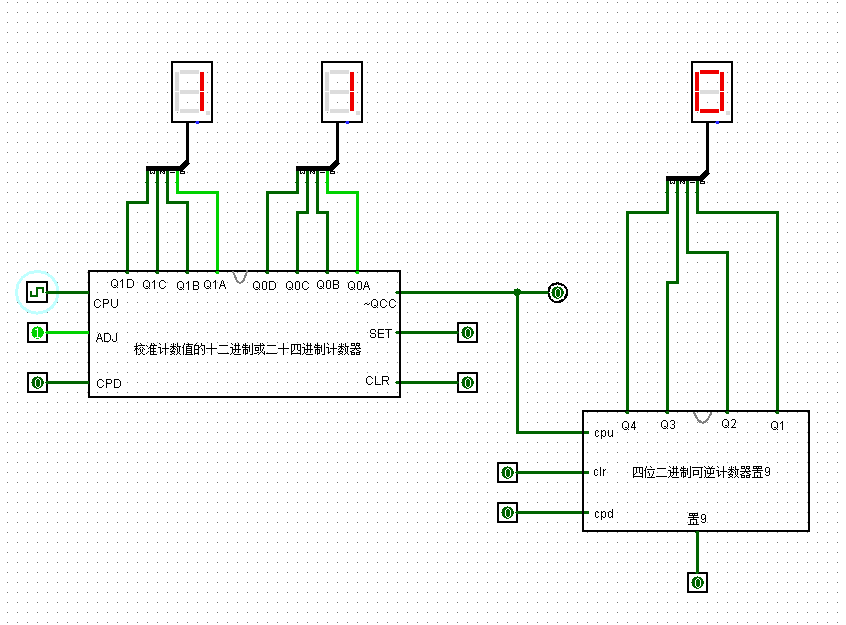
****

图3-17(a) 具有校准计数值的十二进制计数器或二十四进制的计数器测试

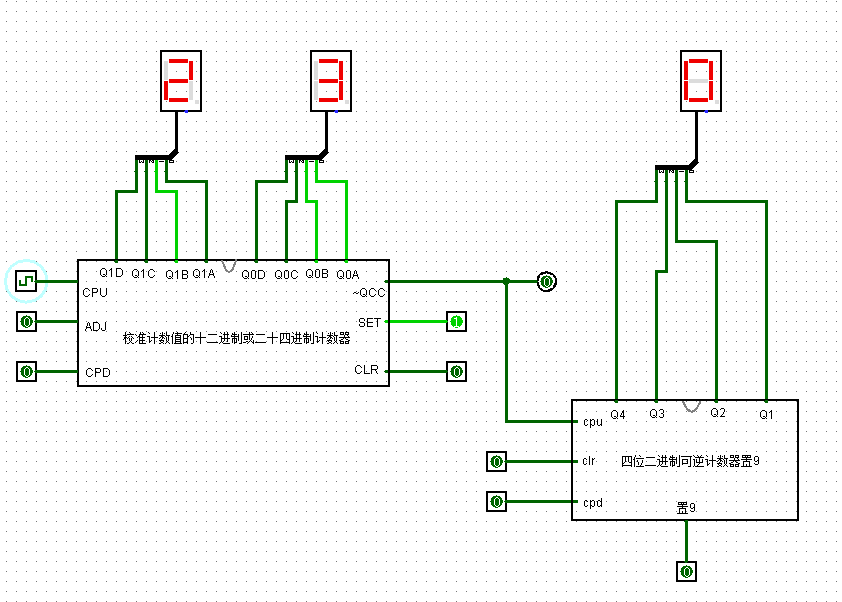
****

图3-17(b) 具有校准计数值的十二进制计数器或二十四进制的计数器测试

**（3）显示“上午”、“下午”“私有”元件的测试电路**

**要求：封装后外接4\*5Led显示器。**

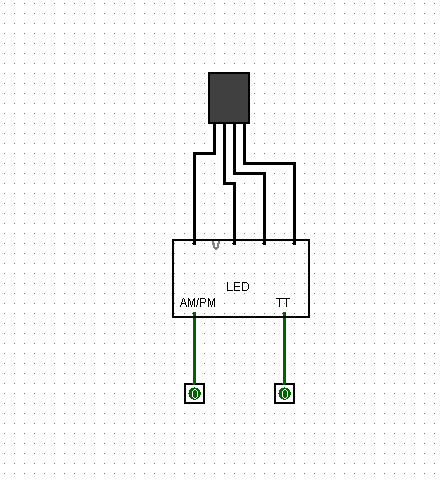


图3-18(a) 显示上午下午测试电路

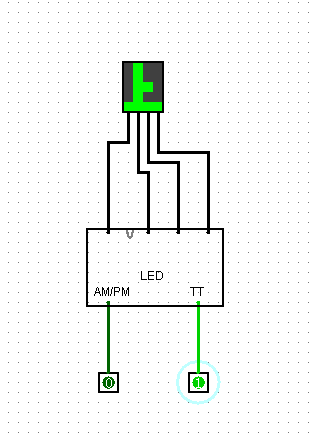


图3-18(b) 显示上午下午测试电路

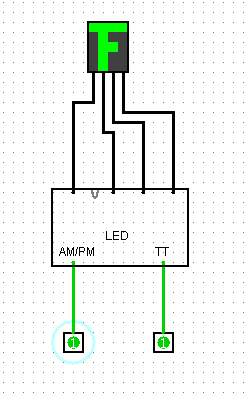


图3-18(c) 显示上午下午测试电路

**（4）电子钟整点报时“私有”元件的测试电路**

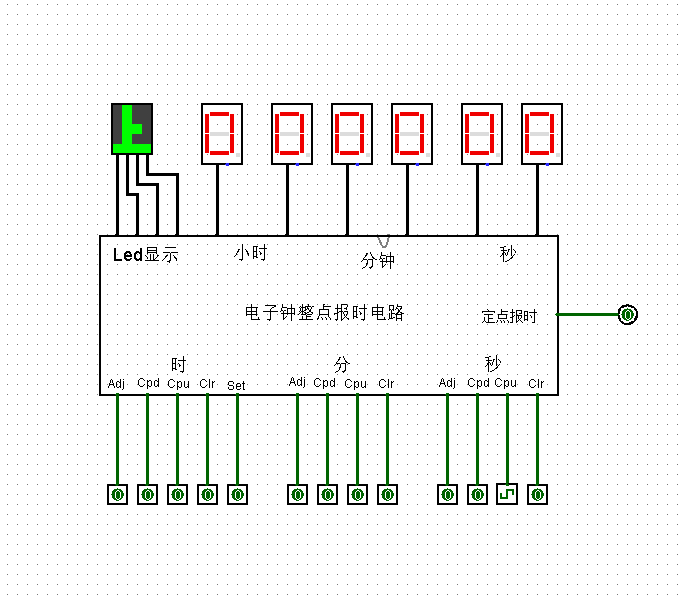


图3-19 电子钟整点报时电路测试

**（5）电子钟设定时间提醒（闹钟）“私有”元件的测试电路**

**（6）多功能数字钟电路的测试电路**

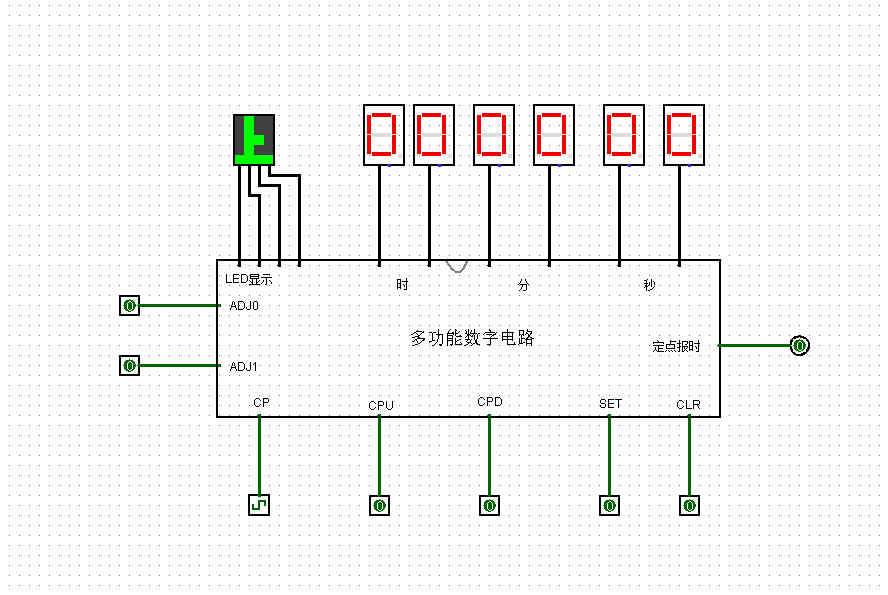


图3-20(a) 多功能数字钟电路的测试电路

12小时制上午1：59：10

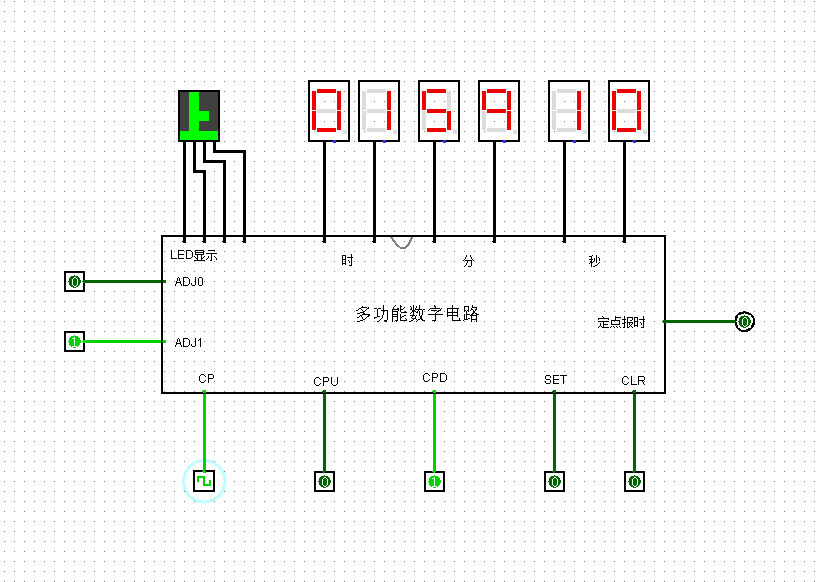


图3-20(b) 多功能数字钟电路的测试电路

24小时制14:55:27

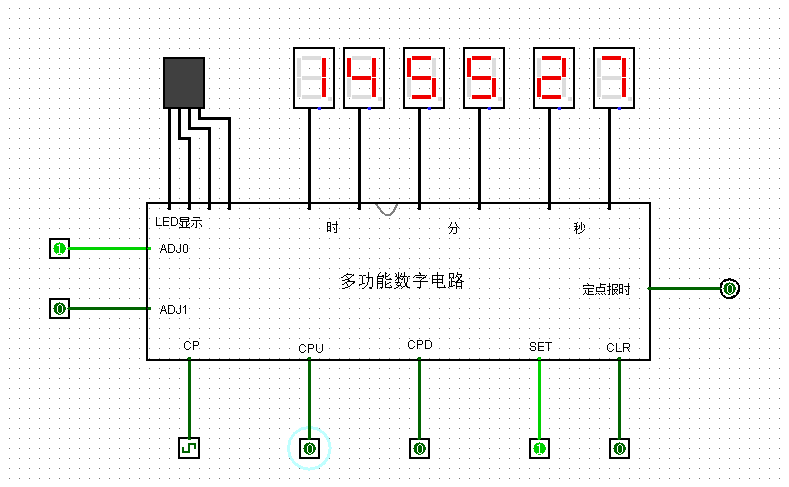


图3-20(c) 多功能数字钟电路的测试电路

12进制下，12点过六分截图：

![D:\QQfile\MobileFile\Image\{{2UO$TWXDT3~6F5D0K3](A.png](data:image/png;base64,)

图3-20(d) 多功能数字钟电路的测试电路

Clr之后，下午变为上午，时钟清零：

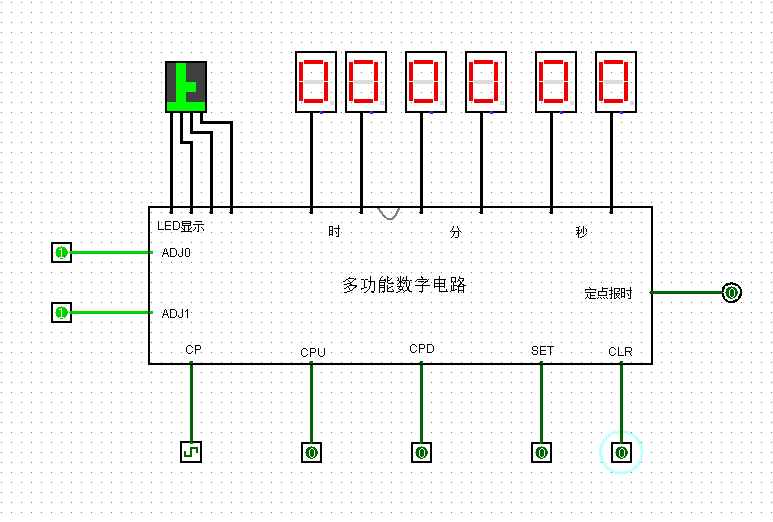


图3-20(e) 多功能数字钟电路的测试电路

7、实验后的思考

**（1）实验的难点在哪些方面？**

在具有校准功能的六十进制计数器中，用到了含有置9功能的四位二进制可逆计数器，在对之前的四位二进制可逆计数器进行修改时，也就是设计置9功能时，发生了错误：进行计数时不能置9，但十位依然会进位，问题发生在个位。

**（2）你是如何解决的？**

在仔细查找之后，发现错误源自四位二进制可逆计数器。错误的原因类似于线与，使用的D触发器的清空端使用了或门之后问题得到解决。