Verilog 乘法器的设计及仿真注意事项

TZHUANG 2021-03-06 FPGA 0 COMMENTS

乘法器在数学运算中应用及其广泛，在当代的计算机系统，数字信号处理系统等都是必备处理部件。因此本节内容介绍二进制乘法器的原理及设计实现。

1.一位乘法器设计

一位乘法器P=a * b; a,b都是1 bit 变量，P是1 bit的运算结果。真值表如表1：

表1:

输入变量		积
a	b	P
0	0	0
0	1	0
1	0	0
1	1	1

一位乘法器的逻辑表达式为： P = ab; 或写为P = a & b;

其他操作

管理站点

注销

Search ...

本分类下文章

存储器基本知识简介

Verilog 顺序语句

高速串行通信帧结构设计初步

在设备树中使用注释和宏定义

Verilog标识符与关键字

8b/10b 编码VHDL语言实现

示波器使用实例

HDMI FPGA 工程设计3（rom， I2C 控制）

Verilog语法练习（4）组合逻辑，避

从表达式的可以看出一位乘法器非常简单，其实就是两个变量相与。那么多位乘法器的结果又如何呢?

2.多位乘法器设计

- **多位乘一位的乘法器**

多位乘以一位的乘法器也很简单，只要被乘数的各个位与乘数相"与"，然后拼接起来就可以得到乘法结果。

例如4 * 1的乘法器，P = abcd * m = {a & m, b & m, c & m, d & m};

注意这里的花括号{}是Verilog语法中的位拼接运算符。

- **多位乘以多位的乘法器**

多位乘以多位的乘法器中，由于乘数的不同位的权值不同，因此是带权值的一位乘多位的相乘相加过程。

以4 * 4的乘法器为例介绍运算过程。P = abcd * efgh.

$P = abcd \times h \times 2^0 + abcd \times g \times 2^1 + abcd \times f \times 2^2 + abcd \times e \times 2^3$

注：x 表示乘法

由于任何数乘以2的幂相当于该数左移 幂的值，因此上式又可以改写如下：

P = {abcd x h } + {abcd x g, 1'b0} + {abcd x f, 2'b00} +{ abcd x e, 3'b000}; 展开后的结果如下，

P={a &h, b & h, c & h, d & h}+{a & g, b & g, c & g, d & g, 1'b0}+{a & f, b & f, c & f, d & f, 2'b00}+{a & e, b & e, c & e, d & e, 3'b000};
(1)

式(1)用竖式表达如下：

免latch产生

System Verilog 类的定义与使用（一）

Quartus ROM IP 核仿真注意事项

Verilog 文件操作-$fopen，$fclose

一位全加器实验及开发板硬件相关部分介绍–FII-PRA006/010

Intel主流FPGA简介（一）

Verilog 全加（减）器及累加器设计

高速通信乒乓Buffer数据缓冲Verilog实现–发送端

VHDL状态机概述

自建同步时钟，数据等宽FIFO IP 方法

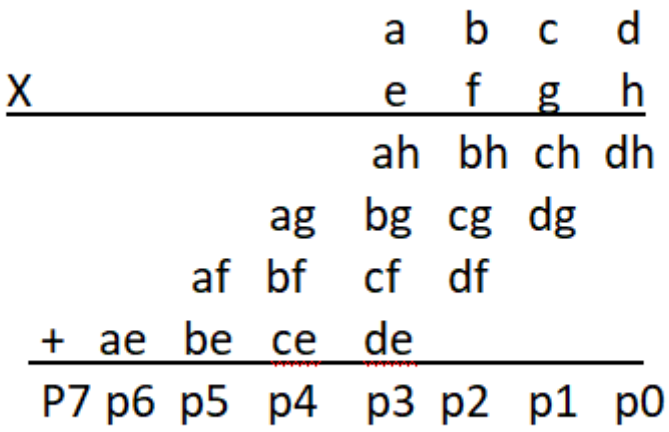
uart通信tx模块在FPGA实现的一种Verilog状态机写法（一）

VHDL实体与端口

Verilog 语法练习（6）触发器模型

Xilinx 7系列FPGA Block RAM概述

数码管原理与显示译码



竖式中在相加的过程中要考虑每次相加产生的进位问题。

在Verilog的语法中参加运算的变量会自动找出位宽最宽的变量，按照该变量的位宽对参与运算的变量进行左扩展（在左边补相应位数的0），而且进位位运算自动实现。

例1： 用Verilog HDL 描述4 * 4的乘法器

实体描述

```
1.  module mul4x4
2.  (
3.      input [3:0]  a,
4.      input [3:0]  b,
5.      output [7:0] P
6.  );
7.
8.  assign P = ({a & {4{b[3]}}, 3'b0}) + ({a & {4{b[2]}}, 2'b0}) + ({3'b0,a & {4{b[1]}}, 1'b0}) + (a & {4{b[0]}}) ;
9.
10. endmodule
```

上式中，乘积项({a & {4{b[2]}}, 2’b0})与 (a & {4{b[0]}})虽然位数不足8位，但由于表达式的运算结果在参与下一级运算时会自动位扩展（左扩展），因此左边扩展的0可以省略，但右边需要补的零不能省略，如：

Nand FLASH ECC 算法资料

曼彻斯特编码介绍

7 Series GTP Transceiver

Verilog case语句

I2C接口基础知识一

以太网PHY 之 MDIO接口及应用 (Verilog IP)

UART 综合应用-协议与数据包-视频1

近期文章

Sytem Verilog 教学 (视频)

System Verilog 教材

系统验证基础–OVM与UVM

第六节 三极管的特性曲线及参数

第五节 三极管电流分配关系及电流放大系数

第四节 半导体三极管的原理

无线多径衰落系数的统计特性

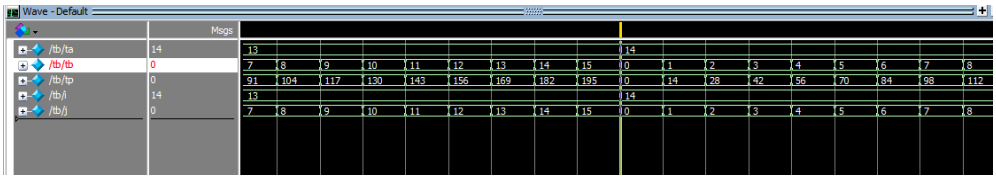
无线信号多径衰落

式({a & {4{b[3]}}, **3'b0**})，式({a & {4{b[2]}}, 2'b0}) 及 ({3'b0,a & {4{b[1]}}, 1'b0})右边的零表示移位，因此不能省略。

仿真程序tb.v

```
1.  module tb( );
2.
3.  reg [3:0] ta, tb;
4.
5.  wire [7:0] tp;
6.
7.  integer i, j;
8.
9.  initial
10. begin
11.     ta = 0;
12.     tb = 0;
13.     i = 0;
14.     j = 0;
15.     #10
16.
17.     for(i = 0; i < 16; i = i + 1) begin
18.         for(j = 0; j < 16; j = j + 1)
19.             #10  tb = tb + 1;
20.         ta = ta + 1;
21.     end
22. end
23.
24. mul4x4  mul4x4_inst
25. (
26.     .a (ta),
27.     .b (tb),
28.     .P (tp)
29. );
30.
31. endmodule
```

Modelsim的仿真结果如图1：



无线信号建模–多径效应

第三节 半导体二极管

分类

选择分类

本周热门文章

Verilog语言编程与FPGA应用教材

RISC-V 教学教案

芯片天地-教材与教案（文章）

芯片天地-网络视频学院（视频）

RISC-V CSR寄存器（1）CSR简介和CSR指令

Python 查找list平均值

FPGA与Verilog 教学视频

Verilog 文件操作-$fdisplay，$fwrite，$fstrobe，$fmonitor

互联网网线及接口的基本知识

Verilog 中not ~ ！的区别

数字集成电路

图1

- 注意事项：
  - 在上面的描述中混合使用的Verilog的”与”运算符&（如：a&b）和数字电路的”与”（如：ab），请根据上下文的内容加以区别。
  - 在做加法运算中混合使用了多项加法，位扩展等运算符，并使用了赋值语句，因此在此处一定要注意：加法之间的各项要用括号（）隔离，同时要把各个表达式中位宽最宽的表达式放在最左边（({a & {4{b[3]}},3’b0})），依次是较低位宽项。如：

assign P={a & {4{b[3]}},3’b0}+({a & {4{b[2]}},2’b0})+({a & {4{b[1]}},1’b0})+ (a & {4{b[0]}}) ;

如果没有（）隔离，仿真结果将会出现错误，这一点在Modelsim以及Vivado 自带的仿真工具都得到验证。对于赋值语句：

assign P={a & {4{b[3]}},3’b0}+{a & {4{b[2]}},2’b0}+{a & {4{b[1]}},1’b0}+ a & {4{b[0]}} ;

以及赋值语句：

assign P= (a & {4{b[0]}})+({3’b0,a & {4{b[1]}},1’b0})+({a & {4{b[2]}},2’b0})+ ({a & {4{b[3]}},3’b0});

都会得到错误的仿真结果，错误的仿真结果如图2：

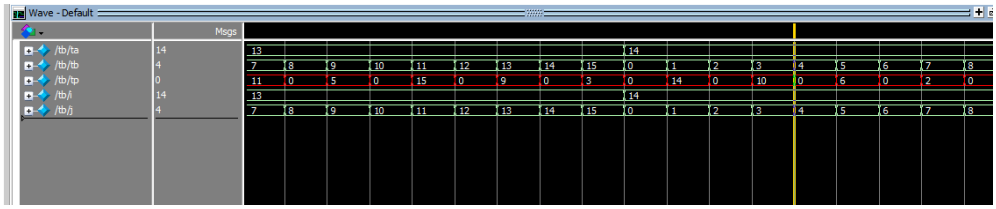


图2

从图2可以看出，当ta==14, tb==2时，应该是28，然而运算结果tp=0；这显然与实际期望的运算结果不符，因此在使用时应特别注意。

- 上面的问题还可以用定义临时变量的解决办法，因为纯的的变量或向量可以自动实现位扩展。

Verilog 文件操作-$fopen，$fclose
电流镜 (Current Mirror)
RISC-V指令集讲解（2）I-Type整数寄存器-立即数指令
RISC-V 指令集手册中文2.1版（User-Level ISA）

例2:

```
1.  module mul4x4
2.  (
3.      input  [3:0] a,
4.      input  [3:0] b,
5.      output [7:0] P
6.  );
7.  //先将运算表达式赋值给中间变量 pa, pb, pc ,pd
8.  wire [3:0] pa = a & {4{b[0]}};
9.  wire [4:0] pb = {a & {4{b[1]}}, 1'b0};
10. wire [5:0] pc = {a & {4{b[2]}}, 2'b0};
11. wire [6:0] pd = {a & {4{b[3]}}, 3'b0};
12.
13. assign P = pa + pb + pc + pd;
14.
15. endmodule
```

例2的仿真结果如图3:

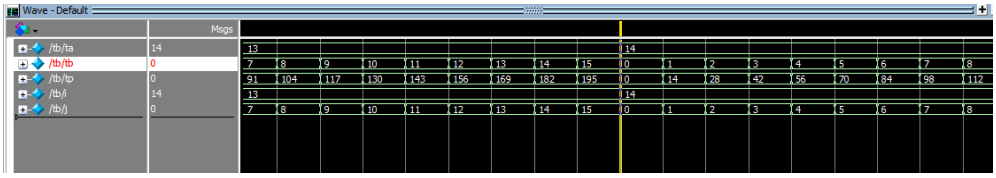


图3

从图3中可以看出，采用例2的写法，仿真结果也是正确的。

- 多位乘法器可以直接利用乘法运算符*，由于*是可综合的运算符，综合工具可以把乘法表达式变成实现RTL或门级实现。

例4:

```
1.  module mul4x4
2.  (
3.      input  [3:0] a,
4.      input  [3:0] b,
5.      output [7:0] P
6.  );
7.
8.  assign P = a * b;
9.
```

```
10. endmodule
```

乘法器的应用一般都在时序电路使用，因此位数很宽乘法会影响时序收敛，这部分内容在讲解完时序电路设计后会继续探讨，如何采用流水线提高乘法器运算的性能，请参见"如何利用流水线提高系统性能"

对应视频：

- Verilog 乘法器的设计及仿真注意事项–视频教程

Posted in FPGA, FPGA 教材教案, IC, Quartus II, Verilog, Verilog, Vivado

Tagged Verilog 乘法器设计, Verilog 仿真应注意的问题, verilog 多表达式混合运算, Verilog 混合运算应注意的问题

发表回复

以 Byron 的身份登录。 编辑您的个人资料。 注销？ 必填项已用*标注

评论 *

如果有人回复我的评论，请通过电子邮件通知我。

发表评论

相关链接

Sytem Verilog 教学 (视频)

System Verilog 教材

系统验证基础–OVM与UVM

第六节 三极管的特性曲线及参数

第五节 三极管电流分配关系及电流放大系数

第四节 半导体三极管的原理

无线多径衰落系数的统计特性

无线信号多径衰落

无线信号建模–多径效应

第三节 半导体二极管

第二节 PN结原理及特性

第一节 半导体材料及特性

今日热门文章

- Verilog语言编程与FPGA应用教材
- RISC-V 教学教案
- 芯片天地-教材与教案（文章）
- RISC-V CSR寄存器（1）CSR简介和CSR指令
- FPGA与Verilog 教学视频
- 芯片天地-网络视频学院（视频）
- SOC 教学教案
- Python 查找list平均值
- System Verilog 教材
- Verilog 中not ~ ！的区别
- 电流镜 (Current Mirror)
- Vivado DDR3 控制器生成步骤（3）
- Vivado软件的使用
- Verilog 文件操作-$fdisplay，$fwrite，$fstrobe，$fmonitor
- 数字集成电路

近期评论

本月热门文章

- Verilog语言编程与FPGA应用教材
- FPGA与Verilog 教学视频
- RISC-V 教学教案
- Python 查找list平均值
- 芯片天地-教材与教案（文章）
- 芯片天地-网络视频学院（视频）
- Verilog 文件操作-$fdisplay，$fwrite，$fstrobe，$fmonitor
- RISC-V CSR寄存器（1）CSR简介和CSR指令
- Verilog 文件操作-$fgetc，$fgets，$fscanf，$fread
- Verilog 文件操作-$fdisplay，$fwrite，$fstrobe，$fmonitor
- Verilog 文件操作-$fopen，$fclose
- 电流镜 (Current Mirror)
- 第三节 卡诺图原理及构成
- Verilog 中not ~ ！的区别
- RISC-V 指令集手册中文2.1版（User-Level ISA）
- I2C接口基础知识

本站热门文章

- Verilog语言编程与FPGA应用教材
- FPGA与Verilog 教学视频
- RISC-V 教学教案
- 芯片天地-教材与教案（文章）
- RISC-V 教学教案-视频
- 芯片天地-网络视频学院（视频）
- 电流镜 (Current Mirror)
- Python 查找list平均值
- Verilog 文件操作-$fgetc，$fgets，$fscanf，$fread
- Verilog 文件操作-$fdisplay，$fwrite，$fstrobe，$fmonitor
- RISC-V CSR寄存器（1）CSR简介和CSR指令
- RISC-V 指令集手册中文2.1版（User-Level ISA）
- Verilog 文件操作-$fopen，$fclose
- Python time.sleep() 为代码添加延迟
- SOC 教学教案

I2C接口基础知识一
SOC 教学教案
Verilog always过程
CMOS模拟集成电路设计教材
Verilog 文件操作-$fseek，$ftell，$feof
数字集成电路设计中的标准单元库介绍
三级放大器的稳定性
I2C接口基础知识一