实验一 基本门电路的设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法
2. 熟悉Verilog的基本语法
3. 掌握iverilog开发平台

**二、实验内容**

1. 利用赋值语句完成一个2输入门电路模块的设计。
2. 利用赋值语句完成多个（4个以上）门电路之间的级联，形成一个完整的电路。
3. 在iverilog中完成一个工程的设计、编辑、综合和实现的全过程。
4. 掌握以上电路的程序结构和风格。
5. 观察和分析仿真波形，注重输入输出之间的时序关系。

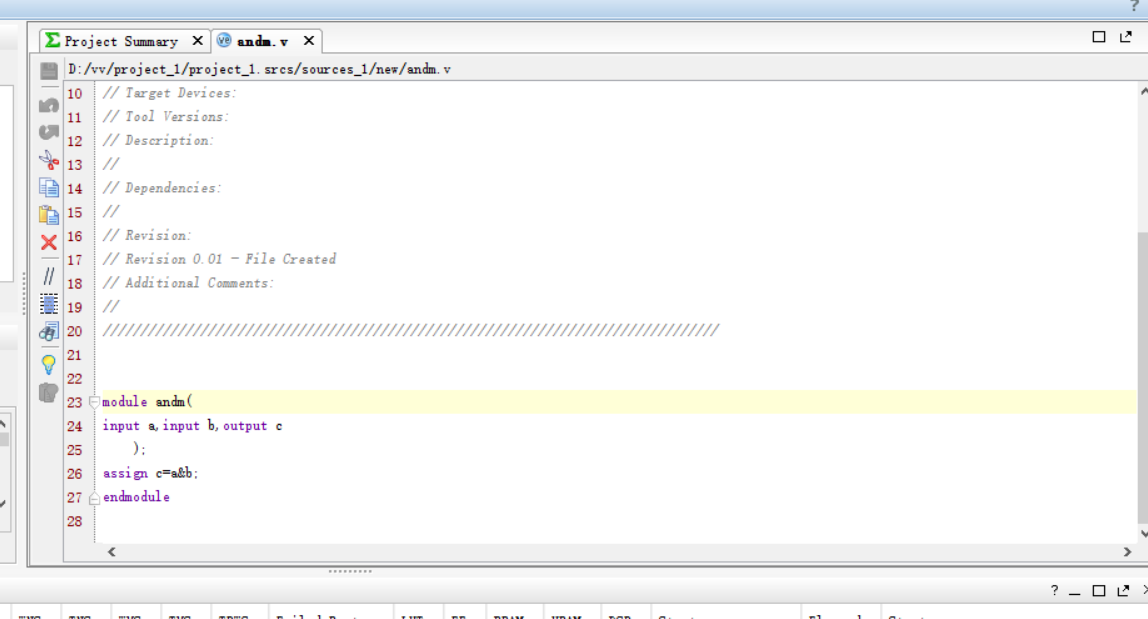
**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形
3. 记录设计和调试过程。

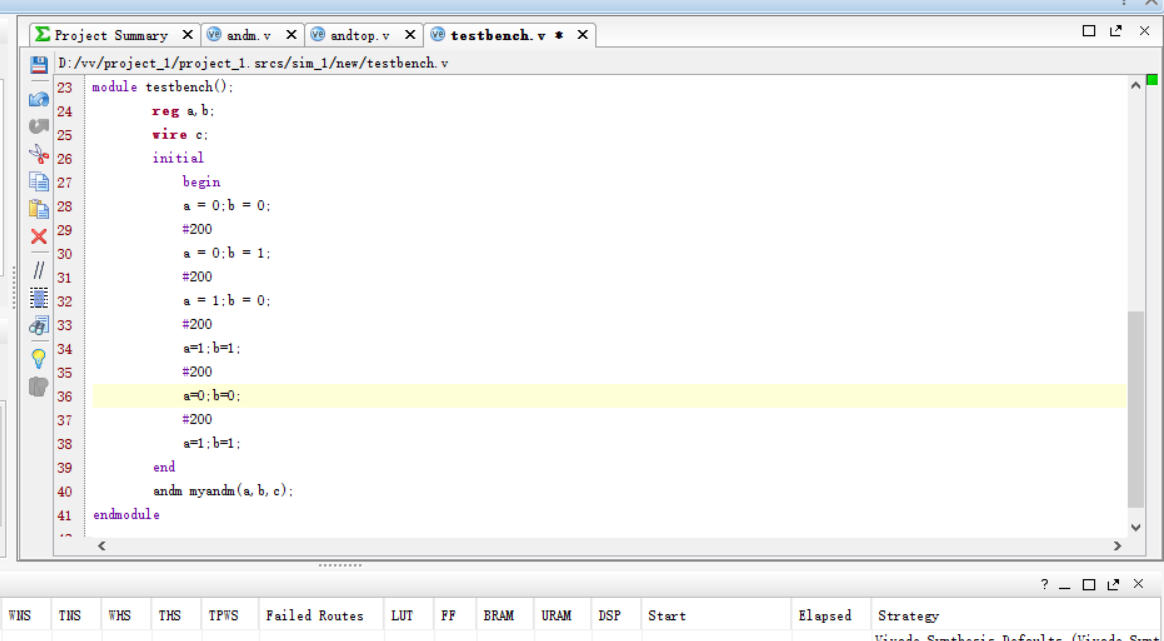
**四、实验代码及结果**

**实验一（1）**

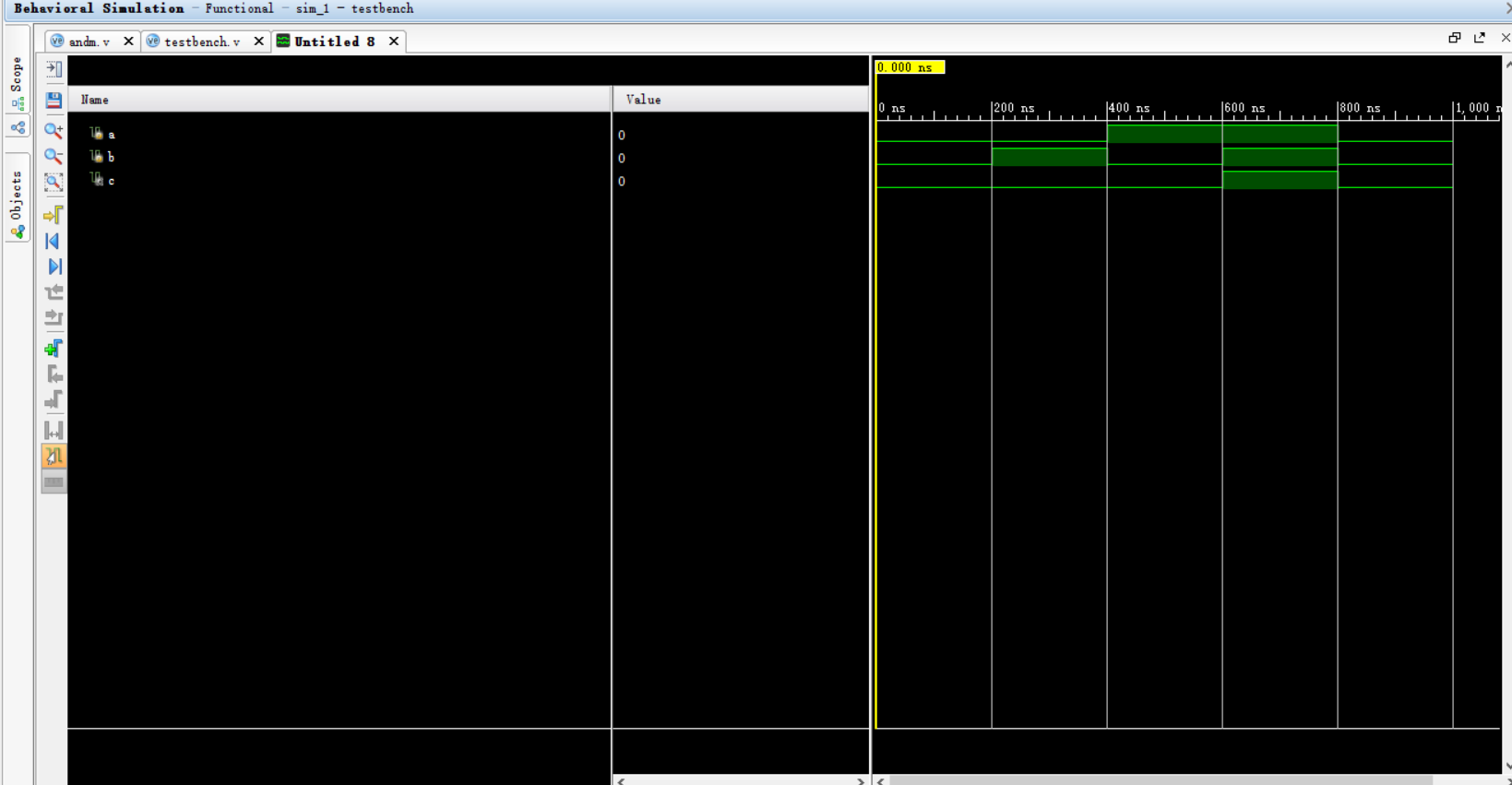
底层设计代码：



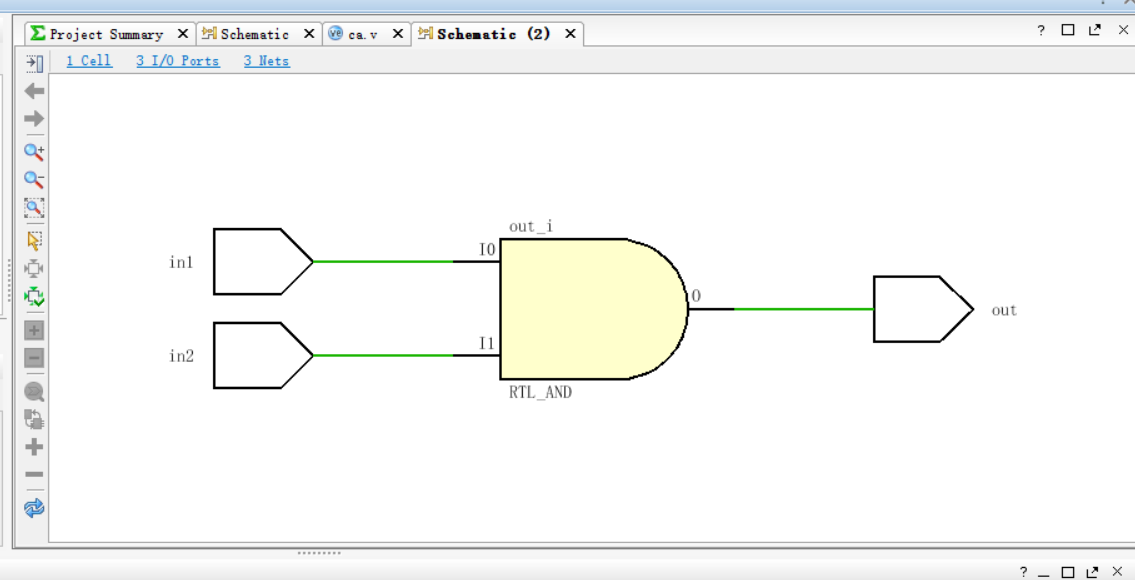
testbench代码：



仿真结果图：



电路图：

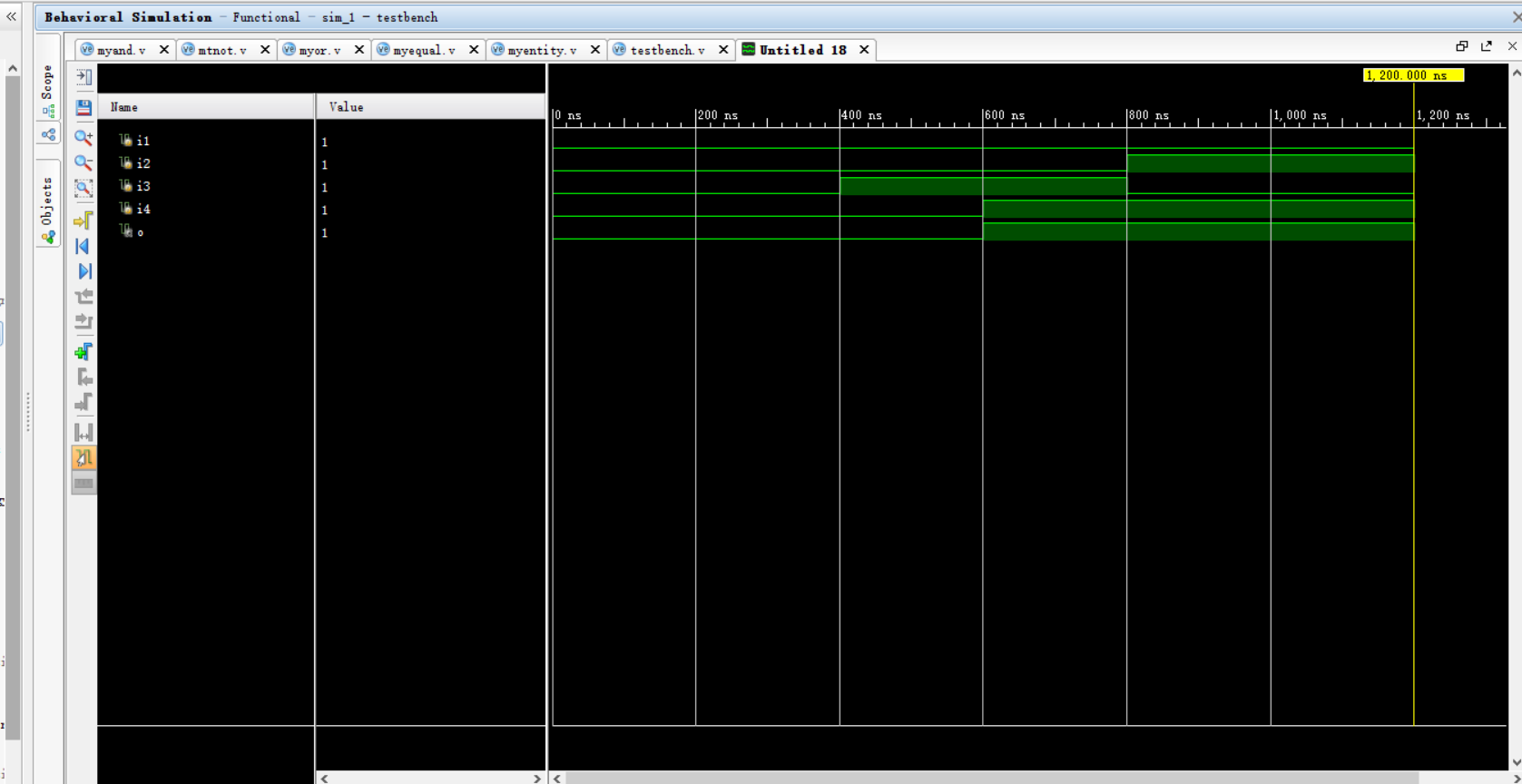
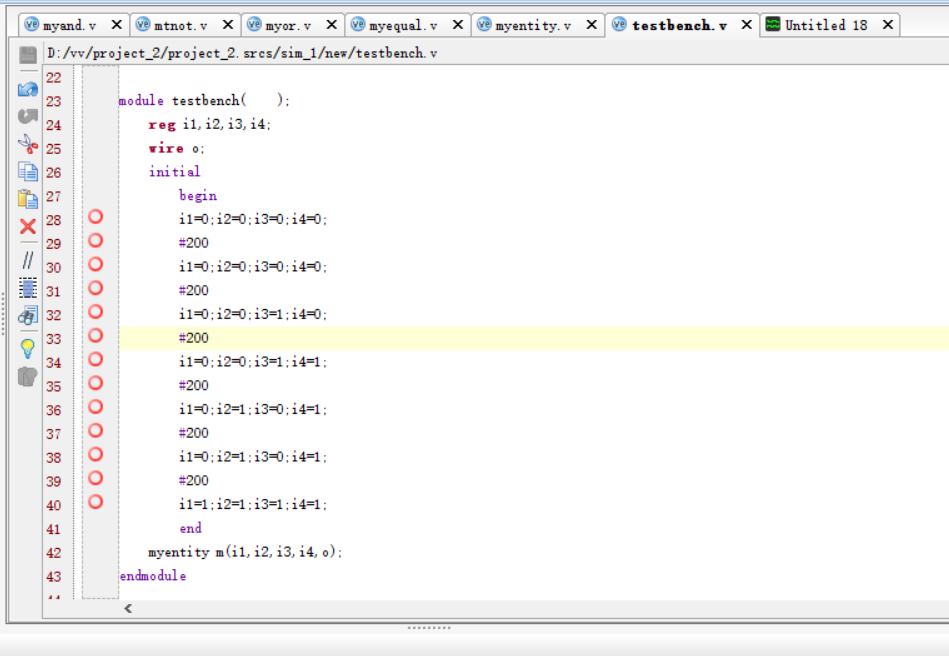
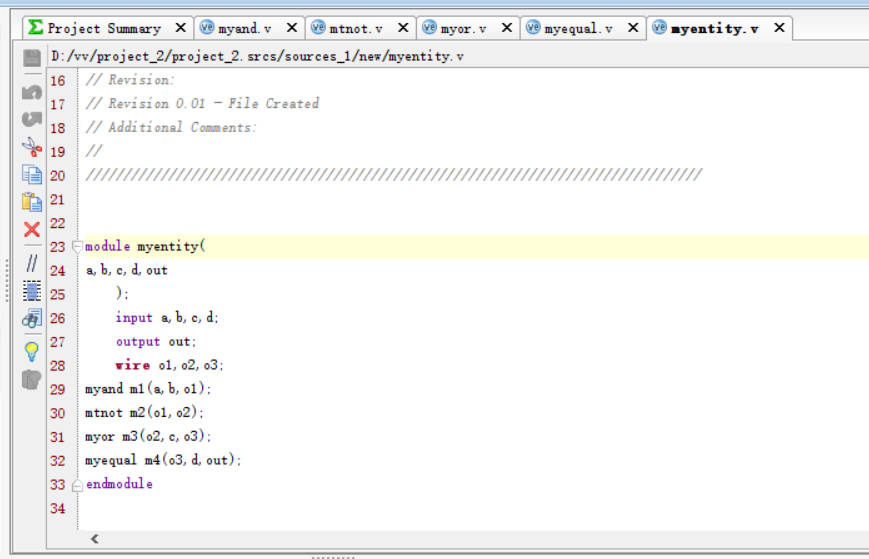
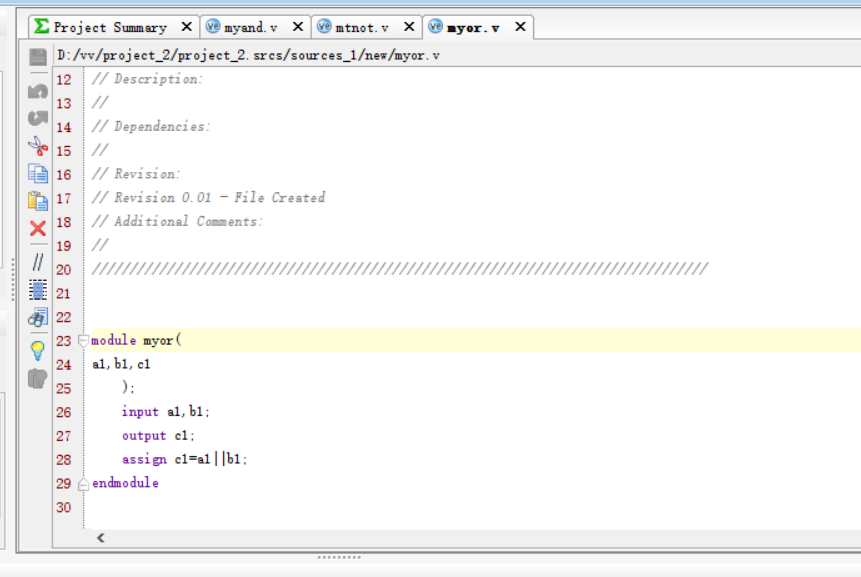
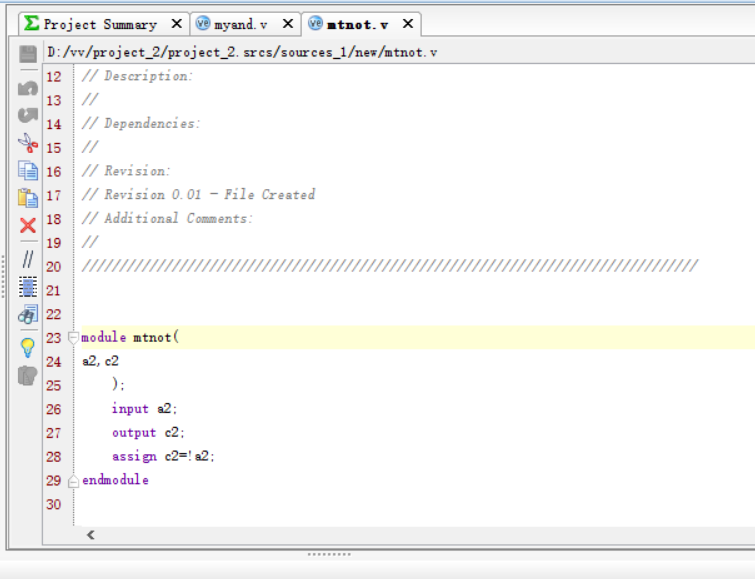
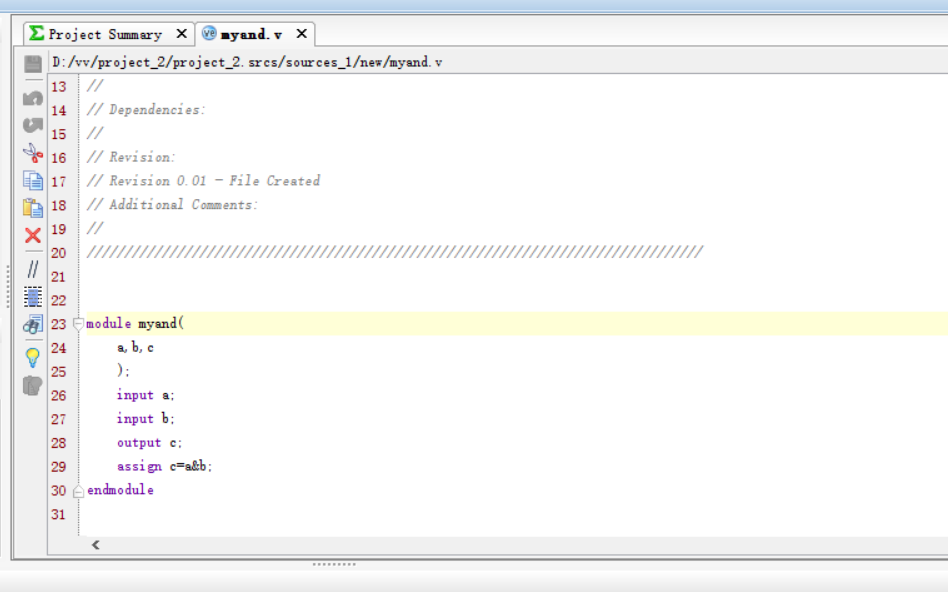


设计及调试过程：

设计一个与门，完成底层模块后进行周期调试，完成后输出图表。

**（二）**

**底层各模块代码：**



设计及调试过程：

设计包括与门、或门、非门在内的实体模块（entity），完成底层模块后进行周期调试，完成后输出图表。

**五、调试和心得体会**

这个软件刚上手非常难用，而且我当时对verilog分层次的编程非常不熟悉，查阅了大量资料才勉强完成这次实验，包括下载安装软件在内花费了我一天的时间，感觉远不如大二下数电实验的quartusII好用。在编译时，报错信息并不是直接发送，而是让用户去找某个目录下的文档，感觉很没有必要。

当然，这次实验也是对自己极大的锻炼。感觉自己的编程能力有了极大的提升，再接再厉，加油。