实验三 层次结构设计方法及应用

**一、实验目的**

1. 进一步掌握verilog中的基本语法和语句。

**二、实验内容**

1. 掌握always语句的含义和用法。
2. 完成1位半加器、32位全加器模块的设计。
3. 设计一个基本的32位算术逻辑运算（ALU）模块。
4. 观察记录分析仿真波形。

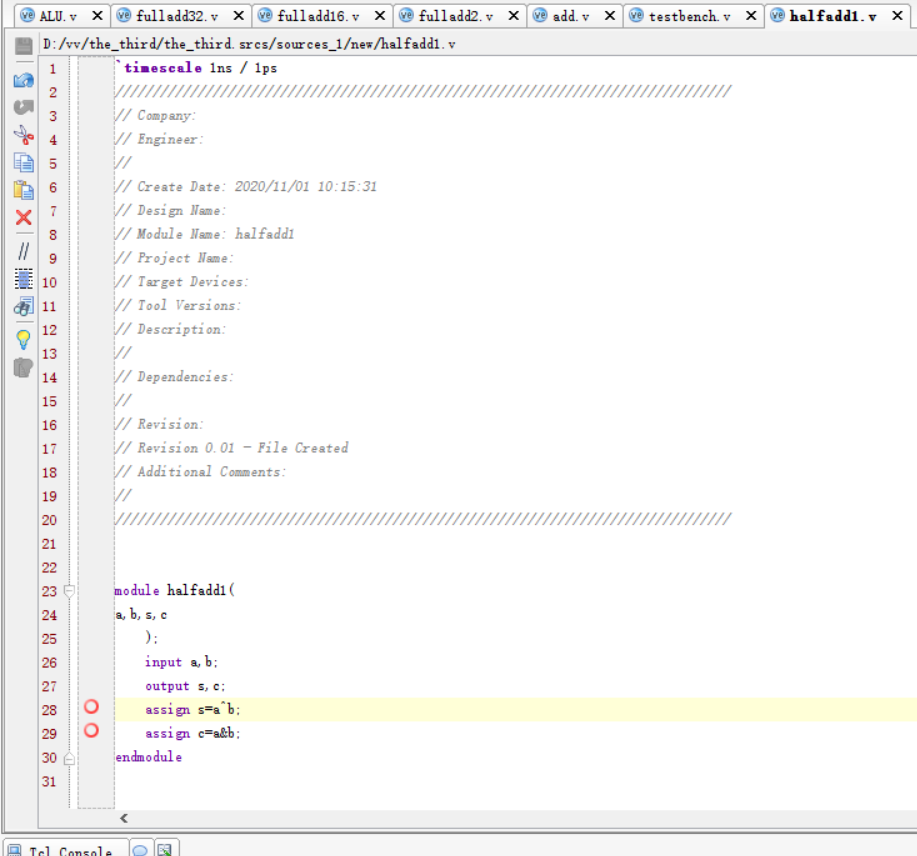
**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形，标出关键的数值。
3. 记录设计和调试过程。

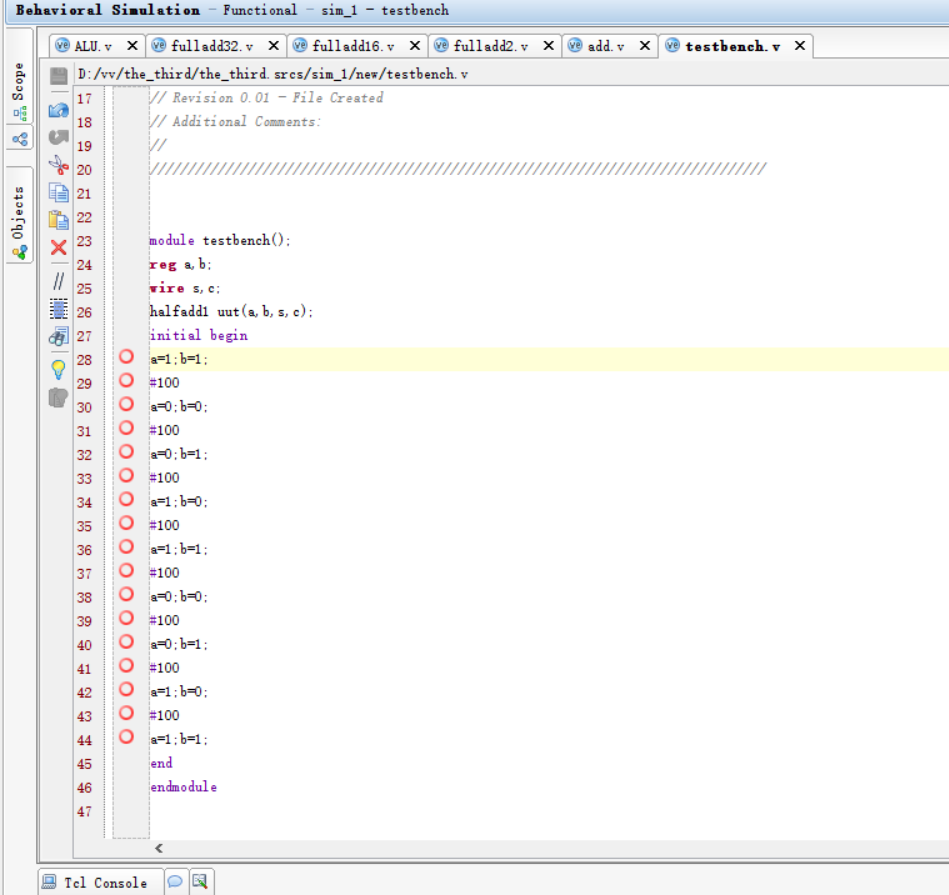
**四、实验代码及结果**

1位半加器

Halfadd1



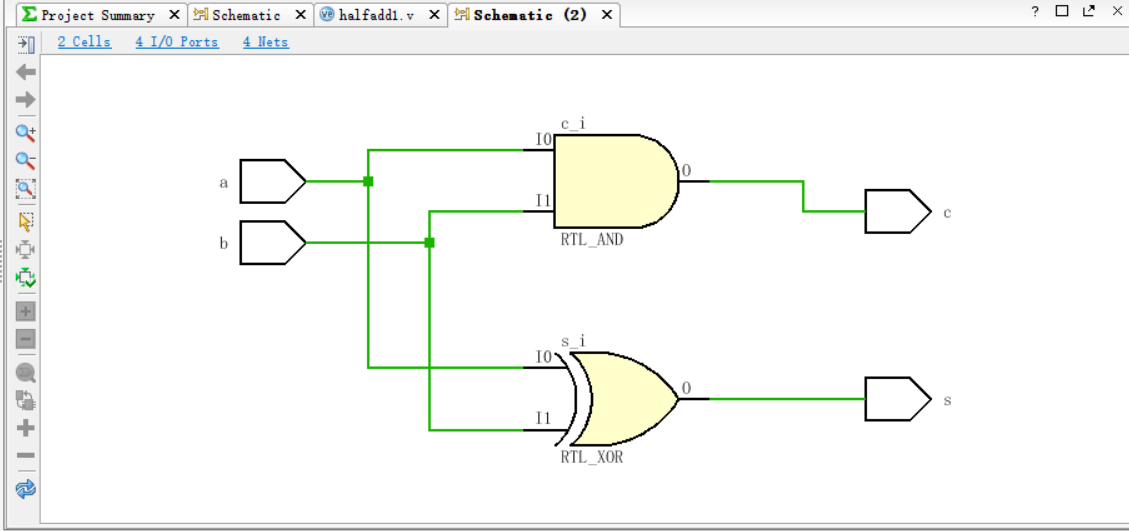
Testbench



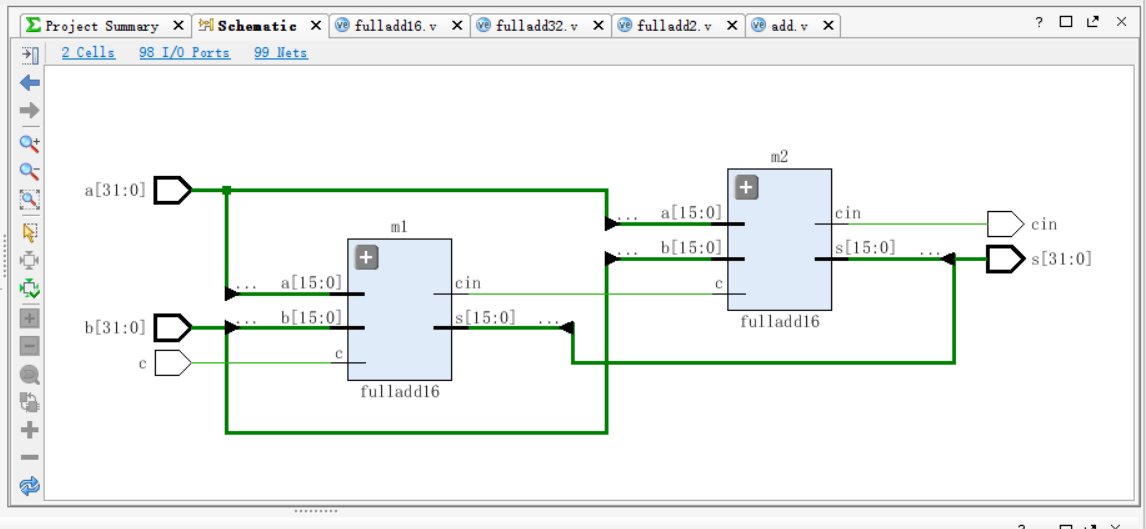
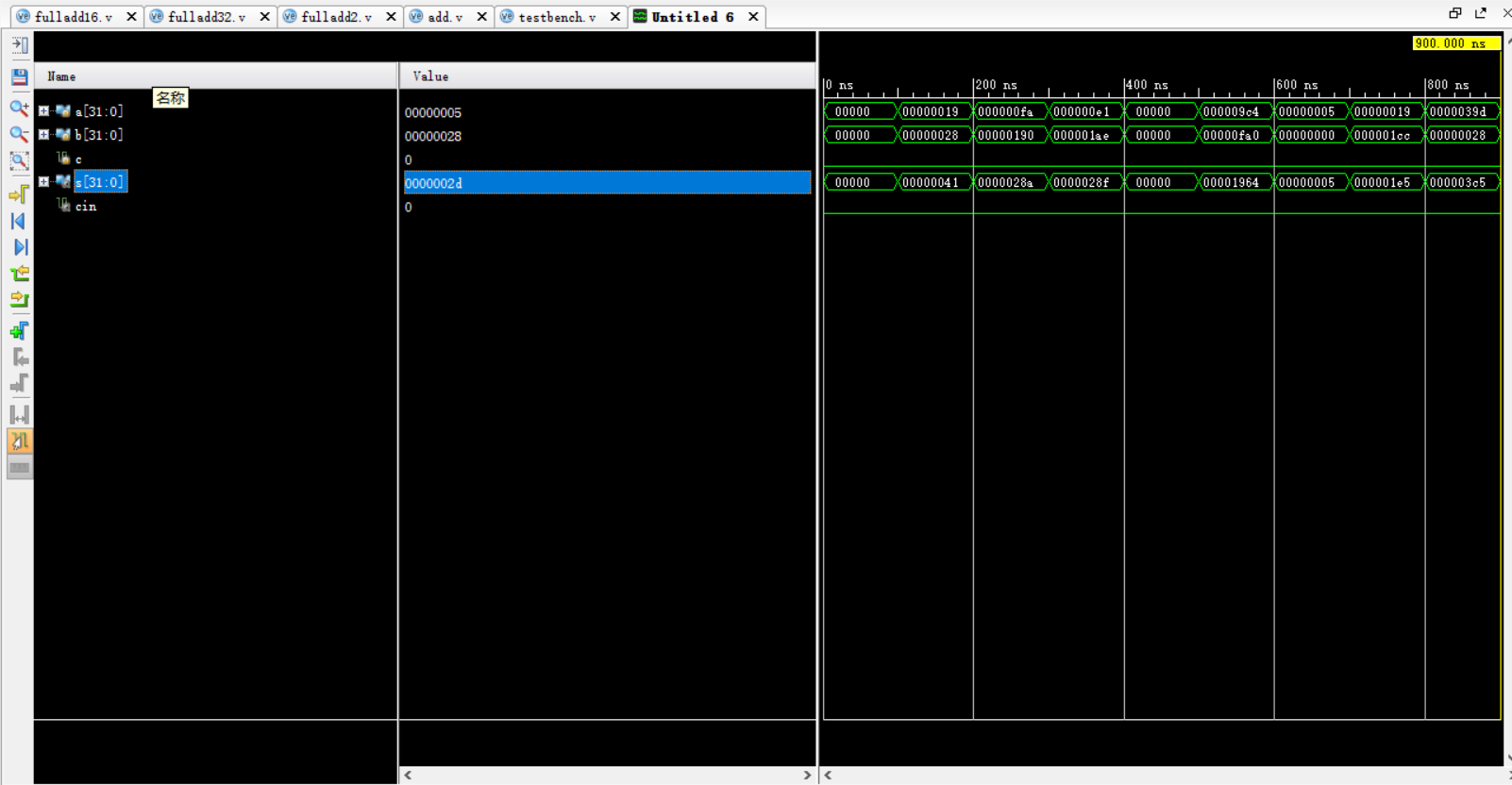
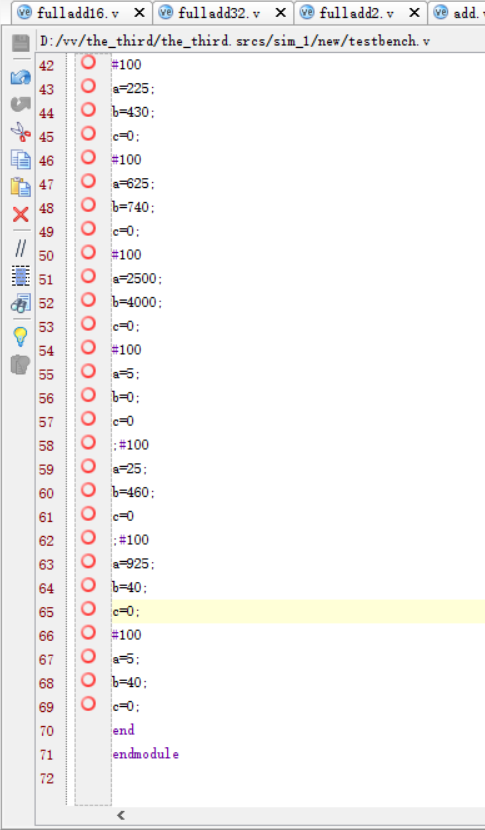
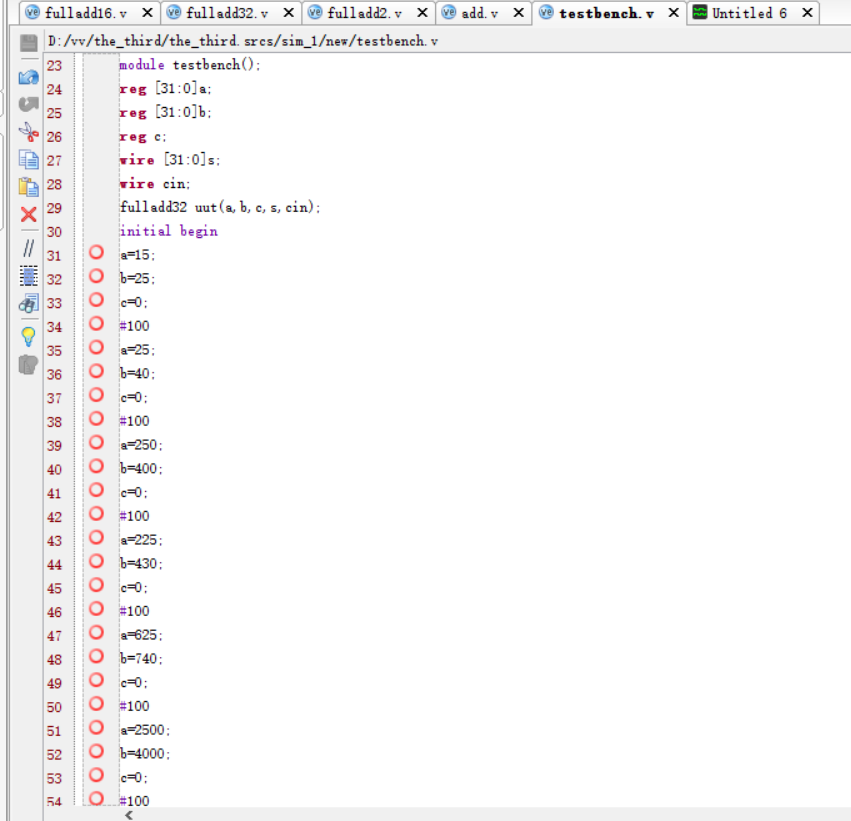
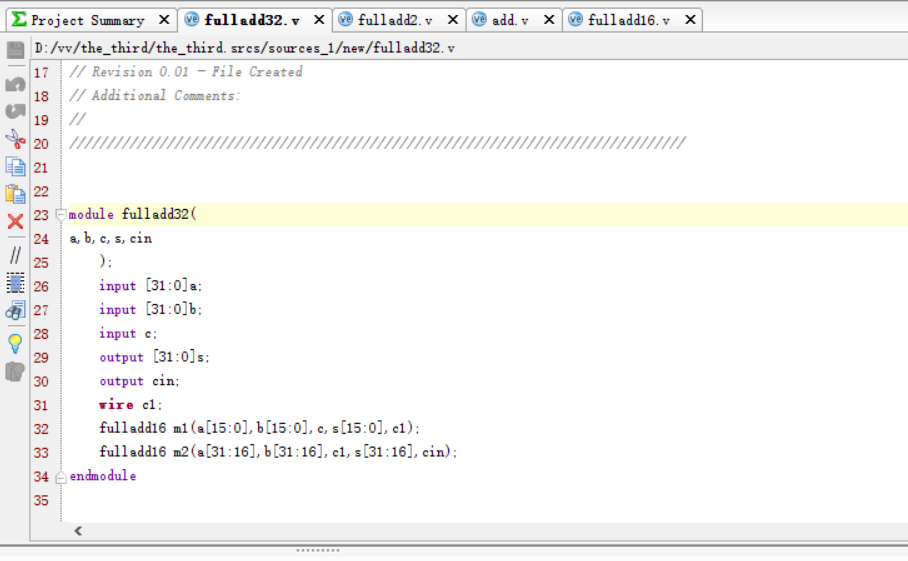
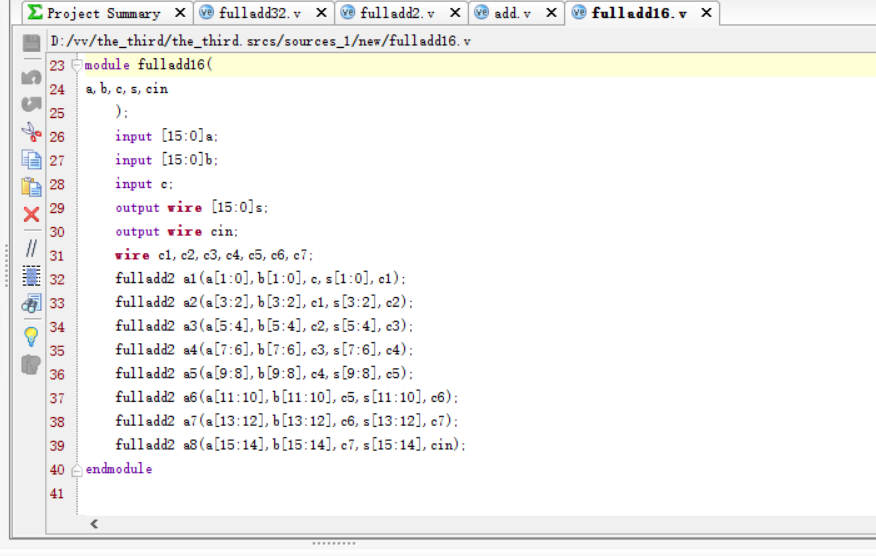
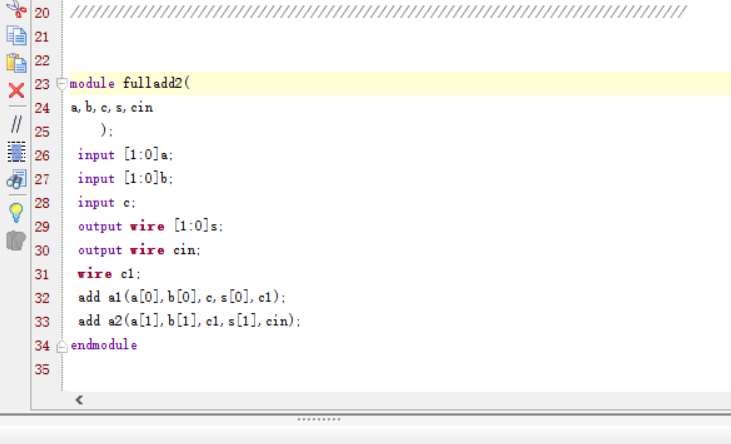
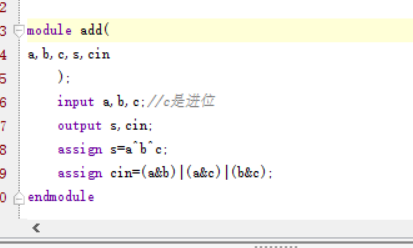
仿真



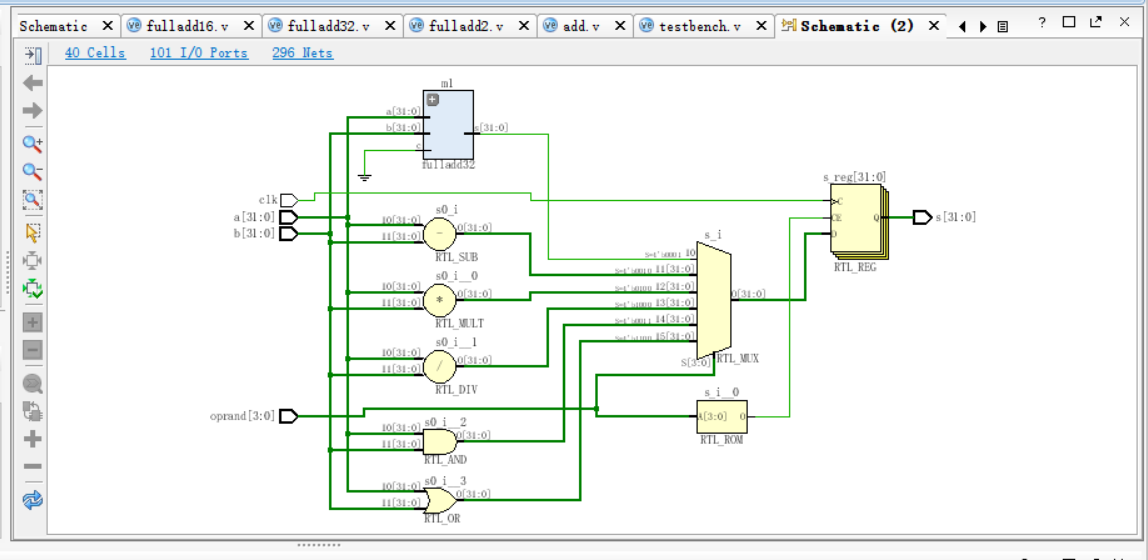
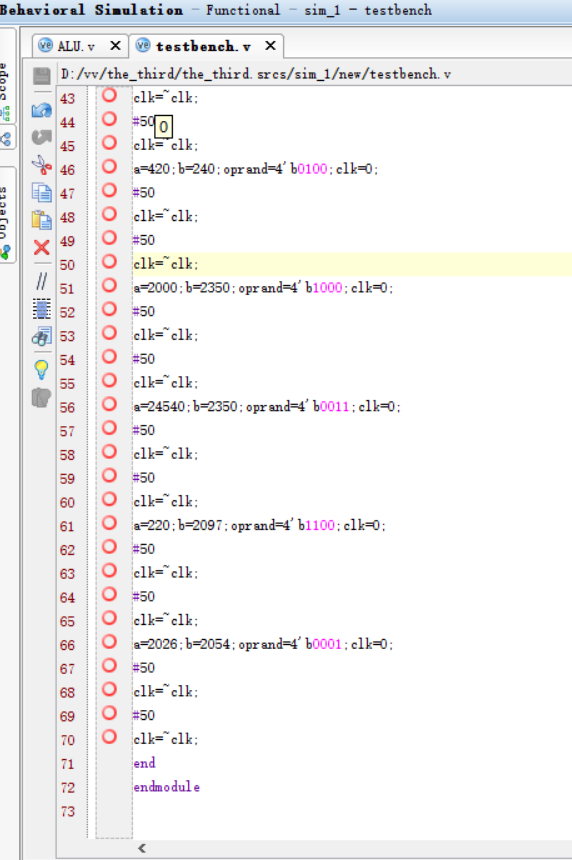
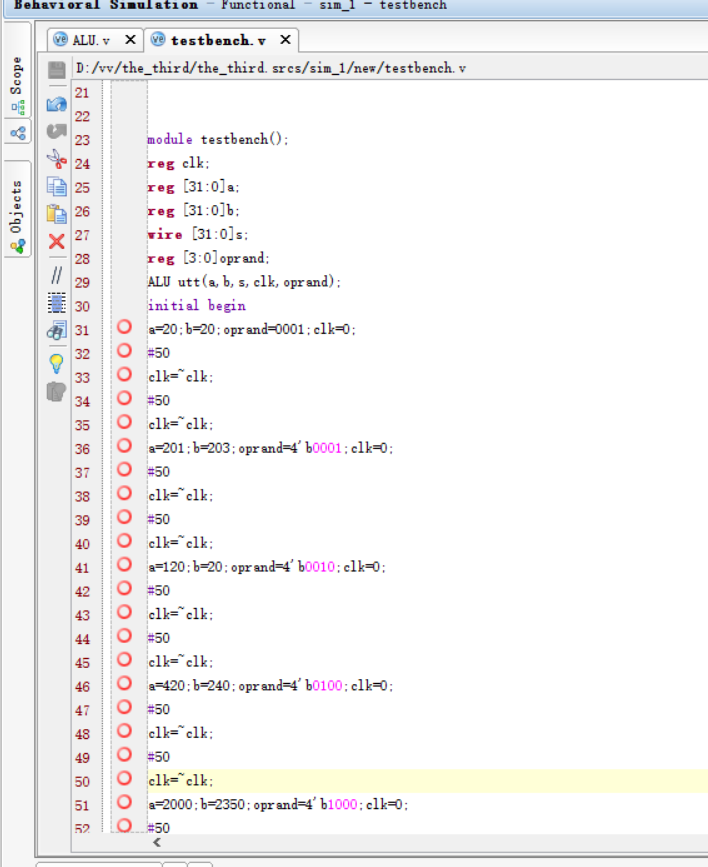
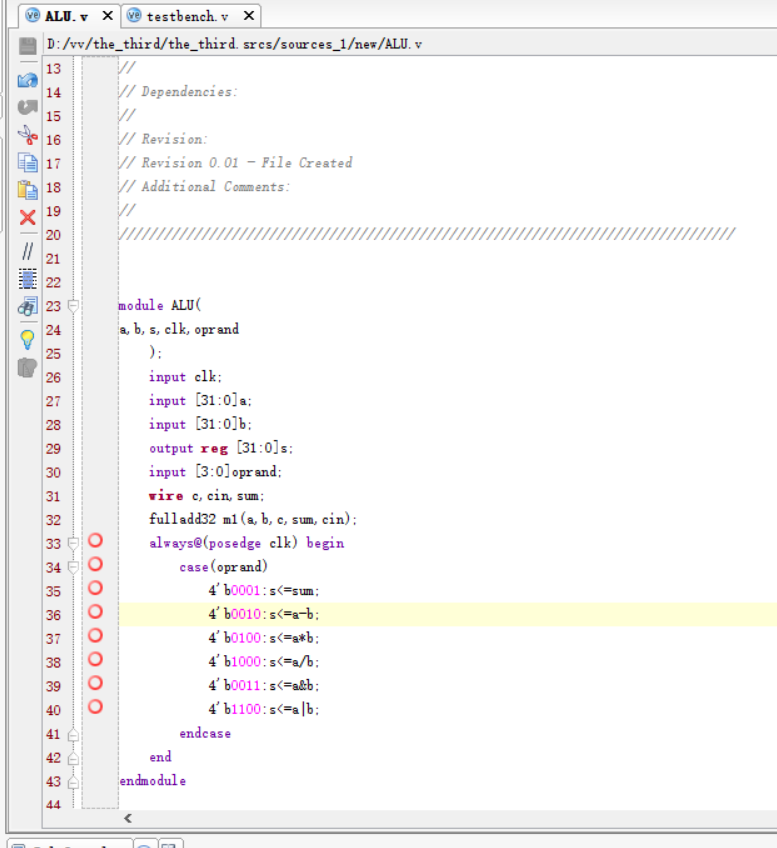
模块图



32位全加器



ALU



**五、调试和心得体会**

这次的实验相对于以往更加得心应手，因为之前有过很多次的经验了。