实验五 信号传输、指令译码的设计与调试

**一、实验目的**

1. 掌握Verilog中语句的综合应用。
2. 进一步掌握Verilog中的时序电路设计。

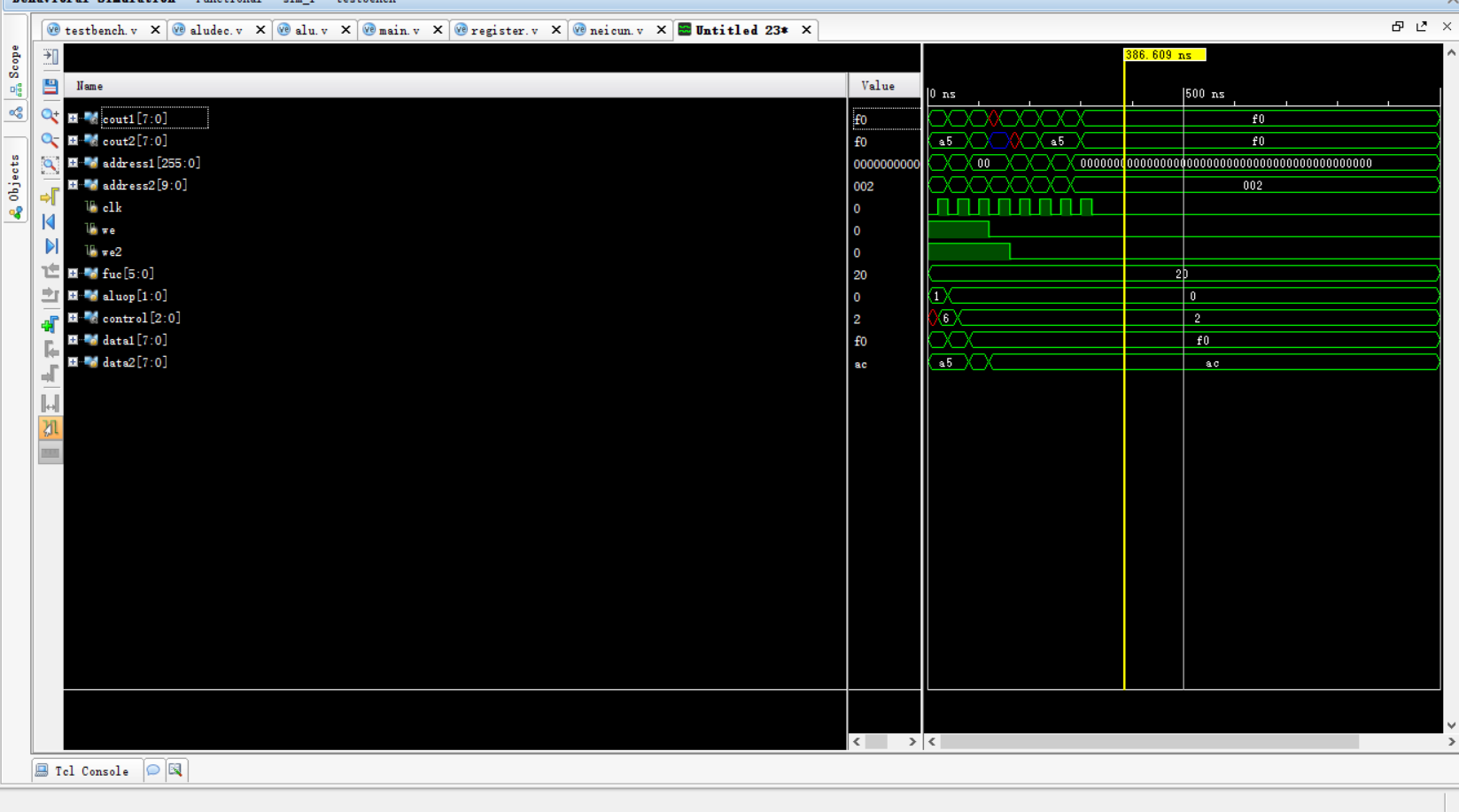
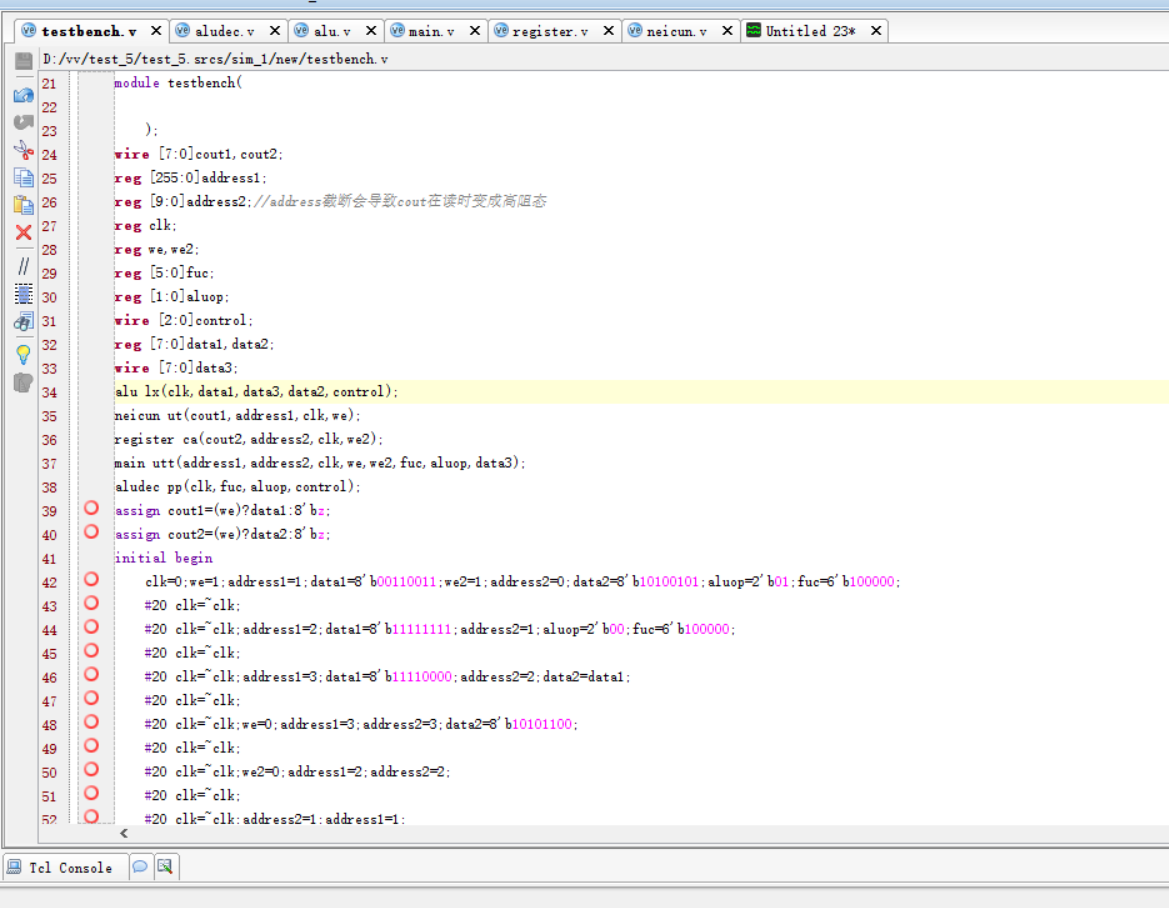
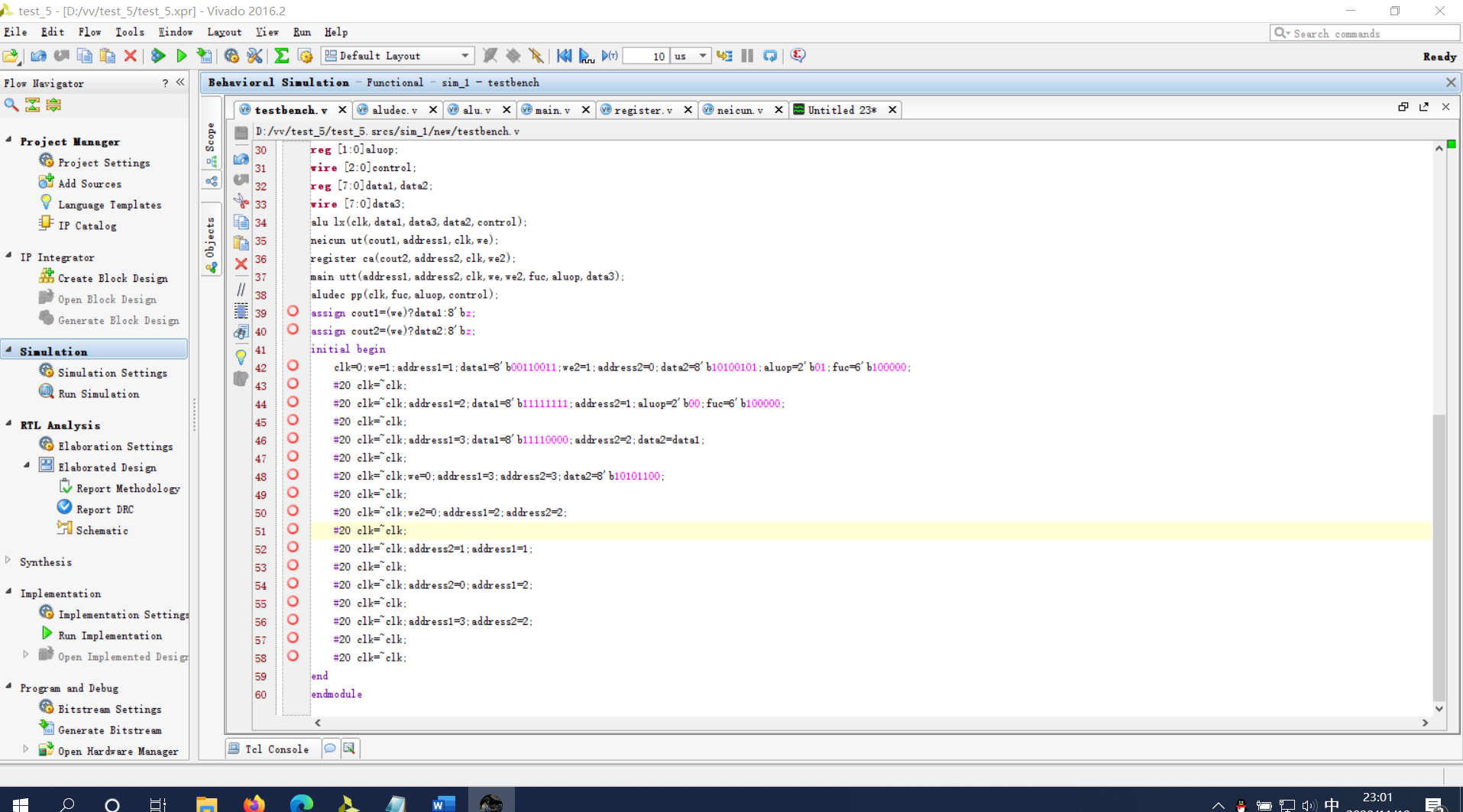
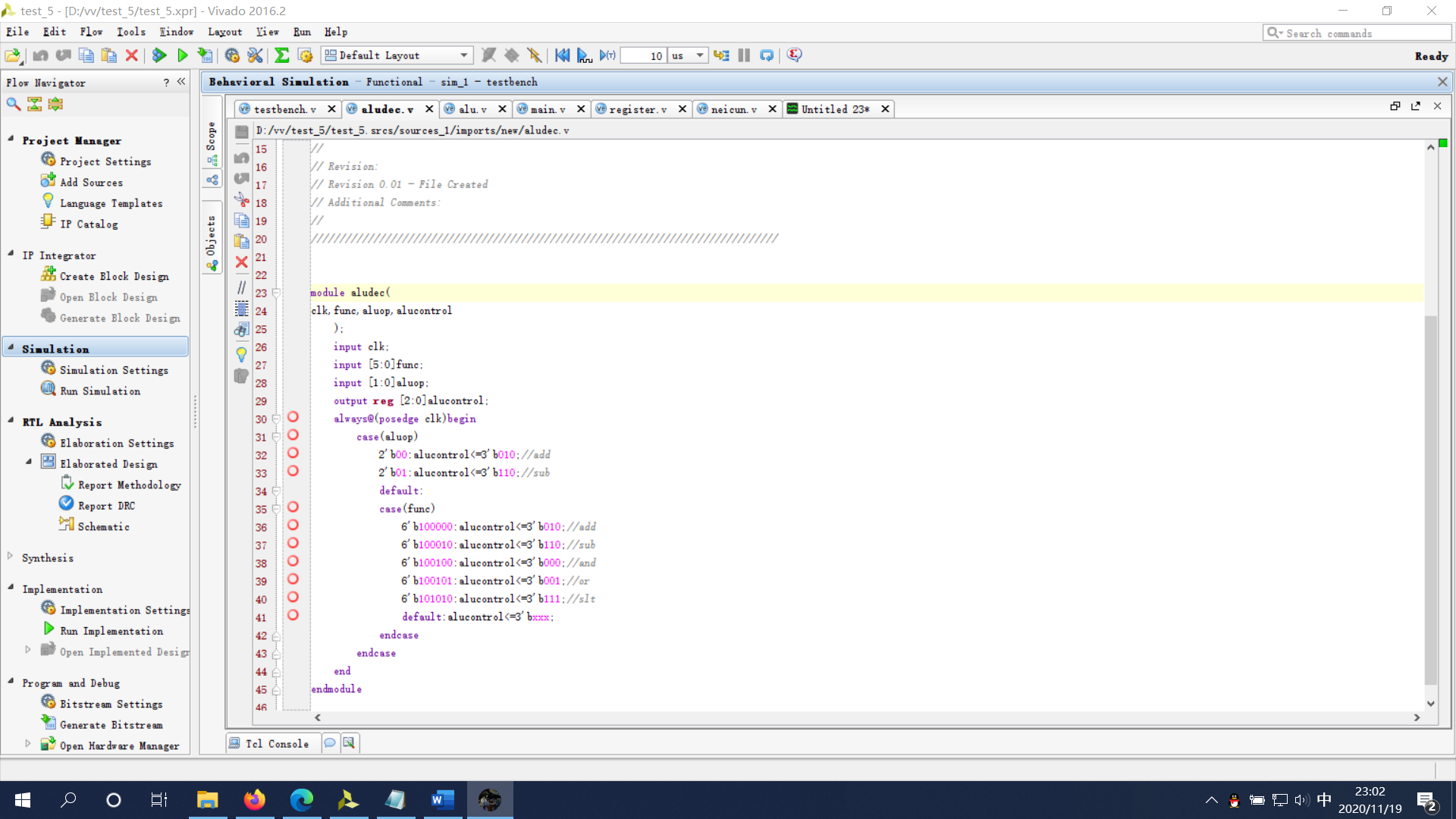
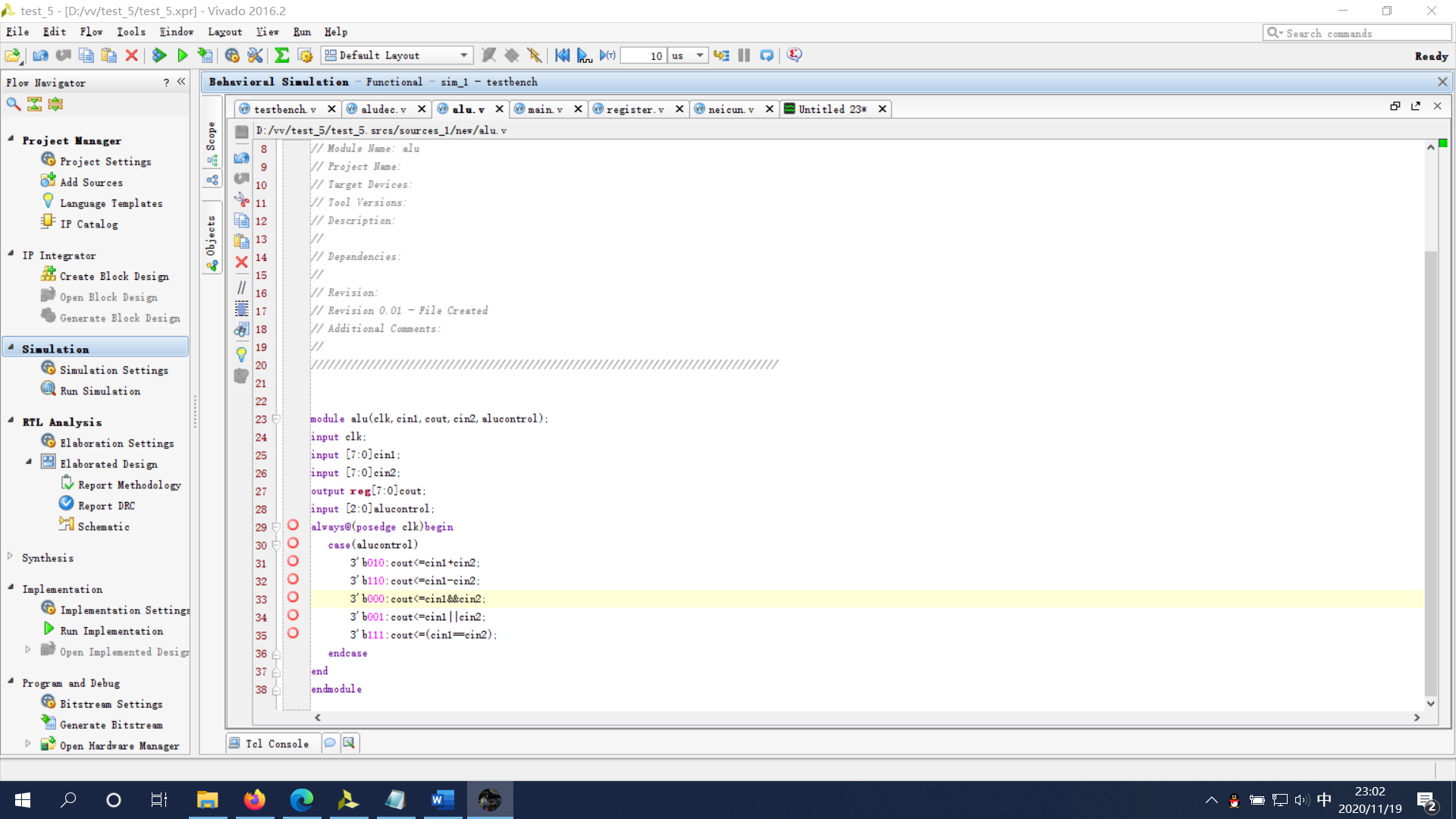
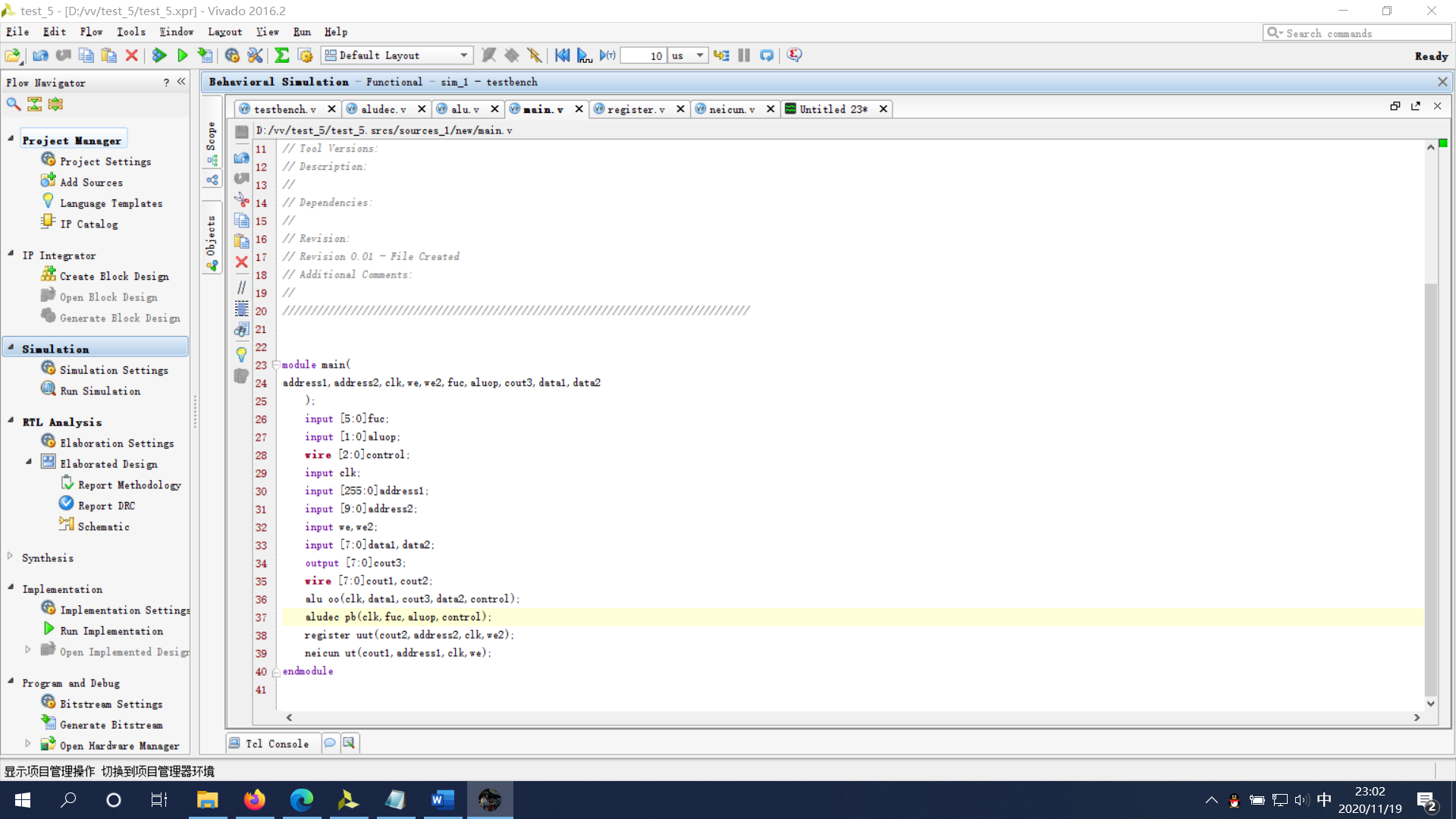
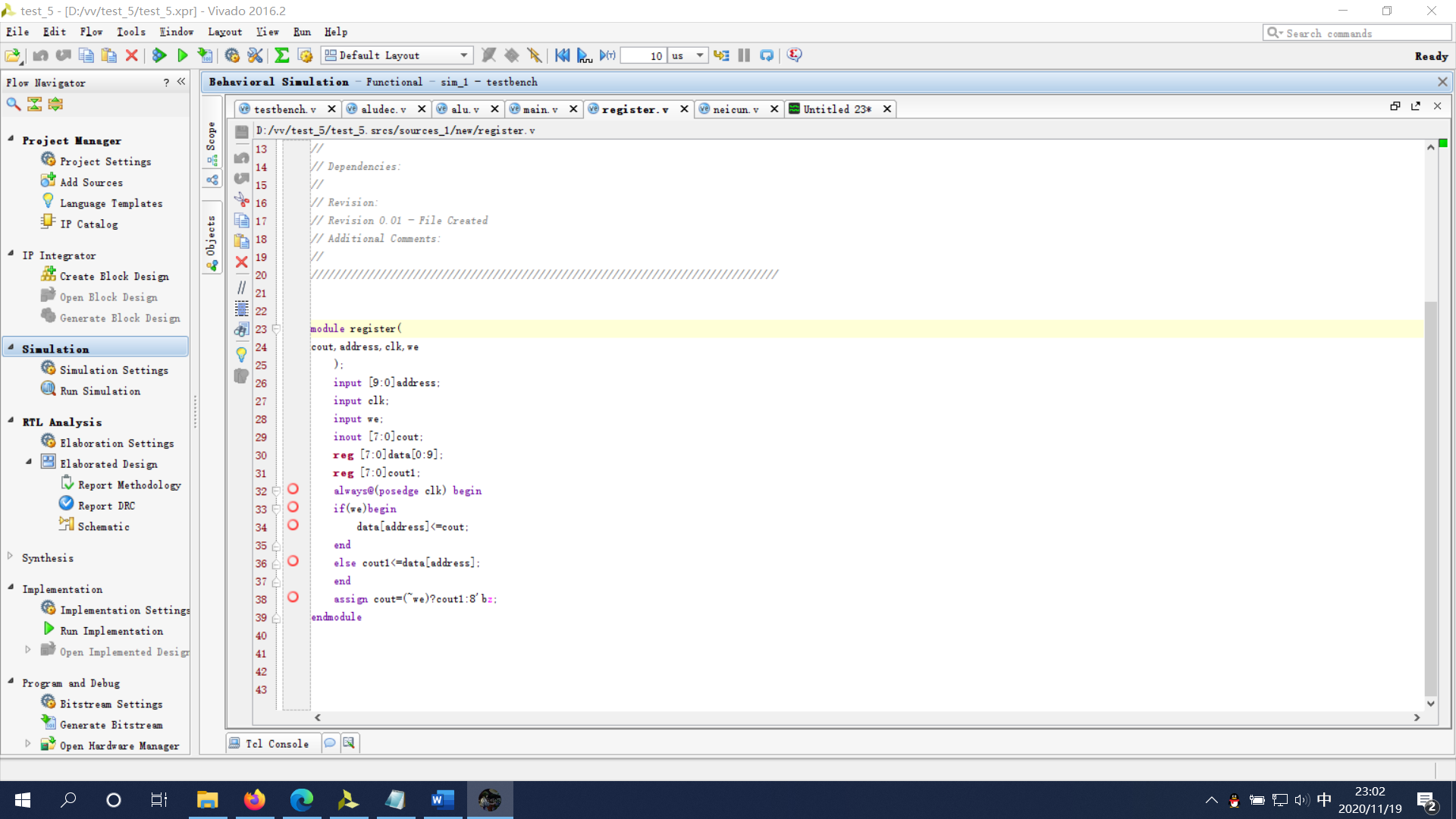
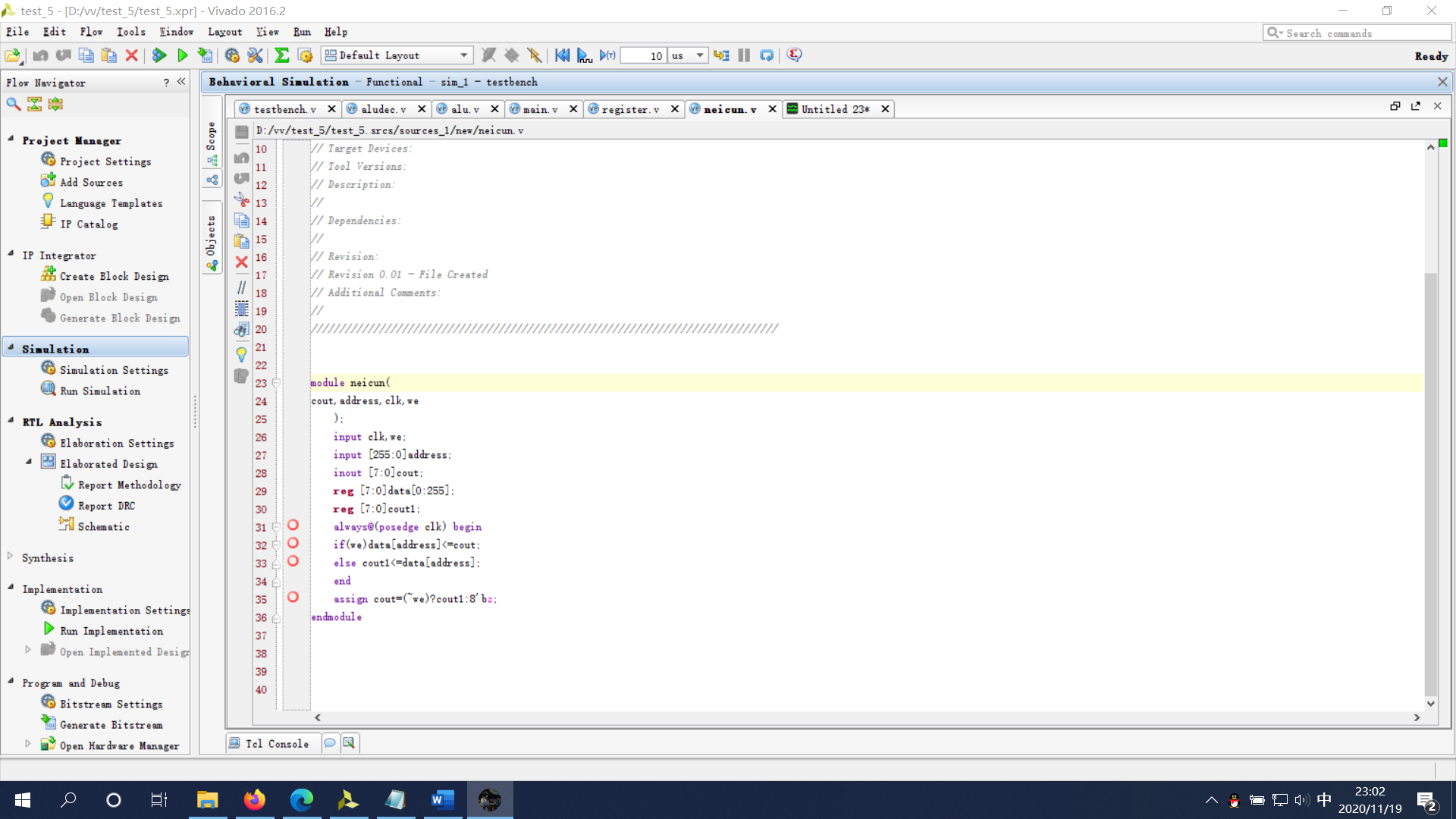
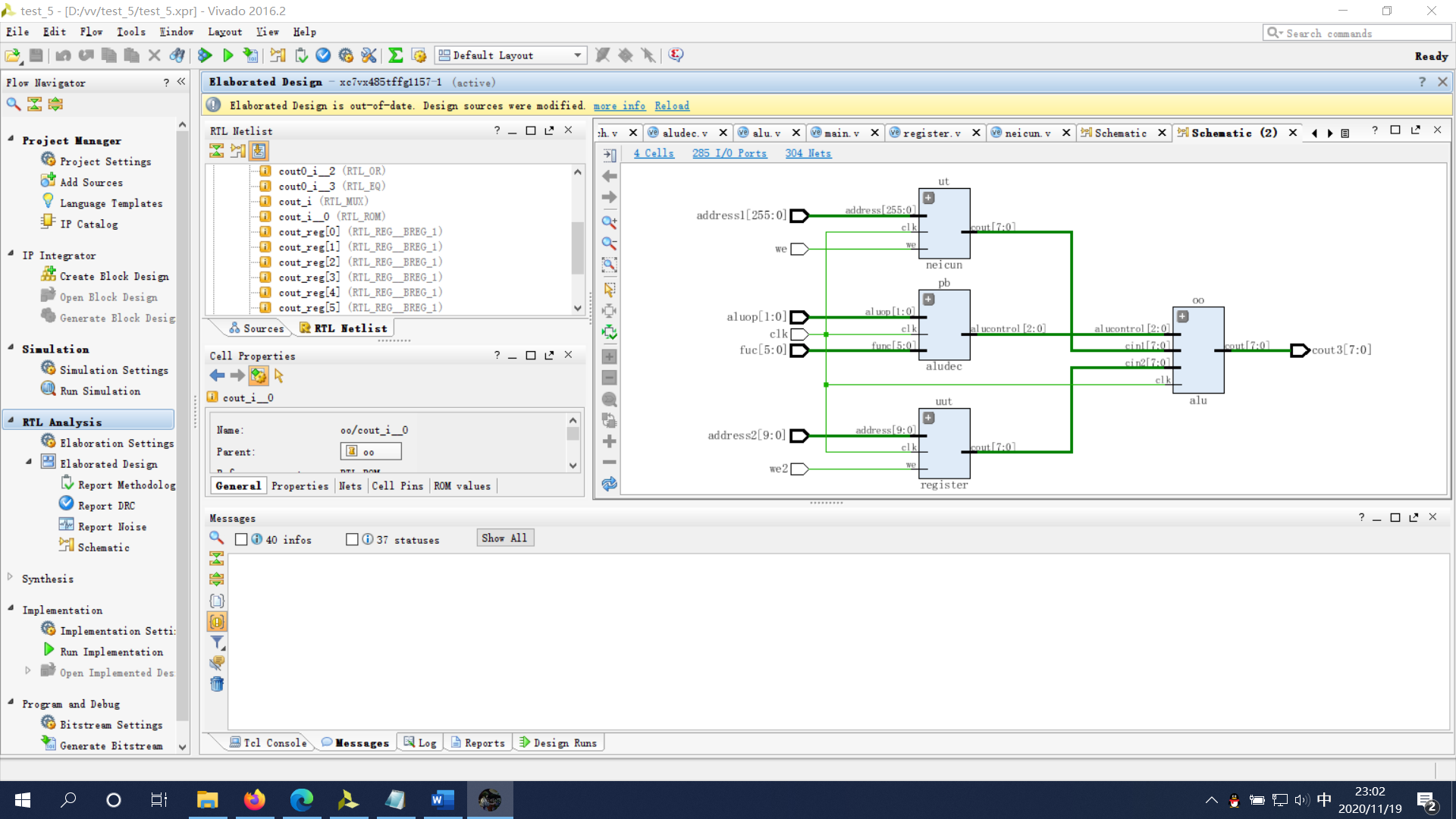
**二、实验内容**

1. 设计一个寄存器组，10\*32bit。
2. 连接寄存器组与RAM模块。
3. 设计一个指令译码器。
4. 满足功能上的需求，包括运算、转移、存储指令。

**三、实验要求**

1. 分析各模块的的程序结构，画出其流程图。
2. 画出模块的电路图。
3. 分析电路的仿真波形，标出关键的数值。
4. 记录设计和调试过程。

**四、实验代码及结果**



**五、调试和心得体会**

第五次的任务很难而且时间很短，老师还出差了，使我本来就贫瘠的知识储备更加雪上加霜，所以做的结果也比较糟糕，希望自己在最终作业CPU上能够做的尽善尽美。