实验四 存储器模块的设计及应用

**一、实验目的**

1. 掌握Verilog语言框架、编程和调试方法。
2. 掌握Verilog中的存储器电路工作原理。
3. 掌握存储器的实际应用。

**二、实验内容**

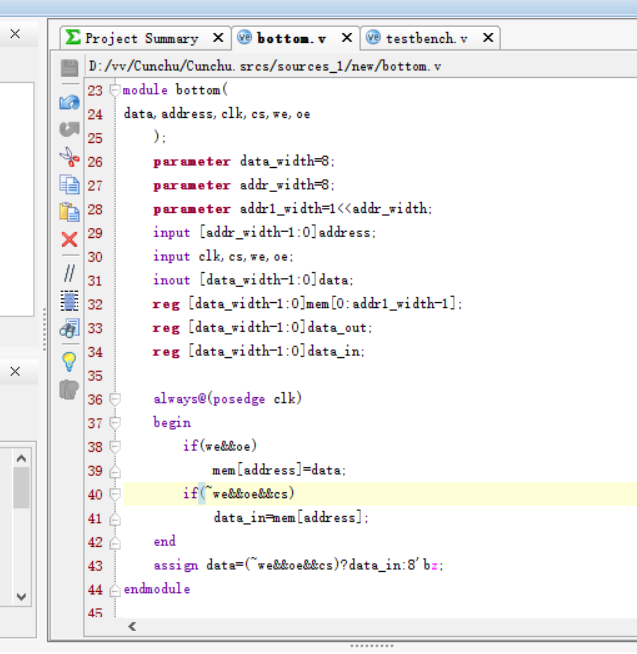
1. 设计一个静态存储器RAM，容量为256\*32bit。
2. 建立存储器的访问所需要的各种信号。
3. 各种信号的产生。
4. 对存储单元0#,1#,3#,5#,7#,9#或0#，2#，4#，6#，246#进行读写操作。
5. 观察、记录和分析仿真波形。

**三、实验要求**

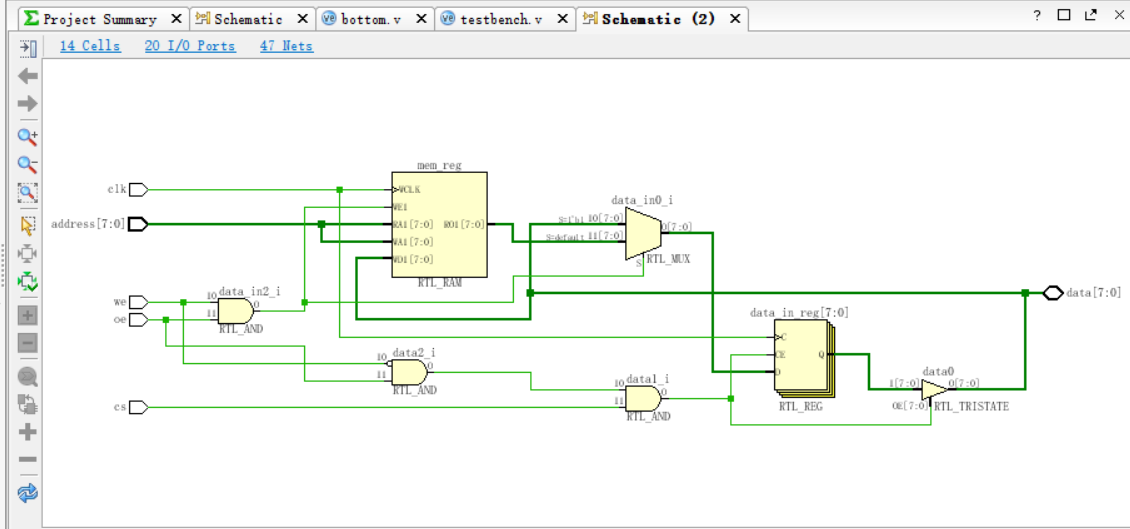
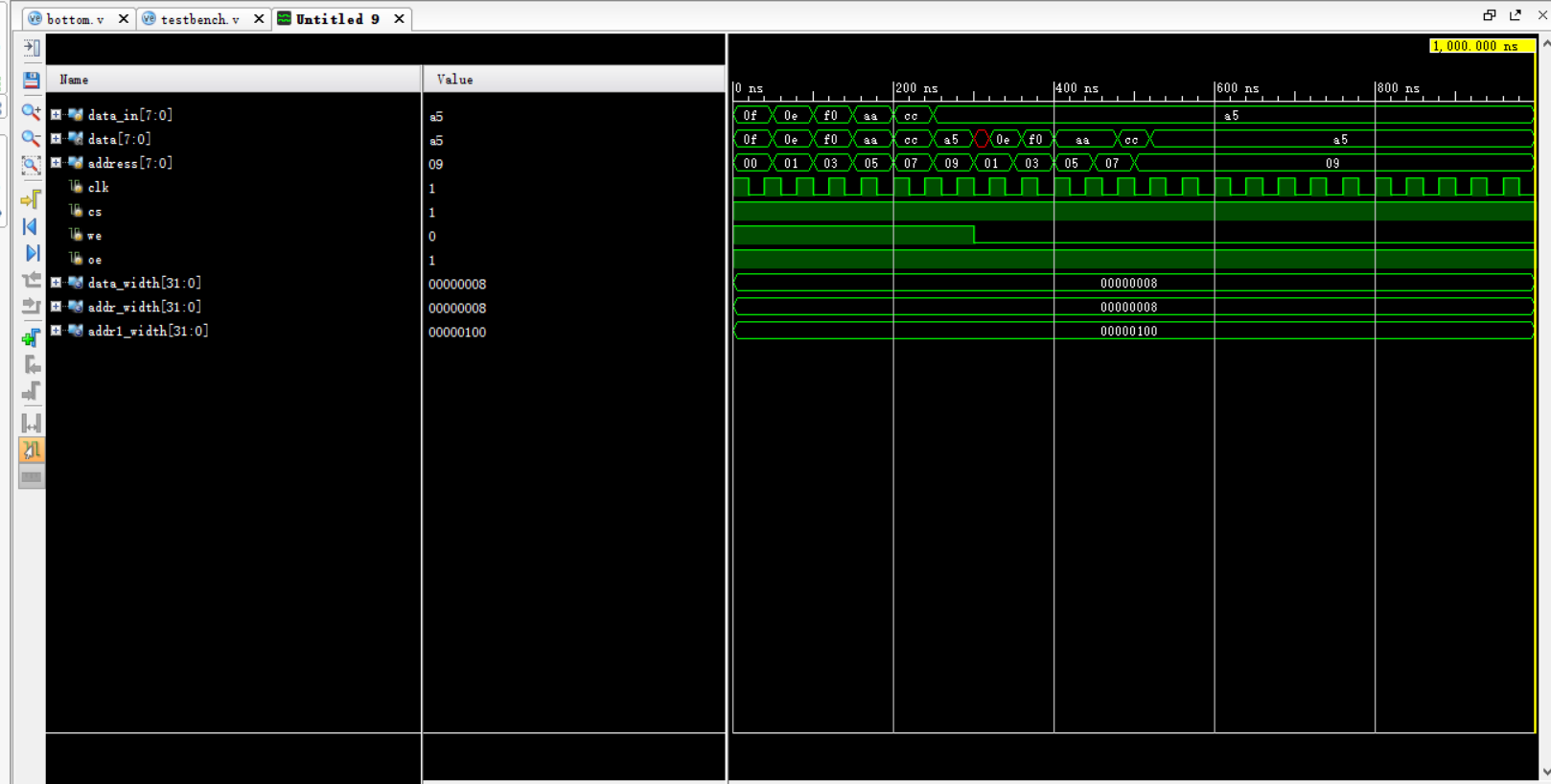
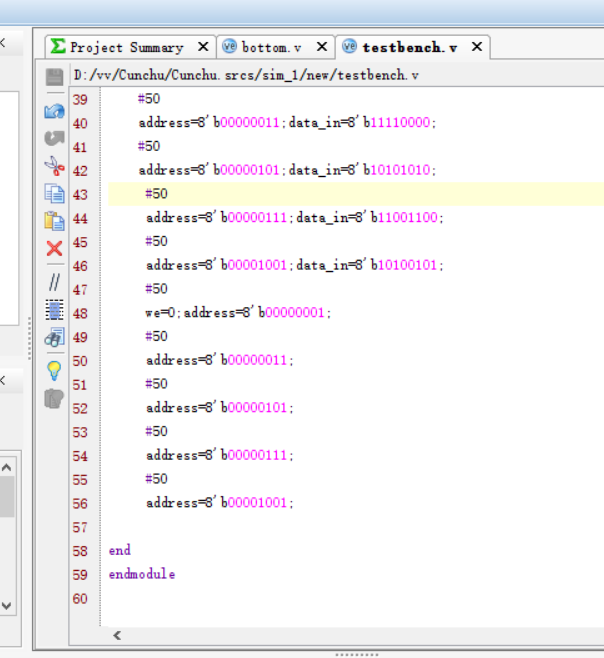
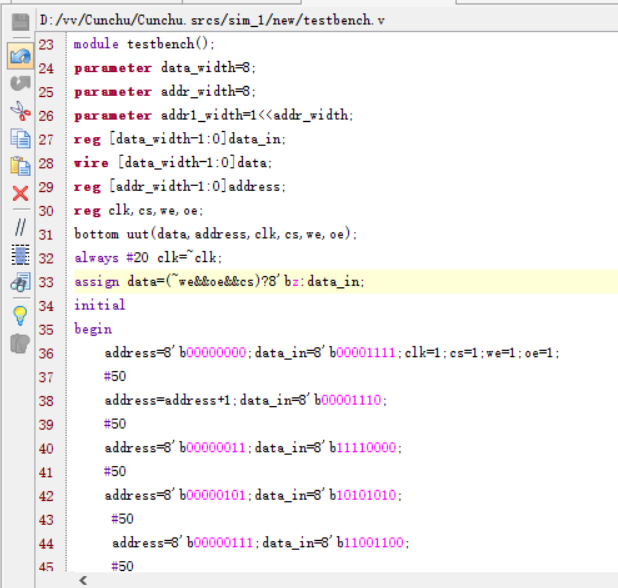
1. 分析各模块的的程序结构，画出其流程图。
2. 画出模块的电路图。
3. 分析电路的仿真波形，标出关键的数值。
4. 记录设计和调试过程。

**四、实验代码及结果**

Bottom模块



Testbench



**五、调试和心得体会**

第一次使用inout感觉非常陌生与不适应。与很多同学讨论加上网上查找了很多资料才知道正确的编程方法，但仍然感到困惑。我只是将正确的方式写了出来，但不知其所以然，希望在下节课能得到老师的指导。同时，在仿真时我发现当WE从1变成0时会有短暂的X状态，不知道怎么消除。PS:CSDN等网站的内容良莠不齐，很多都是互相抄袭的，想要找到合适的内容真的很难。