

25 Febbraio 2022 – Architetture dei Sistemi di Elaborazione A

Nome, MATRICOLA

Considerando il processore MIPS64 e l'architettura descritta in seguito:

- Integer ALU: 1 clock cycle
- Data memory: 1 clock cycle
- FP multiplier unit: pipelined 7 stages
- FP arithmetic unit: pipelined 3 stages
- FP divider unit: not pipelined unit that requires 7 clock cycles
- branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- it is possible to complete instruction EXE stage in an out-of-order fashion.

Usando il frammento di codice riportato, si calcoli il tempo di esecuzione dell'intero programma in colpi di clock e si completi la seguente tabella.

```

;      for (i = 0; i < 100; i++) {
;          v5[i] = v1[i]/v2[i];
;          v6[i] = (v1[i]*v2[i])/v3[i] + v4[i];
;      }

```

[illegible]

25 Febbraio 2022 – Architetture dei Sistemi di Elaborazione A

Nome, MATRICOLA

Considerando il processore MIPS64 e l'architettura descritta in seguito:

- Integer ALU: 1 clock cycle
- Data memory: 1 clock cycle
- FP multiplier unit: pipelined 7 stages
- FP arithmetic unit: pipelined 3 stages
- FP divider unit: not pipelined unit that requires 7 clock cycles
- branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- it is possible to complete instruction EXE stage in an out-of-order fashion.

Usando il frammento di codice riportato, si calcoli il tempo di esecuzione dell'intero programma in colpi di clock e si completi la seguente tabella.

```

;      for (i = 0; i < 100; i++) {
;          v5[i] = v1[i]/v2[i];
;          v6[i] = (v1[i]*v2[i])/v3[i] + v4[i];
;      }

```

[illegible]

25 Febbraio 2022 – Architetture dei Sistemi di Elaborazione A

Nome, MATRICOLA

$$\text{SPEEDUP}_{\text{enhanced}} = (8+7+1+1+1+7+1)/(7+1+6) = 1.86$$

$$\text{FRACTION}_{\text{enhanced}} = 100 \cdot (8+7+1+1+1+7+1) / 3506 = 0.74$$

$$\text{SPEEDUP}_{\text{computation}} = 1 / ((1 - \text{FRACTION}_{\text{enhanced}}) + \text{FRACTION}_{\text{enhanced}} / \text{SPEEDUP}_{\text{enhanced}}) = 1.52$$

$$\text{SPEEDUP}_{\text{observation}} = 3506 / 2306 \approx 1.52 \Rightarrow \checkmark$$

25 Febbraio 2022 – Architetture dei Sistemi di Elaborazione A

Nome, MATRICOLA

Domanda 2

Si consideri una BHT di 1K elementi con contatori di saturazione a 2 bit. Usando il frammento di codice proposto, si calcoli lo stato finale della BHT al completamento dell'esecuzione del programma proposto. Si calcoli inoltre, la *misprediction rate* complessiva. Lo stato iniziale della BPU è indicato nella tabella.

Assunzioni generali:

- R10 è il registro di controllo del loop ed è inizializzato a 100
- R3 e R7 sono registro di riferimento con valore 10
- R2 e R6 sono i registri in ingresso
 - o R2 riceve un valore sempre maggiore a 10
 - o R6 riceve un valore sempre minore a 10
- Gli altri registri sono inizializzati a 0.

Address	Instruction	BHT (2-bit)	Prediction	misP. counter
0x0000	L0: ...			
...	; Reading input values			
0x0010	SLT R1, R2, R3	2	T	
0x0014	BEQZ R1, L1	3	T	0
0x0018	DADDI R11, R0, 10	2	T	
0x001C	L1: SLT R4, R6, R7	2	T	
0x0020	BEQZ R4, L2	2-1-0	T	1
0x0024	DADDI R12, R0, 10	2	T	
0x0028	L2: SLT R5, R2, R6	2	T	
0x002C	BEQZ R5, L3	3	T	0
0x0030	DADDI R13, R0, 10	2	T	
0x0038	L3: DADD R14, R13, R12	2	T	
0x003C	DADD R14, R14, R11	2	T	
0x0040	SLT R5, R6, R14	2	T	
0x0044	BEQZ R5, L4	2-1-0	T	1
0x0048	DADDI R15, R0, 10	2	T	
0x004C	L4: ...	2	T	
0x0050	DADDI R10, R10, #-1	2	T	
0x0054	BNEZ R10, L0	2	T	1
0x0058				

Note:

```
SLT R1,R2,R3      ;IF (R2 < R3) R1 ← 1
                   ;ELSE R1 ← 0
```