

Jeu d'instructions R12 (version 2.0)

Instruction	Encodage sur 12 bits												Description					
	11	10	9	8	7	6	5	4	3	2	1	0						
nop	0				sans effet						0	Aucune opération						
add					rd				rs1				rs2				1	Regs[rd] ← Regs[rs1] + Regs[rs2]
sub																	2	Regs[rd] ← Regs[rs1] - Regs[rs2]
mult																	3	Regs[rd] ← Regs[rs1] * Regs[rs2]
div																	1	
mod	1	Regs[rd] ← Regs[rs1] % Regs[rs2]																
and	2	Regs[rd] ← Regs[rs1] & Regs[rs2]																
or	3	Regs[rd] ← Regs[rs1]   Regs[rs2]																
xor	0	Regs[rd] ← Regs[rs1] ^ Regs[rs2]																
-	2																1	Réservé pour expansion future
-																	2	Réservé pour expansion future
not																	imm (non signé)	
addi													3	Regs[rd] ← Regs[rs1] + imm				
subi													4	Regs[rd] ← Regs[rs1] - imm				
multi	5	Regs[rd] ← Regs[rs1] * imm																
divi	6	Regs[rd] ← Regs[rs1] / imm																
modi	7	Regs[rd] ← Regs[rs1] % imm																
shli	8	Regs[rd] ← Regs[rs1] << imm																
shri	9	Regs[rd] ← Regs[rs1] >> imm																
ld	10	Regs[rd] ← MEM[Regs[rs1] + imm]																
sd	11	MEM[Regs[rs1] + imm] ← Regs[rd]																
jalr	12	Regs[rd] ← PC + 1, PC ← Regs[rs1] + imm																
jal	13	imm (signé)											Regs[rd] ← PC + 1, PC ← PC + imm					
bz	14					if (Regs[rs] == 0) PC ← PC + imm												
bnz	15					if (Regs[rs] != 0) PC ← PC + imm												