

Visão geral do sistema.

01.Descreva a arquitetura de Von Neumann.

Se caracteriza pela possibilidade de uma máquina digital armazenar seus programas no mesmo espaço de memória que os dados, podendo assim manipular seus programas. A arquitetura de Von Neumann é composta principalmente por **UCP(central process unit)**, **memória**(responsável por armazenar dados e instruções) e dispositivos de **E/S** ou **I/O(input or output)**. A CPU é dividida em três partes, a **ULA**((Unidade Logica Aritmética, realiza operações lógicas e aritméticas), **UC**(envia sinais de controle p/ memória e ULA) e os registradores.

02.Lei de Moore e sua influência no desenvolvimento de microprocessadores desde os anos 70.

Em 1965, Gordon Moore, fundador da Intel, afirmou que o poder de processamento dos processadores dobraria a cada 18 meses com mesmo tamanho e menor custo. Mas isso parou de ser verdade com o tempo ficou cada vez mais difícil dobrar a capacidade com o mesmo espaço na placa e outro motivo seria porque cada mais processamento mais energia ele irá necessitar ainda por cima mais energia será dissipada.

Desde a observação de Moore uma dinâmica foi estabelecida, posicionando a inovação como fundamental para a competitividade no mercado.

03.Explique o que arquitetura e organização:

A **arquitetura** diz respeito aos aspectos de execução, como as instruções, endereçamentos, softwares etc, são os atributos visíveis ao programador.

A **arquitetura** define o que irá fazer. Por exemplo: Um arquiteto define que a máquina multiplicará. A **organização** define como será feito a multiplicação, pode ser uma função implementada naturalmente no sistema ou pode ser realizada com um conjunto de somas. Pois a organização está ligada aos aspectos estruturais, isto é circuitos, interconexões e componentes eletrônicos, a organização é como os recursos são implementados.

04.Descreva a função dos registradores (PC, IR, MAR, MBR, I/O AR, I/O BR)

- PC(Contador de programa):Armazena o endereço da próxima instrução.
- IR(Registrador de Instrução): Armazena a instrução em execução.
- MAR(Registrador de endereço de memória): Armazena o endereço dos dados a serem buscados na memória principal.
- MBR(Registrador de Buffer de memória): Armazena os dados que foram buscados na memória principal.

05.Sobre o barramento do sistema:

1.O barramento do endereço está conectado ao MBR(falso).

O MBR é o registrador de armazenamento unicamente. Ele só precisa ter acesso ao barramento de dados para as transferências.

2.O barramento de controle está ligado ao PC(Falso).

Não tem nenhum barramento ligado ao PC.

3.O barramento de dados está conectado ao MBR(verdade).

A única verdadeira é a 3

06.Descreva o processo realizado pela CPU para executar um ciclo de instrução:

Em um ciclo de instrução o **processador busca o endereço da próxima instrução a ser realizada no PC e armazena a instrução no IR e a decodifica**. Após isso **ele busca os endereços dos dados decodifica e guarda no MAR**. Após ter os endereços **ele busca os**

dados e armazena no MBR. E após tudo isso ele manda os dados dos operandos e da operação para a ULA e ela armazena o resultado da operação em um registrador. Então ele faz busca novamente ao PC e começa tudo de novo.

Memória CACHE

01.Descreva a estrutura de uma memória cache.

É uma memória de acesso aleatório semicondutora interna(conectada diretamente ao sistema). Podendo conter até três níveis. Composta por linhas cada linha armazena um bloco com k palavras da MP, mais uma **Tag**(Indica o bloco da MP que está armazenado). E um bit de controle para cada linha dependendo do mapeamento.

02.Considere a comunicação da CPU com a memória interna. Descreva o processo realizado pela CPU quando ocorre um *cache hit* e um *cache miss*.

CACHE Hit: É quando o processador busca um determinado dado na cache e encontra.

CACHE Miss: É quando o processador não encontra o dado na cache então ele busca na memória principal e armazena na cache para depois buscar na cache.

03.Cite e explique os algoritmos que podem ser utilizados para substituição de linhas da memória cache.

FIFO(First In, First Out):Esse método é basicamente uma fila onde o primeiro a entrar é o primeiro a sair.

LRU(Least-Recently Used):Menos recentemente usado, Esse método é acompanhando de uma pilha para acompanhar a ordem dos mais recentes ao conjunto de linhas da cache. Quando uma linha é acessada essa é movida para o topo da linha. Ao escolher uma linha para ser substituída por uma informação vinda da memória principal a linha que estiver no fundo da pilha ou seja a menos recentemente usada. Tradicionalmente, a nova linha é colocada no topo da pilha.

LFU(Least-Frequently Used):Conta o menos usado, Esse método é contém um adicional a cada linha da memória cache um contador de acesso para cada linha da memória. Ao escolher uma linha para substituição, a linha com contagem mais baixa é descartada. Políticas de LFU devem implementar um mecanismo de envelhecimento que decrementa automaticamente o valor do contador de acessos de cada linha ao longo do tempo para evitar a poluição da cache com linhas obsoletas.

Aleatório: Como próprio nome já deve dizer muita coisa esse método escolhe uma linha em qualquer para que possa ser feita a substituição da cache. A vantagem é que ela não precisa de nenhum metadado(Como pilhas e filas).

04.Cite e explique os métodos de atualização da memória principal em relação a memória cache.

Write-Through: A cada escrita na cache atualiza também na memória principal. Escreve palavra por palavra e demanda alto tráfego(desvantagem) na memória principal. É fácil de ser implementado(Vantagem).

Write-Back: A atualização só acontece a cache e quando a linha for substituída na cache. Utiliza um bit de controle(**dirty bit**) para saber se aconteceu alteração para caso seja necessário substituir a linha seja salva antes na memória principal.

Enquanto não encher a memória o WB sempre vai ser mais eficiente.

05.Cite e explique os algoritmos de mapeamento de endereços da memória principal para a memória cache.

Direto:

Existe um endereço fixo para cada bloco da memória principal a cada linha da cache. Sabendo que a memória principal é bem maior que a memória cache então após a divisão e cada linha da cache já ter seu respectivo bloco na memória principal, começa tudo de novo. Assim vários blocos estarão ligados a somente uma linha cache (Podendo as vezes acontecer conflito).

Associativo:

Não tem endereço fixo e o bloco pode ser gravado em qualquer linha da memória cache. O problema é que sempre fazer uma comparação quando se for carregar um dado a cada tag já carregada.

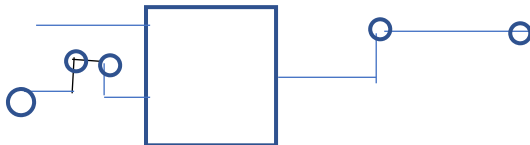
Associativo por conjunto:

Ele utiliza os pontos bons de cada uma. Ele divide a cache em conjuntos de linhas e blocos e faz como o método associativo, ou seja, qualquer linha do conjunto poderia ser escolhida e não iria demorar muito tempo quando se fosse buscar pois ele só ia buscar no conjunto. O ruim que ele utiliza um adicional chamado SET.

06.Descreva o funcionamento básico de uma célula de memória.

Uma célula de memória recebe um valor binário ou 0 ou 1 e armazena por tempo indeterminado. O Flip-flop é um tipo de célula de memória ele tem duas entradas uma de alimentação e outro o clock, e possui também um saída. O valor é armazenado no momento de transição do clock. Somente quando o clock é 0 e recebe 1. No momento de transição para 1 pode ser salvo. Já o Flat é diferente não se chama clock e sim sinal de entrada e por enquanto o sinal de entrada for 1 a alimentação poderá armazenar o valor na célula.

Resumindo, um valor ficará armazenado pelo sinal de entrada até que um pulso de energia seja desligado, ou seja até que esse mesmo valor seja “desligado”.



1. **7.Considere uma cache com tamanho de linha de 32 bytes e uma memória principal que leva 30 ns para transmitir uma palavra de 4 bytes. Mostre quantas vezes uma mesma linha pode ser escrita pela CPU antes de ser substituída para que o *write back* seja mais eficiente que o *write through*? Há algum caso em que o *write through* seja superior ou equivalente ao *write back*?**

Write through

1. $1 * 8 * 30 \text{ ns} = 240 \text{ ns}$
2. $2 * 8 * 30 \text{ ns} = 480 \text{ ns}$
3. $3 * 8 * 30 \text{ ns} = 720 \text{ ns}$
4. .
5. .

1. Write back

1. 0
2. 0
3. 0
4. .
5. .
6. .
7. $8 * 30 \text{ ns} = 240 \text{ ns}$

6. .

7. $n * 8 * 30 \text{ ns} = n * 240 \text{ ns}$

Na primeira tabela podemos ver antes de a linha ser substituída o write-back é mais eficiente. Quando o número de palavras for igual ao número das palavras que a linha pode armazenar o dois terão a mesma eficiência. Há muitos casos que o write-through seja melhor que write-back (Como por exemplo: Se fossem 9 palavras).

8. Suponha um processador com acesso a dois níveis de cache. A cache nível 1 tem 10.000 palavras e tempo de acesso 0.01 μs . A cache nível 2 tem 100.000 palavras e tempo de acesso 0.1 μs . Suponha que 95% dos acessos à memória sejam encontrados na cache nível 01. Calcule o tempo de acesso médio para este processador acessar uma palavra na memória cache.

TempoAcesso médio: (Acesso*tempo de acesso) + (percentual do que restar do acesso*outro acesso)

$$TM = (\%L1) * (Veloc) + (\%L2) * (Vel L1 + Vel L2)$$

$$0,95 * 0,01 + 0,05 * (0,01 + 0,1)$$

$$0,0095 + 0,055 = 0,0645$$

9. As caches atuais são unificadas ou separadas? Que vantagem uma organização apresenta sobre a outra?

Geralmente são separadas. principal vantagem do projeto de cache **separada** é que isso elimina a disputa pela cache entre a unidade de busca/decodificação de instrução e a unidade de execução. Isso é importante em qualquer projeto que conta com o pipeline de instruções. Já a **unificada** apresenta a vantagem de que a cache unificada tem uma taxa de acerto maior.

Memória Interna

01. Sobre memórias semicondutoras, é incorreto afirmar:

I. A volatilidade é uma característica que indica a permanência ou não dos dados na ausência de alimentação no dispositivo de memória. (certo)

II. Memória ROM é uma memória de acesso direto, considerando seu arranjo matricial de células. (errado)

III. Memória SDRAM é um tipo de memória de curto tempo de acesso utilizada para fabricação de memória cache. (errado)

02. Marque 1 para as afirmações verdadeiras e 0 para as falsas.

(0) A memória principal transfere dados para a memória cache palavra por palavra.

[Ela transfere os dados em blocos]

(0) A CPU lê blocos de dados da memória cache.

[Ela lê palavra por palavra]

(0) O IR é responsável por registrar interrupções.

[Registra instruções]

(0) A ULA se comunica com a memória principal para receber os dados das operações.

[Ela se comunica com a memória cache]

(0) A memória cache é construída com tecnologia SDRAM para que possa ser mais rápida.

A Cache é construída com SRAM

03. O que afirma o princípio da localidade dos dados e instruções.

Princípio da localidade temporal afirma que quando um bloco é levado da memória principal para a memória cache para satisfazer uma única referência é provável que haja referências futuras ao mesmo bloco. Já o **princípio da localidade espacial** diz que existe a possibilidade de ele chamar um bloco vizinho.

04. Quais vantagens a DRAM síncrona apresenta em relação a DRAM assíncrona.

A DRAM síncrona é sincronizada com o clock do processador.

evita um tráfego de dados em que o processador não vai ler esses dados naquele determinado instante de tempo.

05. Considere que você foi a uma loja de produtos de informática e pediu ao vendedor um pente de memória DDR3 DIMM. O vendedor o informa que não existem pentes de memória deste tipo, pois as tecnologias são incompatíveis. Qual explicação você daria ao vendedor como resposta para sua afirmação?

Diria que uma tecnologia não interfere na outra, pois a DDR3 envia o dobro de dados (subindo e descendo no clock do processador) e o DIMM chips em ambos os lados.

Memória Externa

01. Calcule a cadeia codificada para palavra 1001101001101110 utilizando código de Hamming.

p1

02.Considere uma palavra de 8 bits 00111001 armazenada na memória com os bits de verificação 0010. Suponha que, quando a palavra é lida na memória, os bits de verificação são calculados como 0001 Qual é a palavra que foi lida na memória?

03.Considerando os projetos de armazenamento em múltiplos discos (RAID), descreva cada os níveis de RAID e uma possível aplicação para cada nível.

EXERCÍCIOS DOS SLIDES

1.Qua tipo de memória pode ser utilizada para fabricar uma cache level3? Justifique.

2.Qual tipo de memória pode ser utilizada para armazenar a BIOS?Justifique

3.Suponha um processador com acesso a dois níveis de cache.

- A cache level 1 tem 10.000 palavras e tempo de acesso 0.01Ms.

- A cache level 2 tem 100.000 palavras e tempo de acesso de 0,1Ms.

Calcule o tempo de acesso médio para este processador acessar uma palavra na memória cache considerando:

Pior caso: L1 1% - L2 99%

Caso médio: L1 50% - L2 50%

Melhor caso: L1 99% - L2 1%

(Pior Caso)

$$(0,01) * (0,1) + (0,99) * (0,1)$$

$$0,001 + 0,009 = 0,0109 \text{ Ms}$$

$$\text{Caso médio} = 0,06 \text{ Ms}$$

$$\text{Melhor caso} = 0,011 \text{ Ms}$$

Considere um arquivo de 1 MB (1024 KB) armazenado num disco que possui clusters formado por 16 setores. Quantos **clusters** são necessários para armazenar este arquivo?

$$1 \text{ setor} = 512 \text{ B}, 1 \text{ cluster} = 16 \text{ setores}$$

$$512 * 16 \text{ setores} = 8,192 \text{ b}$$

$$8,192 \text{ b} / 1024 \text{ kb} = 8 \text{ Kb}$$

$$1024 \text{ kb} / 8 \text{ kb} = 128 \text{ clusters}$$

Calcule o **tempo de rotação média** de um disco com 3600 rpm, 7200 rpm e 12500.

$$\frac{3600}{60} = 60 \text{ rotações por segundo.}$$

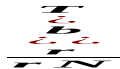
$$T = 0.5 * \frac{1 \text{segundo}}{60 \text{ rotações}} = 0.016 \text{ s}$$

$$T = 0.5 * 0.016 \text{s}$$

$$T = 0.008 \text{ s}$$

Tempo de transferência

Tempo de leitura ou escrita no disco.



T: Tempo de transferência

b: Nº de bytes a serem transferidos

r: Tempo de uma rotação (s)

N: Número de bytes em uma trilha

Memória Interna

Descreva como são organizadas as células de memória no chip.

O que é endereço de memória?

Diferencie encapsulamento de organização de memórias.

Como a organização do processador, memória cache e memória principal pode influenciar no desempenho do sistema?

Descreva as características de uma memória DDR SDRAM DIMM

1ª Hipótese: Organização sequencial

- O arquivo ocupa 2500 setores divididos de 5 trilhas adjacentes.

- Tempo médio de busca: (Movimento do braço) = 4 ms
- Atraso rotacional médio : $0,5 * (60/15000)$ = 2 ms
- Leitura de 500 setores: = 4 ms
- Tempo de leitura da primeira trilha: = 10 ms

1ª Hipótese: Organização sequencial

- Como as próximas trilhas a serem lidas estão adjacentes, podemos desconsiderar tempo de busca de cada trilha.
- Atraso rotacional médio : $= 2 \text{ ms}$
- Leitura de 500 setores: $= 4 \text{ ms}$
Tempo de leitura das n-últimas trilhas: $6 \text{ ms} \times 4 \text{ trilhas} = 24 \text{ ms}$
- Tempo total de leitura do arquivo: $10 \text{ ms} + 24 \text{ ms} = 34 \text{ ms}$

2ª Hipótese: Organização aleatória

- O arquivo ocupa 2500 os setores alocados aleatoriamente
- Tempo médio de busca: $= 4 \text{ ms}$
- Atraso rotacional médio : $= 2 \text{ ms}$
- Leitura de 1 setores: $4 \text{ ms}/500 \text{ setores} = 0,008 \text{ ms}$
- Tempo total para transferência de 1 setor: $= 6,008 \text{ ms}$
- Tempo total de leitura do arquivo: $2500 \times 6,008 = 15020 \text{ ms}$
 $15,02 \text{ segundos}$

Refaça o exemplo anterior, considerando que o arquivo ocupe 3000 setores divididos em 6 trilhas.

Raid : Sistema de armazenamento de múltiplos discos. Com objetivo de melhorar o desempenho e segurança dos discos rígidos

Exercícios

Cite aplicações para cada nível do RAID.

Qual/quais tipos de RAID podem ser implementados em um sistema de versionamento de software?

Porque o uso de RAID aumenta a performance de um sistema de armazenamento?

Supondo que sistemas de arquivos como MEGA, DRIVE e OneDrive utilizem um dos modelos de RAID descritos, qual modelo seria o mais adequado?

Diferencie o acesso direto, utilizado nos discos magnéticos, do acesso sequencial, utilizado nas fitas magnéticas.

Descreva a leitura e gravação de dados em um CD.

Exercícios Dispositivos E/S

Descreva três formas de acesso a dispositivos externos. Três estratégias principais na comunicação do módulo de E/S com o processador

Programada, Controlada por interrupção, e DMA.

Diferencie E/S mapeada na memória para E/S independente.

Mapeada Divide um único espaço de endereço com o dispositivo E/S.

Independente tem espaços de endereços separados, precisa linhas selecionadas para a memória ou E/S.

Qual a finalidade dos sinais dos dispositivos externos?

Auxiliar a comunicação entre módulo de E/S e dispositivos Externos. Os sinais são os Dados, estado e controle.

Resumo tópicos importantes Mem. Cache

Método de acesso

Acesso Sequencial

Os dados são organizados em registros sequenciais.

Tempo de acesso variável.

Ex.: Fitas magnéticas.

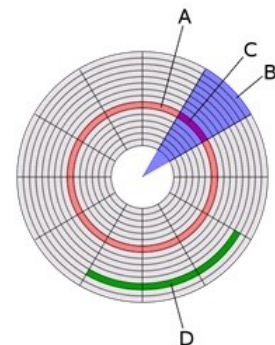
Acesso direto

Os dados são organizados em blocos de memória, podendo ser acessados pelo endereço de memória.

O acesso direto é realizado primeiro pelo acesso a vizinhança, em seguida uma busca sequencial pelo bloco requisitado.

Ex.: HD.

A – Trilha
B – Setor geométrico
C – Setor de trilha
D – Unidade de alocação



Acesso Aleatório

Os dados são organizados em endereços únicos.

O acesso é direto a célula de memória.

O tempo de acesso é constante para todos os endereços.

Ex.: Memória DRAM (Memória RAM) e SRAM (Registradores).

Acesso Associativo

O método realiza uma comparação entre um certo número de bits dentro de uma palavra com todas as palavras na memória em busca de um padrão. Assim, a palavra é recuperada com base em seu conteúdo, não no endereço.

Ex.: Memória cache.