

See discussions, stats, and author profiles for this publication at: <https://www.researchgate.net/publication/233988565>

# PROJETO E SIMULAÇÃO DE UMA UNIDADE LÓGICO-ARITMÉTICA DE 8 BITS COM TECNOLOGIA CMOS 0.35 $\mu$ m PARA APLICAÇÃO....

Conference Paper · October 2010

DOI: 10.13140/RG.2.1.2159.9605

CITATIONS

4

READS

839

4 authors, including:



Alexandre Maniçoba De Oliveira

Federal Institute of São Paulo

68 PUBLICATIONS 83 CITATIONS

SEE PROFILE



Héctor Orrillo

Universidade Lusófona de Humanidades e T...

12 PUBLICATIONS 27 CITATIONS

SEE PROFILE



Sergio Takeo Kofuji

University of São Paulo

184 PUBLICATIONS 396 CITATIONS

SEE PROFILE

Some of the authors of this publication are also working on these related projects:



FIILAB: Brazilian FI-WARE Regional Centers For Future Internet Innovation [View project](#)



Segurança IoT [View project](#)

## PROJETO E SIMULAÇÃO DE UMA UNIDADE LÓGICO-ARITMÉTICA DE 8 BITS COM TECNOLOGIA CMOS 0.35 $\mu$ m PARA APLICAÇÕES DIDÁTICAS

**Alexandre Manicoba de Oliveira, alexandre.manicoba@unisantos.br**

Centro de Ciências Exatas e Tecnológicas, Universidade Católica de Santos, Av. Cons. Nébias, 300 - 11015-002 - Santos - SP

**Héctor Dave Orrillo Ascama, Hector@pad.lsi.usp.br**

*Pervasive and Distributed Computing Group, Polytechnic School of the University of Sao Paulo, Av. Prof. Luciano Gualberto, 158, trav. 3, Cidade Universitária – São Paulo - SP*

**Sérgio Takeo Kofuji, kofuji@pad.lsi.usp.br**

*Pervasive and Distributed Computing Group, Polytechnic School of the University of Sao Paulo, Av. Prof. Luciano Gualberto, 158, trav. 3, Cidade Universitária – São Paulo - SP*

**Luiz Carlos Moreira, lcm@unisantos.br**

*Analog and Digital Integrated Circuits Laboratory, Universidade Católica de Santos, Av. Cons. Nébias, 300 - 11015-002 - Santos - SP*

**RESUMO.** Neste trabalho apresentaremos o projeto e simulação de uma ULA-Unidade Lógico Aritmética de 8bits implementado no processo 0.35 $\mu$ m da tecnologia CMOS. Esta unidade realiza operações aritméticas de soma, subtração, comparação entre os operandos e funções lógicas AND e OR bit-a-bit. O circuito completo da ULA foi simulado em unidades com o simulador elétrico LTSpice e o layout com editor de layout Microwind. As simulações apresentaram um tempo máximo de atraso na ordem de ns.

**Palavras chaves:** Unidade Lógico-Aritmética, CMOS, VLSI, Circuito integrado.

### 1. INTRODUÇÃO

A Unidade Lógico-Aritmética é um dos principais blocos funcionais de um processador, nela são executadas operações lógicas e aritméticas, sendo as operações lógicas realizadas bit-a-bit (FREGNI & SARAIVA, 1995; TOCCI, WIDMER e MOSS, 2007) e seu desempenho influencia diretamente o desempenho do processador, logo, uma ULA com bom desempenho é a chave para um processador de boa performance (SUZUKI et al., 1993 e PATTERSON e HENNESSY, 2005), em especial a unidade aritmética (LANGDON & FREGNI, 1987).

Em função do fato de que a performance de um processador estar diretamente ligada ao desempenho da ULA, percebe-se a grande importância do estudo do desenvolvimento das ULAs.

Toda a operação aritmética realizada na ULA é baseada na operação de adição (GÜNTZEL, 2003). A proposta neste trabalho, tem sua unidade aritmética formada pela combinação de oito blocos somadores completos (*full adder*) interligados pelo sinal de vai-um (*carry*) sendo capaz de realizar operações de soma e subtração de número binários de até 8 bits (SRINIVASAN, 2003).

As operações lógicas são realizadas por uma unidade lógica formada pela combinação de oito blocos lógicos capazes de realizar as operações AND e OR com palavras de 8bits na forma paralela bit-a-bit.

A ULA proposta possui duas entradas de oito bits para cada um dos dois os operandos, uma saída de oito bits para o resultado da operação, entradas de sinais de controle que sinalizam para a ULA a operação que deverá ser realizada, bem como sinais de saída que sinalizam o estado final da operação realizada (MANICOPA, 2011).

Ao se ajustar os sinais de controle ( $C_0$ ,  $C_1$  e  $C_2$ ), prepara-se o circuito interno da ULA para realizar a operação correspondente entre os dois operandos disponíveis nas suas portas de entradas (A e B). Logo após, o resultado fica disponível na porta de saída (S) e o estado da operação nas saídas de sinalização de estado.

A técnica de projeto utilizada foi a de rede lógica de transistores (*CMOS networks*) com base nos trabalhos de Radhakrishnan (1991 e 1999), Radhakrishnan, Whitaker e Maki (1985) e Kudva, et al (1996). Segundo J. A. Abraham (2010), a técnica consiste em desenvolver um circuito CMOS otimizado a partir de sua expressão lógica, onde inicialmente se desenvolve a rede negativa (*N-network*) com transistores NMOS direto da própria expressão, logo após se desenvolve a rede positiva (*P-network*) com transistores PMOS, utilizando-se a negação da expressão e por fim combina-se as duas redes de forma a garantir o adequado funcionamento.

O circuito lógico da ULA foi implementado a partir da tecnologia de processo de fabricação de circuitos integrados IBM Semicondutor 0.35 $\mu$  5HPE SiGe BiCMOS Process, da fabricante de circuitos integrados MOSIS, no programa de simulação com ênfase em circuitos integrados (*Simulated Program with Integrated Circuits Emphasis – SPICE*) LTSpice versão 4.11g e o desenho do microchip (*layout*) foi desenvolvido e testado no programa Microwind versão 2.6.

O processador, cujo coração é a ULA, é um dos principais componentes na maioria dos equipamentos computacionais (PATTERSON & HENNESSY, 2005), sendo assim, este trabalho poderá contribuir, ainda que de

forma singela, para um avanço na área de sistemas computacionais como um todo, principalmente ao que tange a parte de estímulo acadêmico.

Além dos motivos acadêmicos, a pesquisa atual é motivada no fato de que estudos apontam que apesar das exportações brasileiras estarem aumentando, a ausência de um expressivo setor produtor de tecnologia de componentes eletrônicos no país explica os elevados déficits comerciais brasileiros, uma vez que a maior parte dos componentes eletrônicos dos bens produzidos no país são importados (BNDES, 2011).

Sendo assim, qualquer contribuição para o setor produtivo de componentes eletrônicos nacional, ainda que singela, poderá impactar positivamente o setor no Brasil.

## 2. METODOS E PROJETO

Este trabalho tem como objetivo geral apresentar o estudo e o desenvolvimento de uma ULA de 8bits com base em uma revisão bibliográfica para fins acadêmicos.

Além do objetivo geral, este tem como objetivo específico o projeto e desenvolvimento de uma unidade lógico-aritmética capaz de trabalhar com operandos e resultados de 8bits, cujo desenvolvimento se deu através de projeto e simulação em tecnologia CMOS 0.35µm usando a técnica de projeto *full-custom* VLSI e tendo como especificações do projeto as seguintes características:

- Entradas A e B, bem como saída de resultados S, todas de 8bits.
- Operações realizadas na forma  $A(\text{operação})B=S(\text{resultado})$ .
- Operações aritméticas possíveis: Soma, subtração, comparações de maior, menor e igual.
- Operações lógicas possíveis: lógica E e lógica OU.
- Seleção: uma palavra de 3 bits é utilizada para configurar o modo de operação da ULA conforme a tab. 1.

**Tabela 1 - Palavras de seleção de operação da ULA.**

Código (C2,C1 e C0)	Operação
001	Comparação
010	Soma
011	Subtração
100	Lógica OR
101	Lógica AND
11x	Resulta zero

As operações da ULA são divididas em circuitos modulares, sendo eles: unidade somador/subtrator (USS) e módulo comparador (MC) formando a unidade aritmética (UA), unidade lógica (UL), e multiplexador de quatro entradas e uma saída. A fig. 1 apresenta o diagrama da ULA proposta neste trabalho.

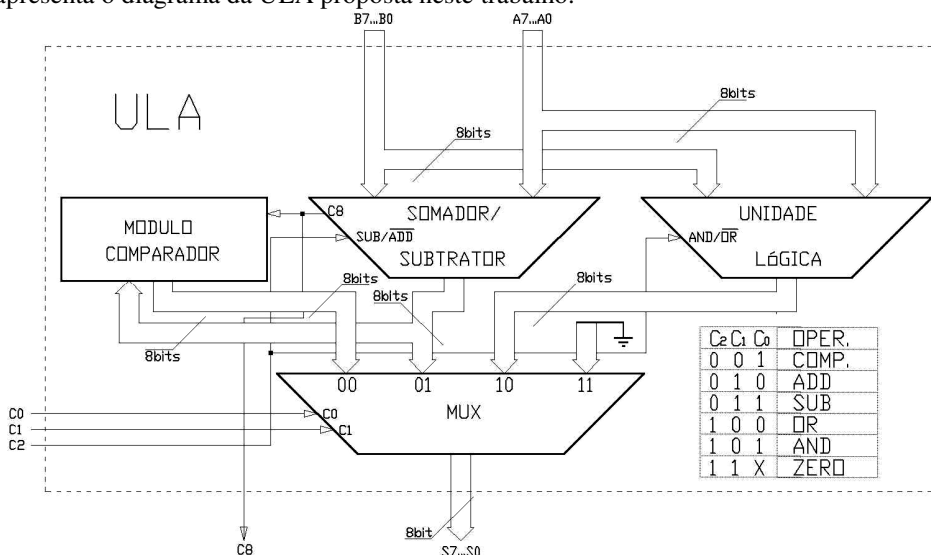


Figura 1- Diagrama da ULA proposta.

O diagrama de ligações elétricas pode ser visto na fig. 2 onde são apresentados os blocos lógicos: multiplexador de quatro canais para um, unidade lógica, barramentos de dados, sinais de controle, unidade somador/subtrator e módulo comparador, cujo circuito expandido mostra sua topologia formada por dez inversores, uma porta AND de duas entradas e uma porta AND de oito entradas.

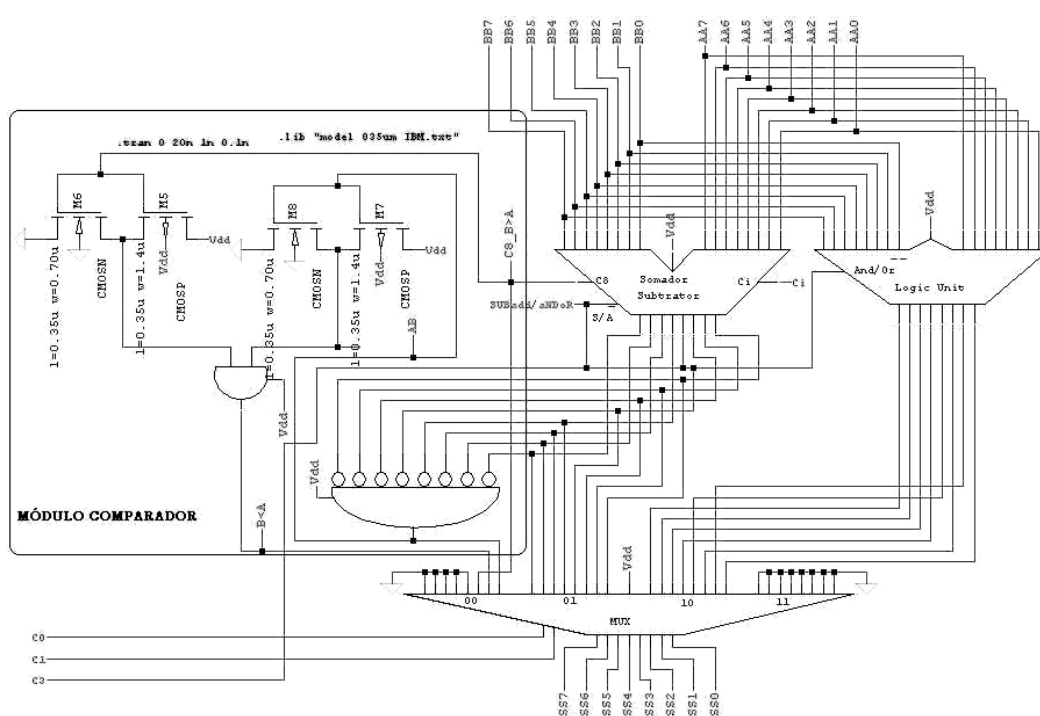


Figura 2 - Diagrama elétrico da ULA de 8bits proposta contendo os módulos somador/subtrator, unidade lógica, multiplexador, barramentos e circuito comparador.

Segue o estudo detalhado de cada módulo que compõe a ULA proposta, sendo que o primeiro a ser apresentado é a unidade somadora/subtratora, visto sua relevância no que diz respeito ao cerne das funções aritméticas.

## 2.1. Unidade Somadora/Subtratora

O módulo somador é base para o projeto da unidade de soma e subtração (USS) que foi adaptado do somador de um bit proposto na literatura por Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007). O somador de um bit realiza adição em única coluna binária da cadeia de bits como ilustra a figura 3.

A operação de adição inicia ao somar-se os bits menos significativos (LSBs) da primeira e da segunda palavras, sendo assim,  $1+1=10$ , ou seja, a soma dos dois bits menos significativos resulta um bit menos significativo igual a 0 e um bit vai-um (*carry out*) igual a 1.

O bit vai-um da coluna anterior é recebido na próxima coluna como vem-um que chega (*carry in*) e é somado aos bits da segunda coluna (em evidência na fig.3), assim:  $1+1+0=10$ , ou seja, a soma de  $C_i$  com os dois bits resulta em zero e um bit  $C_o$  igual a 1, e assim até a soma dos bits mais significativos (MSBs).

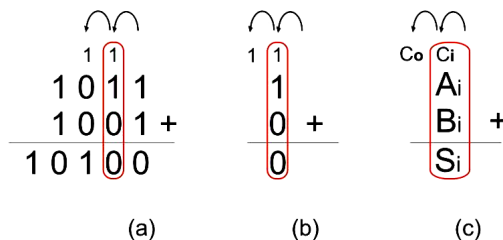


Figura 3 - Estudo e modelo do somador bit-a-bit proposto por Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007), onde (a) representa a soma paralela, (b) uma única coluna da soma com o detalhe do bit recebido (*carry in*) da soma anterior e o bit que vai para soma seguinte (*carry out*) e (c) o modelo algébrico.

Como pode ser observado na fig. 3, as colunas da soma binária, representando cada qual um módulo somador são inter-relacionadas pelo bit vai-um (*carry out*) que se propaga entre elas, onde o bit vai-um (*carry out*) que tem origem na coluna anterior é o  $C_i$  (*carry in*) é somado com os operandos A e B da posição i. Já o bit vai-um que tem como destino a próxima coluna é o  $C_o$  (*carry out*).

As expressões para  $S_i$  e  $C_o$  são vistas nas Equações (1 e 2):

$$S_i = (A_i \oplus B_i) \oplus C_i \quad (1)$$

$$C_o = A_i B_i + C_i (A_i \oplus B_i) \quad (2)$$

Para realizar uma operação de subtração entre os operandos apartir do somador, realiza-se o complemento bit-a-bit do subtraendo e realiza-se a soma com o minuendo, com  $C_o=1$ , isto é  $B_0=0$ , uma vez que neste caso o sinalizador vai-um se torna empresta-um (FREGNI & SARAIVA, 1995). Para implementar o controle entre as operações de subtração e adição, foi inserido o sinal de modo de operação (M) como mostra a Equação (3):

$$C_o = (M_i \oplus B_i) \cdot (C_i + A_i) + (C_i \cdot A_i) \quad (3)$$

Com base nas Equações (1 e 3), desenvolveu-se no *LTSpice* o circuito lógico do somador/subtrator completo de 1 bit como mostra a fig. 4:

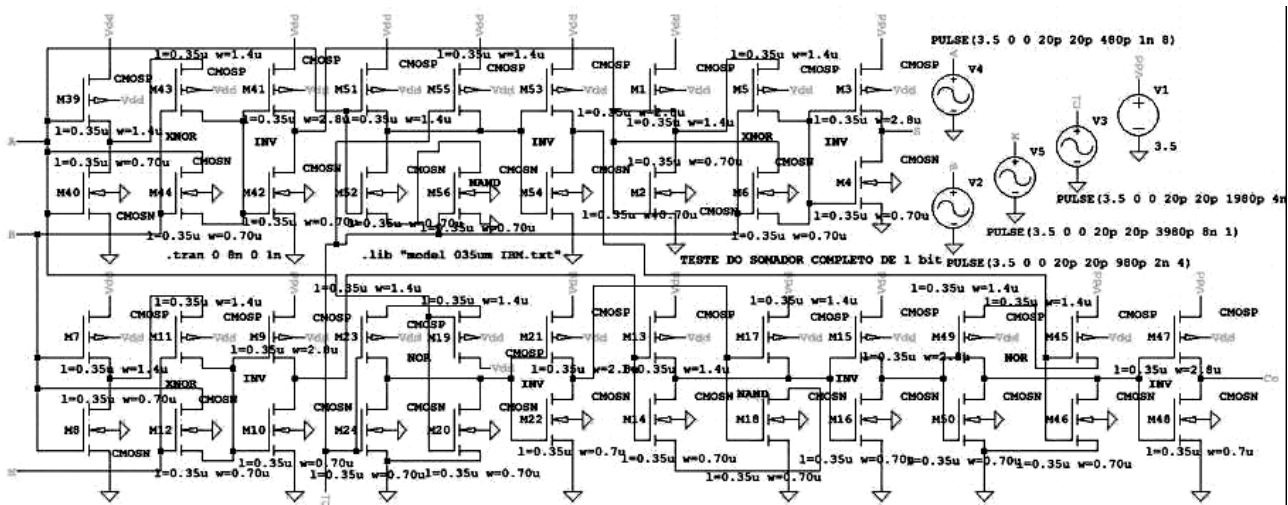


Figura 4 - Circuito lógico somador/subtrator de 1bit.

A tab. 2 ilustra a forma de controle da USS a partir do sinal de controle na porta M, nele configuramos a unidade para realizar soma ou subtração.

Tabela 2 – Bit de seleção de operação da USS.

Código (M)	Operação
0	Soma
1	Subtração

Para realizar o teste por simulação Spice da USS foi aplicado sinais de entrada ajustados de acordo com a matriz de vetores apresentada na Equação (4):

$$\begin{bmatrix} A_{(t)} \\ B_{(t)} \\ C_{i(t)} \\ M_{(t)} \end{bmatrix} = \left\{ \begin{bmatrix} 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} e \right\}$$

$$p/t = (0;0,5;1;1,5;2;2,5;3;3,5;4;4,5;5;5,5;6;6,5;7;7,5)ns \quad (4)$$

A fig. 5 apresenta as formas de onda dos sinais dos operandos (A e B), do sinal de carry in (Ci) e o sinal de controle (M) e as formas de onda de saída carry out (Co) e de resultado (S). O sinal de entrada esta operando a um clock de 1GHz com alimentação  $V_{dd}=3,5V$ . Em realce dois instantes onde são estudados os tempos necessários para a realização de cada operação.

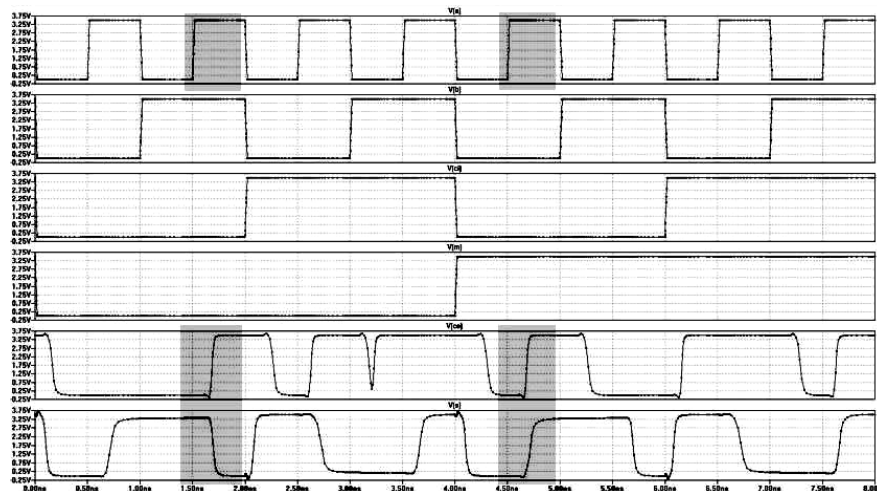


Figura 5 - Formas de onda da operação da unidade somadora/subtratora simulada no LTSpice.

A uma frequência de 1GHz com  $V_{dd}=3,5V$  a USS realiza uma operação de soma em 190ps e uma operação de subtração em 205ps como pode ser observado na fig. 6.

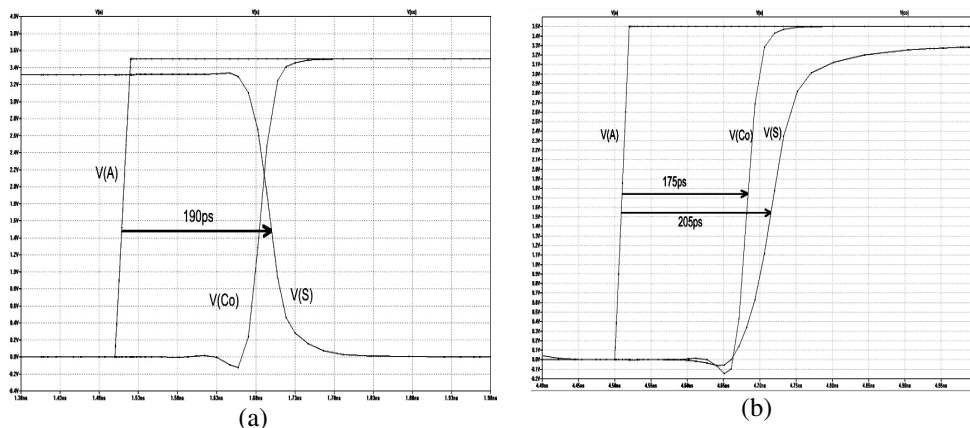


Figura 6 - Forma de ondas da simulação Spice da USS onde é observado em (a) o tempo de 190ps para realizar uma operação de soma e em (b) o tempo de 205ps para realizar uma subtração.

A fig. 7 apresenta o layout CMOS 0.35 $\mu m$  do módulo somador/subtrator de 1 bit com realce dos poços com dopagem tipo n (*N-well*) e substrato tipo p (Si-P) devidamente polarizados.

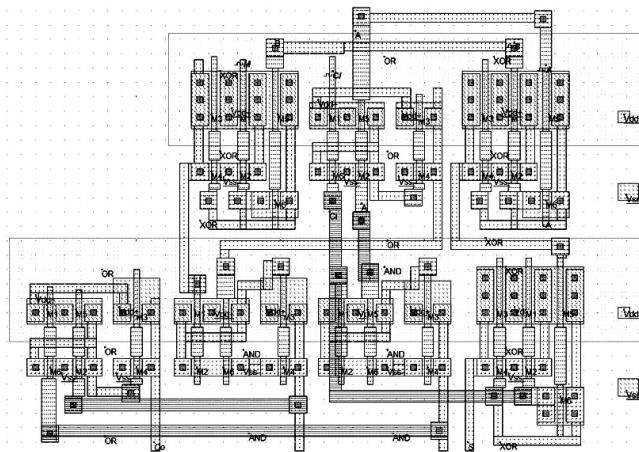


Figura 7 - Layout CMOS 0.35 $\mu m$  do módulo somador/subtrator de 1bit desenhado no programa MicroWind.

Ao associarmos múltiplas USS em paralelo formamos uma USS capaz de realizar operações com palavras de N bits, sendo N o número de USS de 1 bit associadas em paralelo.

A USS paralela é um somador/subtrator simples e econômico, entretanto apresenta um atraso em sua execução. Esse tipo de arranjo é chamado somador/subtrator de propagação do vai-um (*ripple carry adder/subtractor*), sendo desenvolvido através da simples associação em cascata de USS de 1bit, como se observa na fig. 7.

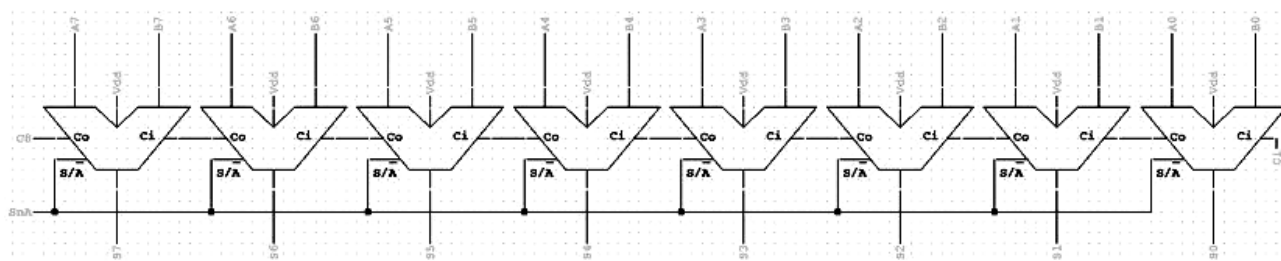


Figura 8 - Somador/Subtrator de 8 bits com propagação do vai-um.

O atraso apresentado durante a operação desta unidade de soma e subtração é equivalente a soma dos atrasos da saída vai-um (*carry out*) das USS de 1bit. Neste caso, a USS de 8bits proposta apresenta um atraso de aproximadamente 96 camadas de transistores entre a transição do bit vai-um C0 ao C8, o que equivale ao tempo de propagação de 0.9ns por operação.

A fig. 8 apresenta o Layout do circuito da USS de 8bits.

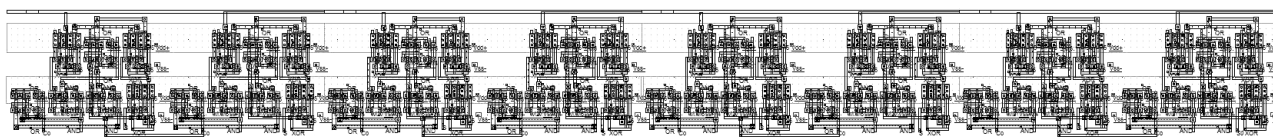


Figura 9 - Layout da USS de 8bits em tecnologia CMOS 0.35 um desenhado no Microwind.

## 2.2. Módulo comparador

O comparador ou comparador de magnitude, aqui apresentado como módulo comparador (MC), é um circuito lógico combinacional que realiza a comparação de duas palavras binárias e gera uma saída (S) codificada que indica qual destas palavras (A e B) tem maior magnitude (TOCCI, WIDMER e MOSS, 2007).

O MC, em realce na fig.1 e em destaque na fig.9, opera em conjunto com a USS configurada para realizar operações de subtração. Ao ser realizada a operação de subtração entre os operandos A (A<sub>7</sub> A<sub>6</sub> A<sub>5</sub> A<sub>4</sub> A<sub>3</sub> A<sub>2</sub> A<sub>1</sub> A<sub>0</sub>) e B (B<sub>7</sub> B<sub>6</sub> B<sub>5</sub> B<sub>4</sub> B<sub>3</sub> B<sub>2</sub> B<sub>1</sub> B<sub>0</sub>) o MC monitora o resultado da operação e informa se A=B, se A<B ou se A>B.

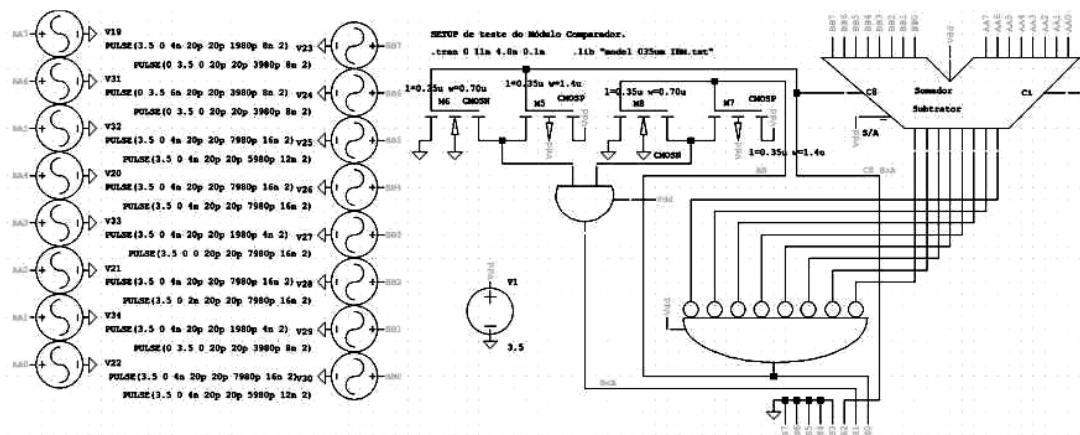
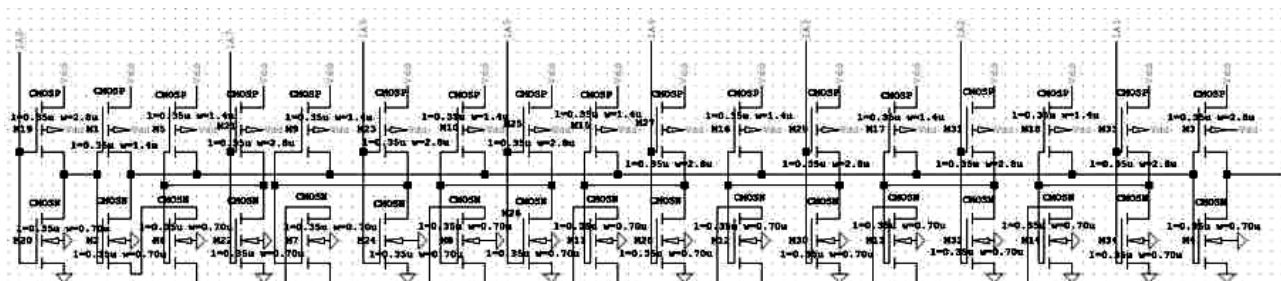


Figura 10 – Setup de teste Spice do módulo comparador.

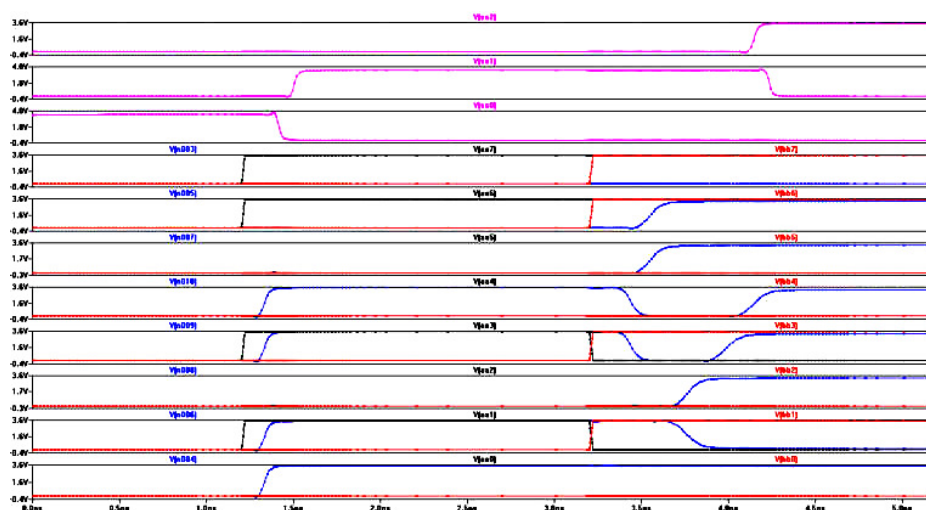
No último caso, em que  $A < B$ , o resultado da subtração de A e B é negativo ( $C_8=1$ ), o que gera o valor de saída S igual a 0000 0100b.



Para realizar testes Spice no MC, um SETUP de testes foi montado de forma a permitir a comparação dos operandos A e B segundo a matriz de teste apresentada na Equação 5.

$p/t = (0;1,2e3,2)ns$

A fig. 12 apresenta as formas de onda dos sinais dos operandos (*A* e *B*), dos sinais *A=B* (ss0), *A>B* (ss1) e *A<B* (ss2) e dos sinais de *A-B* (n003-n010) com alimentação *Vdd*=3.5V.



Durante os testes por simulação Spice, percebeu-se que o módulo comparador apresentou um funcionamento adequado, informando corretamente o resultado da comparação entre os operandos A e B, sendo que o tempo de resposta do módulo comparador é de 0,6ns para o caso em que  $A=B$ , 293ps para o caso em que  $A>B$  e finalmente constatou-se que o módulo comparador leva aproximadamente 0,9ns para apresentar o resultado quando  $A<B$ .

Os tempos de operação podem ser vistos em realce na fig. 13.



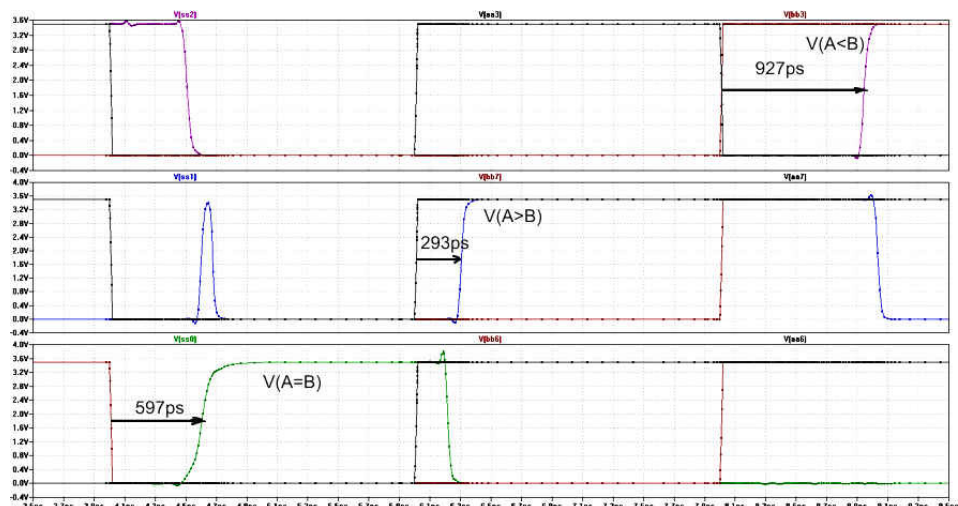


Figura 13 - Formas de onda da simulação Spice do módulo comparador evidenciando os tempos para realizar as possíveis comparações.

## 2.2. Unidade lógica

As operações lógicas em uma ULA são realizadas sobre cadeias de bits, sendo assim, quando se realiza uma operação lógica entre os operandos A e B de uma ULA, a operação é realizada bit-a-bit, entre todos os bits dos dois operandos.

A unidade lógica (UL) proposta realiza funções lógicas sobre os operandos A e B, conforme a configuração do sinal de controle (C), ou seja, o sinal de controle especifica que função lógica será realizada.

A tab. 3 ilustra os sinais de controle da UL a partir do sinal de controle na porta C, onde configuramos a unidade para realizar a função lógica *OR* ou *AND*.

Tabela 3 – Bit de seleção de operação da UL.

Código (C)	Operação (função)
0	$S=A+B$ ( <i>OR</i> )
1	$S=AB$ ( <i>AND</i> )

A fig. 13 apresenta o setup de teste do circuito da UL, nele é possível identificar que as funções lógicas aplicadas aos operandos são realizadas bit-a-bit, ou seja:

$$A = A_7A_6A_5A_4A_3A_2A_1A_0$$

$$B = B_7B_6B_5B_4B_3B_2B_1B_0$$

desta forma se:

$$C=1$$

então,

$$S=AB$$

sendo assim,

$$S_n = A_n B_n$$

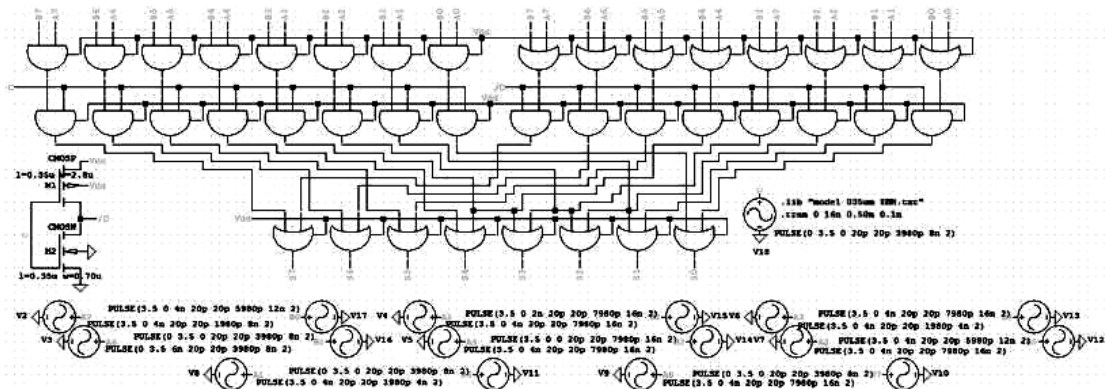


Figura 14 - Setup de teste Spice da unidade lógica.

A fig. 14 apresenta as formas de onda dos sinais dos operandos ( $A$  e  $B$ ), dos sinais  $S=A+B$  para  $C=0$  e  $S=AB$  para  $C=1$  com alimentação  $V_{dd}=3,5V$ .

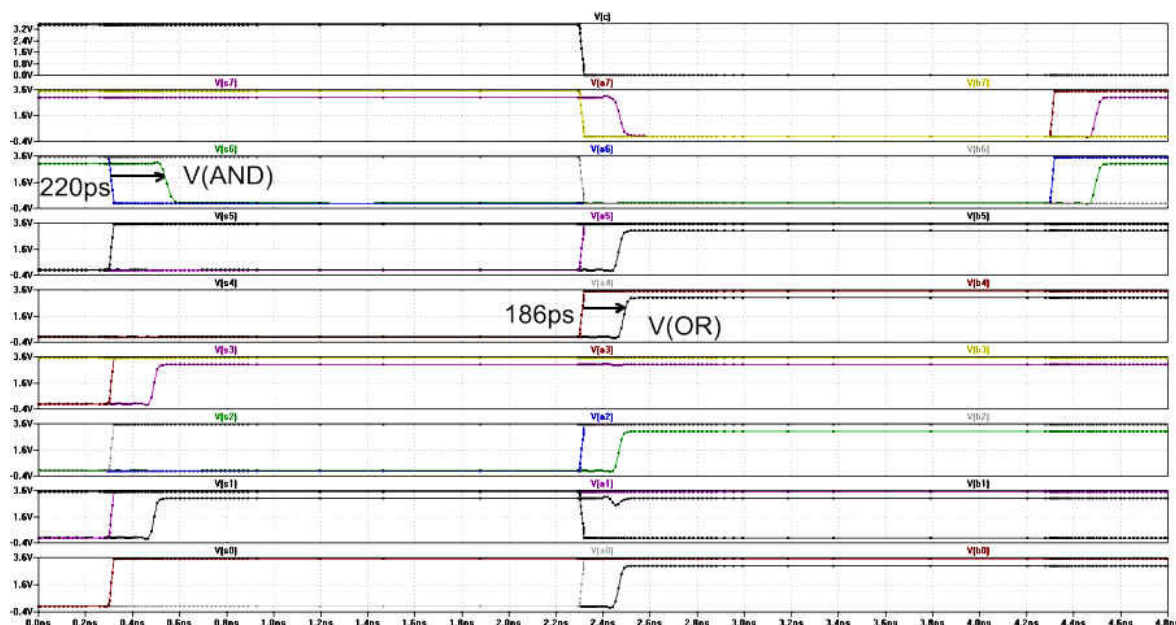


Figura 15 - Formas de onda da operação do circuito da unidade lógica simulado no LTSpice ilustrando o tempo de atraso para apresentar o resultado da função AND em 0,22ns e 186ps para função OR.

### 3. CONCLUSÕES

A ULA de 8bits proposta neste trabalho foi projetada com base em circuitos digitais propostos por Langdon e Fregni (1987), Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007).

Todo o circuito foi projetado em tecnologia CMOS 0.35 $\mu$ m em ambiente de projeto e simulação Spice com o auxílio dos softwares LTSpice e Microwind com parâmetros de projetos *MOSIS IBM Semiconductor 0.35 $\mu$  5HPE SiGe BiCMOS Process*.

O projeto da ULA foi dividido em módulos isolados para organizar a arquitetura interna do circuito e permitir que fossem realizados testes e simulações separadamente, relacionando assim os resultados dos testes para obter o resultado do funcionamento da ULA como um todo. As unidades são: unidade somadora/subtratora de 8bits, módulo comparador de 8bits e unidade lógica de 8bits, além do multiplexador de 1 para 4 canais de 8bits.

A unidade somadora/subtratora usa a topologia de propagação de vai-um *ripple carry* o que tornou o circuito simples, em detrimento do atraso de propagação do sinal de *carry* entre as unidades somadoras/subtratoras de 1 bit o que leva 0.9ns aproximadamente.

O módulo comparador é formado por um circuito digital que analisa o resultado da operação de subtração entre os operando e apresenta na forma de códigos o resultado da operação, desta forma os tempos de atraso do módulo de comparação ficam entre os maiores registrados, sendo eles: 0,6ns para o caso em que  $A=B$ , 293ps para o caso em que  $A>B$  e por fim, 0,9ns para apresentar o resultado quando  $A<B$ .

As operações lógicas *AND* e *OR* da unidade lógica são realizadas bit-a-bit em paralelo, o que garante um tempo de resposta de 220ps para a função *AND* e 186ps para a função *OR*.

Os testes foram realizados em um sistema de teste que compreendia a realização de *setups* separados para cada módulo obtendo-se o resultado do funcionamento de cada módulo que compõe a ULA de 8bits proposta.

#### 4. REFERÊNCIAS

- ABRAHAM, J. A., “Implementing Logic in CMOS”, Notas de aula, Department of Electrical and Computer Engineering at The University of Texas, Austin, Set/2010.
- BNDES – Banco Nacional do Desenvolvimento. “Horizonte de investimentos 2007-2010: Uma síntese”, Disponível em: <[http://www.bndes.gov.br/SiteBNDES/export/sites/default/bndes\\_pt/Galerias/Arquivos/conhecimento/liv\\_perspectivas/02.pdf](http://www.bndes.gov.br/SiteBNDES/export/sites/default/bndes_pt/Galerias/Arquivos/conhecimento/liv_perspectivas/02.pdf)>. Acesso em: 19 de junho de 2011.
- FREGNI, Edson; SARAIVA, Antonio Mauro. Engenharia do projeto logico digital: conceitos e pratica. Sao Paulo: E. Blucher, 1995. 498p.
- GÜNTZEL, José Luis. “Projeto de um Unidade Lógico-Aritmética (ULA)”. Universidade Federal de Pelotas. Pelotas, 2003.
- KUDVA, Prabhakar, et al. “Synthesis of Hazard-free Customized CMOS Complex-Gate Networks Under Multiple-Input Changes”. IB T.J. Watson Research Center. 1996.
- LANGDON, Glen George Jr. e FREGNI, Edson. Projeto de computadores digitais. São Paulo: E. Blucher, 1987. 357p.
- MANIÇOBA, Alexandre. “Projeto I - Passo a passo para a criação de um microprocessador de 4 bits. Registradores. Ula. Unidade de Controle.”, Notas de aula, Centro de Ciências Exatas e Tecnológicas da Universidade Católica de Santos, Santos, março de 2011.
- MOSIS - Integrated Circuit Fabrication Service. “IBM 0.35 Micron 5HPE Process”. Disponível em: <<http://www.mosis.com/ibm/5hpe/>>. Acesso em: 10 de junho de 2011.
- PATTERSON, David A.; HENNESSY, John L.. Computer organization and design: the hardware/software interface . 3. ed. Boston: Morgan Kaufmann Publishers, 2005. 621 p., ISBN 1558606041
- TOCCI, Ronald J., WIDMER, N. S. e MOSS G. L. Sistemas digitais: princípios e aplicações. 10. ed. São Paulo: Prentice Hall, 2007. xxii, 804 p. ISBN 9788576050957.
- RADHAKRISHNAN, Damu, “Design of CMOS circuits”, IEE Proceedings-G, Stevenage, UK. Vol. 138, n. 1, pp. 83-90, fev/1991.
- RADHAKRISHNAN, Damu, “Switching activity in CMOS pass networks”, IEE Electronics Letters Online, Stevenage, UK. Vol. 35, n. 24, pp. 2115-2116, Nov/1999.
- RADHAKRISHNAN, Damu, WHITAKER, Sterling R. and MAKI Gary K. “Formal Design Procedures for Pass Transistor Switching Circuits”, IEEE Journal of Solid-State Circuits. Vol. SC-20, n. 2, pp. 531-536, Apr/1985.
- SRINIVASAN, Chandra. “Arithmetic Logic Unit (ALU) design using reconfigurable CMOS logic”. 2003. 115 f. Tese (Mestrado de Ciências em Engenharia Elétrica) – Louisiana State University and Agricultural and Mechanical College, Louisiana, 2003.
- SUZUKI, Makoto, et al. “A 1.5ns 32b CMOS ALU in Double Pass-Transistor Logic” , ISSCC 93 – IEEE International Solid-State Circuits Conference, Session 5, pp. 90-91, 1993.

#### 5. NOTA DE RESPONSABILIDADE

O autor é o único responsável pelo conteúdo deste artigo.