



UNIVERSIDADE
FEDERAL DO CEARÁ

Arquitetura de computadores

Estrutura do Processador

ARQUITETURA DE COMPUTADORES

PROF. Alex Lima

Introdução

- **Processador**
 - Estrutura e funcionamento de um processador
 - Organização de registradores
 - Ciclo de instrução
 - Pipeline de instruções

Organização da CPU

- **Função do processador**

- Buscar instruções
- Decodificar instruções
- Obter dados
- Processar dados
- Gravar dados

Organização da CPU

- **Função do processador**

- **Buscar**

- Instruções e dados

- **Executar**

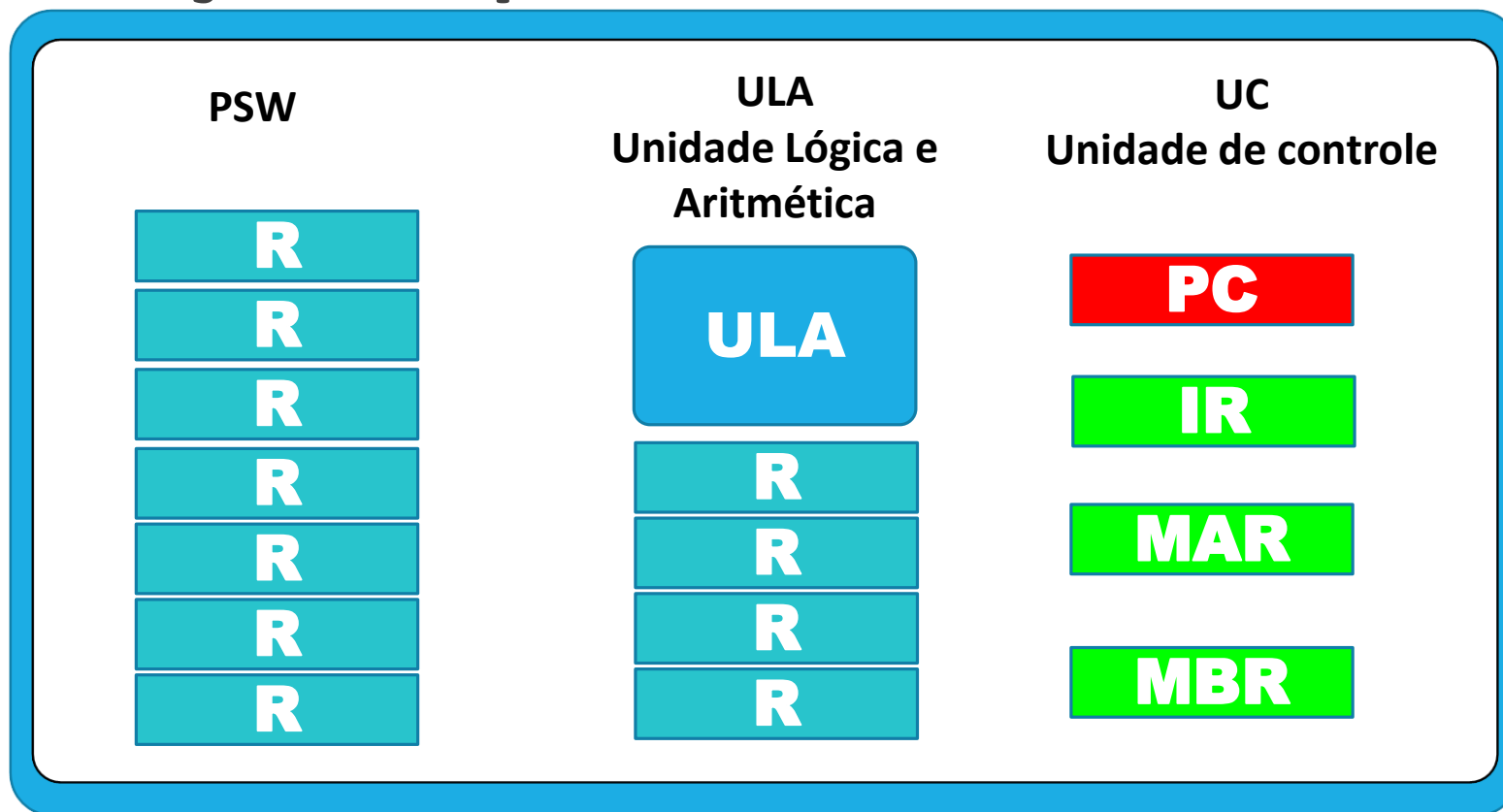
- Operações

- **Interromper**

- Atende a interrupção

Organização da CPU

- Função do processador

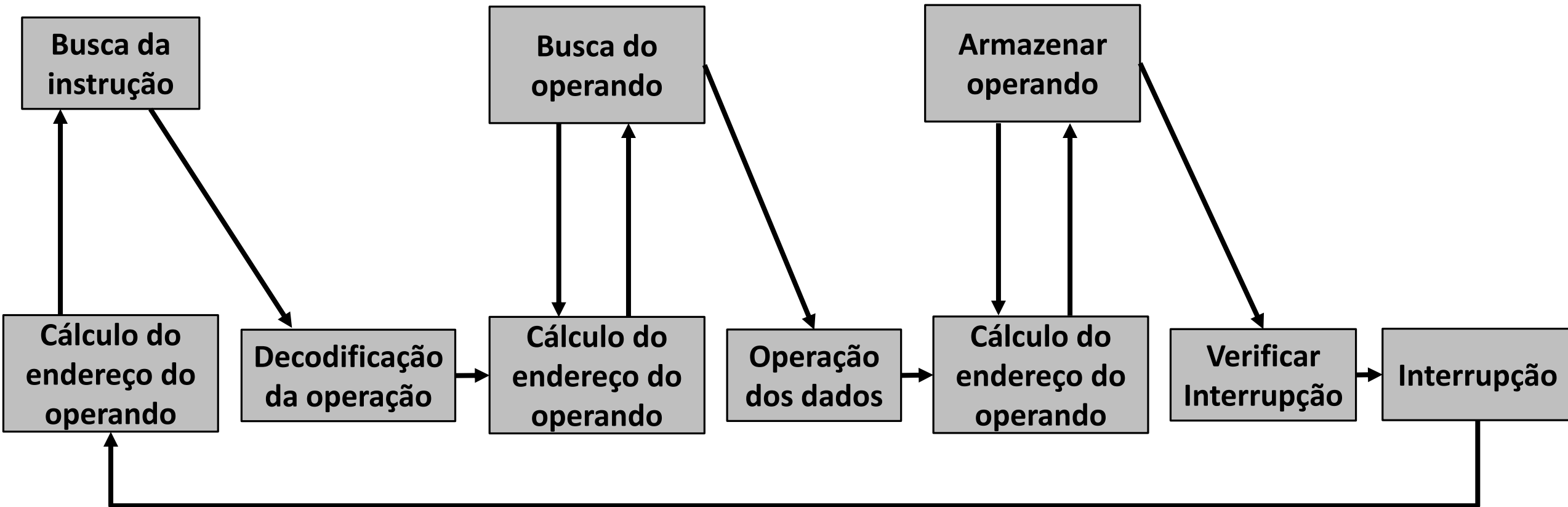


Organização da CPU

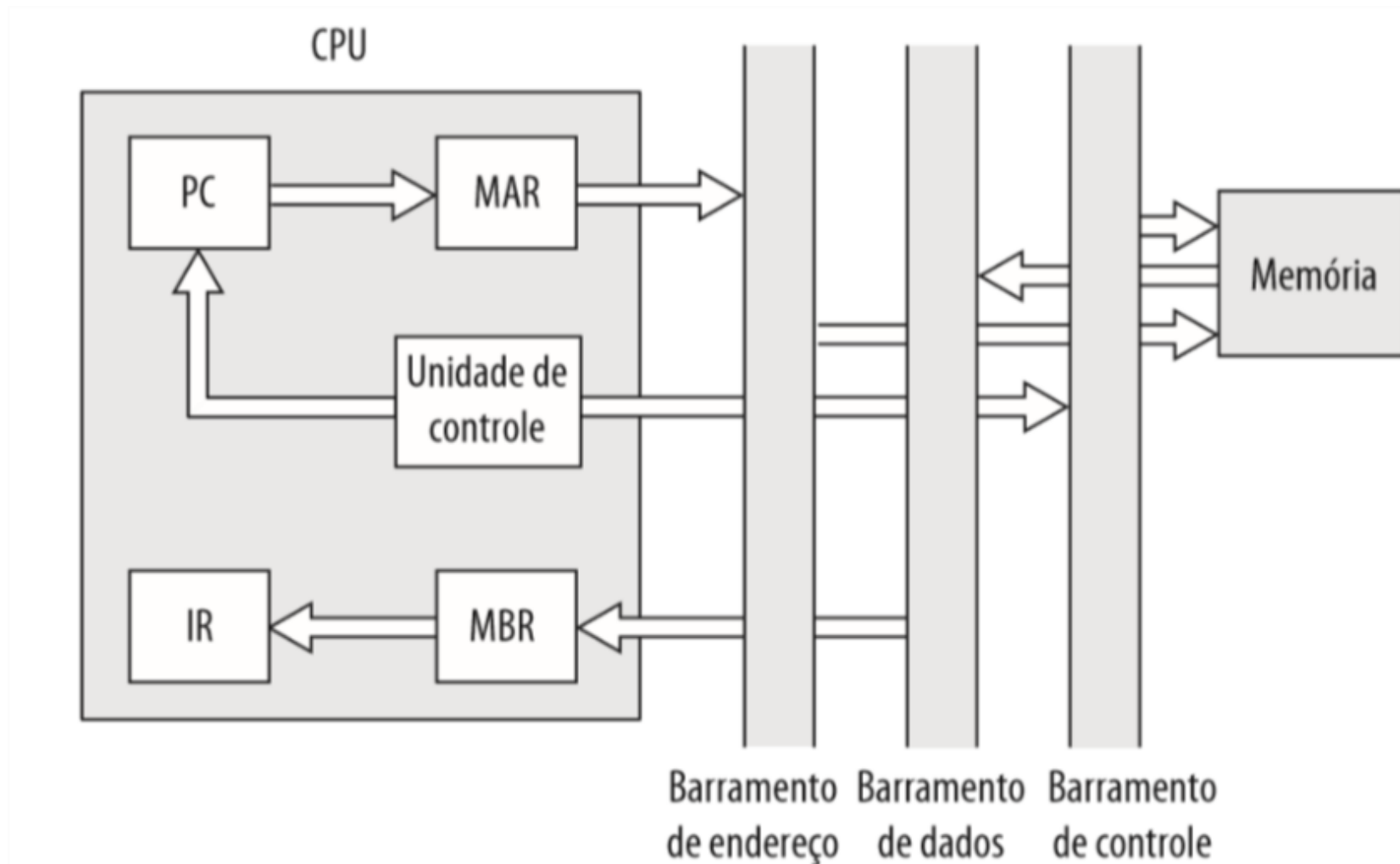
- **Função do processador**

- As etapas de busca, execução compõem o ciclo direto de execução de uma instrução de máquina.
- Um processador pode executar um ciclo indireto de execução.
 - O ciclo indireto de execução inclui desvios no ciclo direto sempre que:
 - Ocorrer uma interrupção
 - For necessário buscar mais de um operando na memória (endereço indireto)

Organização da CPU



Organização da CPU



Organização da CPU

CICLO DIRETO

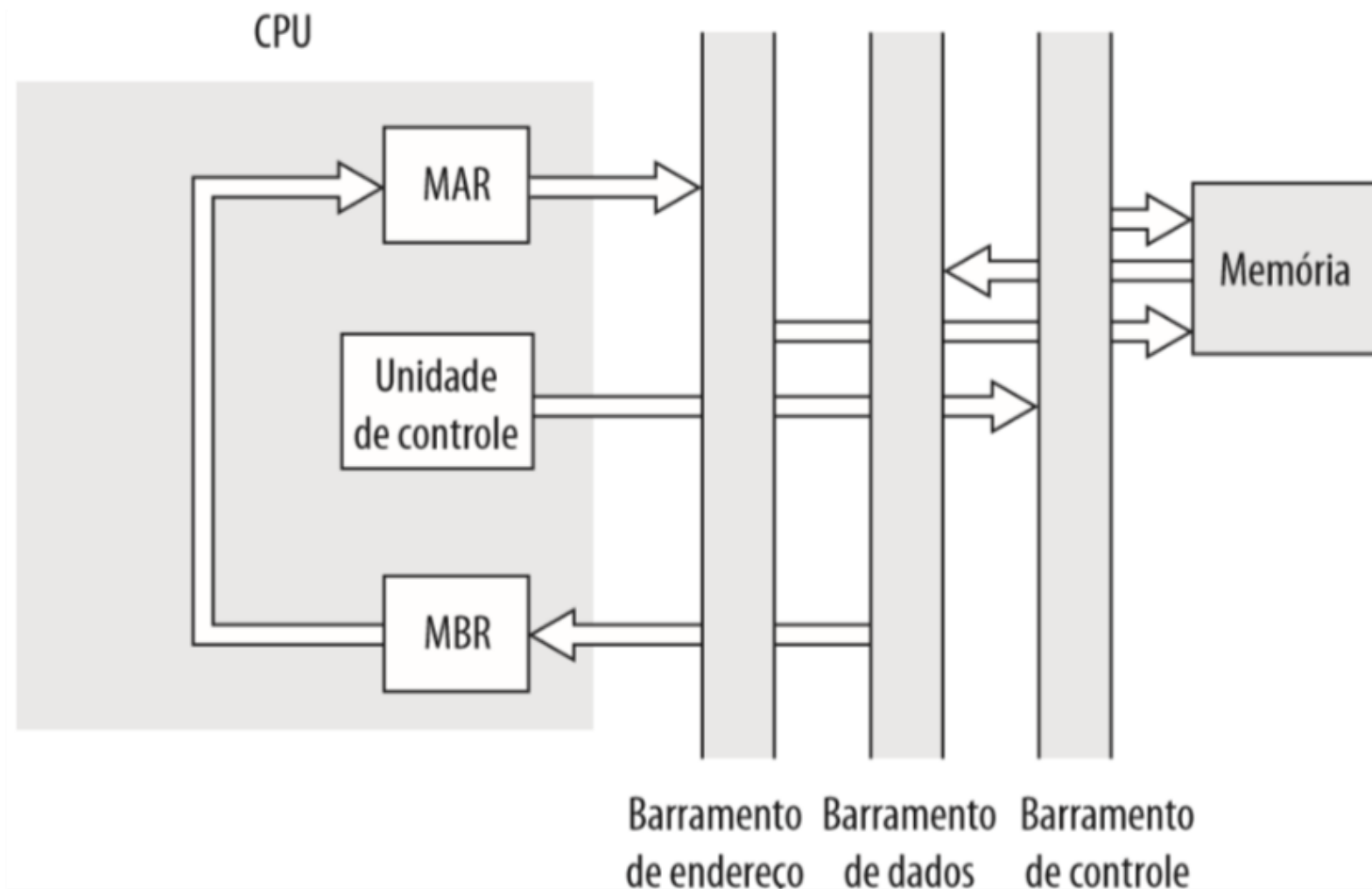
1. O endereço da próxima instrução, armazenado no PC, é transferido para o MAR.
2. O endereço do MAR é transferido para o barramento de endereço.
3. A Unidade de controle envia um sinal leitura ao barramento de controle.
4. A memória envia ao MBR a palavra armazenada no endereço solicitado.
5. O MBR envia a instrução recebida ao IR.
6. A unidade de controle decodifica a instrução do IR.
7. A unidade de controle atualiza o PC.

Organização da CPU

CICLO INDIRETO

- Ao decodificar a instrução, a unidade de controle verifica se o campo de endereço contém um operando ou outro endereço.
- Caso tenha um operando, a instrução e o operando são enviados a ULA.
- Caso tenha um endereço, o ciclo indireto de execução.

Organização da CPU



Organização da CPU

CICLO INDIRETO

1. O endereço armazenado no campo de endereço da instrução é copiado para o MAR.
2. O endereço do MAR é transferido para o barramento de endereço.
3. A Unidade de controle envia um sinal leitura ao barramento de controle.
4. A memória envia ao MBR a palavra armazenada no endereço solicitado.

Organização da CPU

Pipeline

Estratégia de execução de instruções, na qual uma instrução pode iniciar seu processamento antes da instrução anterior ter seu processamento concluído.

Arquitetura de Microprocessadores

- **Pipeline**

- Considere o ciclo de instrução



Organização da CPU

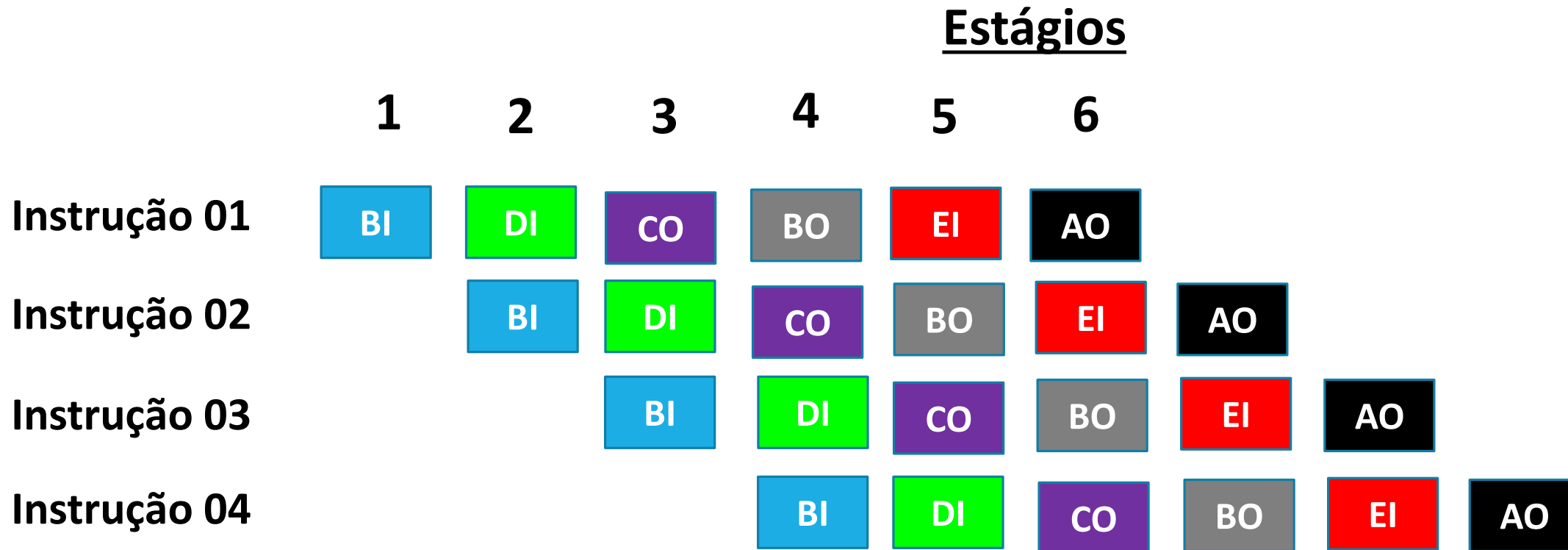
Pipeline

- O processamento de uma instrução pode ser dividido em estágios.
 - Buscar instrução (BI)
 - Decodificar instrução (DI)
 - Calcular operandos (CO)
 - Buscar operandos (BO)
 - Executar instrução (EI)
 - Armazenar operando (AO)

Arquitetura de Microprocessadores

- **Pipeline**

- Considere o ciclo de instrução



Organização da CPU

Pipeline

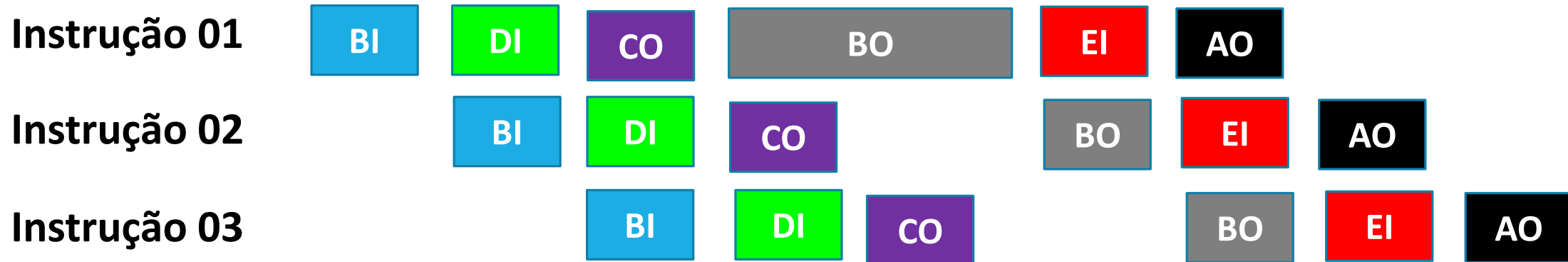
- Na prática, o pipeline não possui uma execução bem dividida entre seus estágios.
- **Principais motivos:**
 - O tempo de execução de cada estágio.
 - A instrução de desvio condicional torna imprevisível o próximo endereço.

Organização da CPU

- O tempo de execução de cada estágio.
 - O tempo de execução de cada estágio pode variar de acordo com cada instrução.
 - Exemplo:
 - Instruções com múltiplos operandos tanto ocupam mais tempo de **busca de operando** quanto ocupam mais espaço no MBR.
 - Instruções com múltiplas operações ou operações complexas custam mais tempo que instruções mais simples.
 - Exemplo:
 - Multiplicação consome mais recursos que uma soma.

Organização da CPU

- O tempo de execução de cada estágio.
- O tempo de execução de cada estágio pode variar de acordo com cada instrução.



Organização da CPU

- A instrução de desvio condicional torna imprevisível o próximo endereço
- Considerando um ciclo direto simplificado para uma instrução aritmética:



(a) Visão simplificada

Organização da CPU

- A instrução de desvio condicional torna imprevisível o próximo endereço
- Considerando um ciclo direto simplificado para uma instrução aritmética:

Instrução 01

BI

DI

CO

BO

EI

AO

Instrução 02

BI

DI

CO

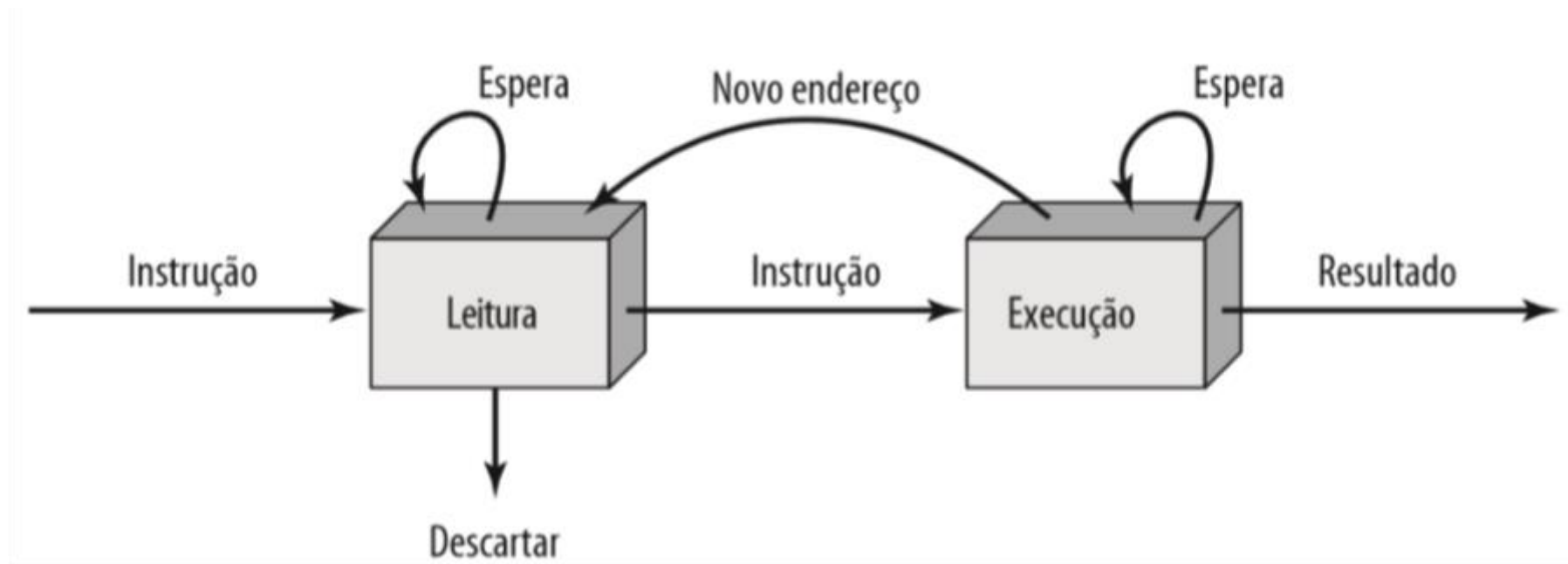
BO

EI

AO

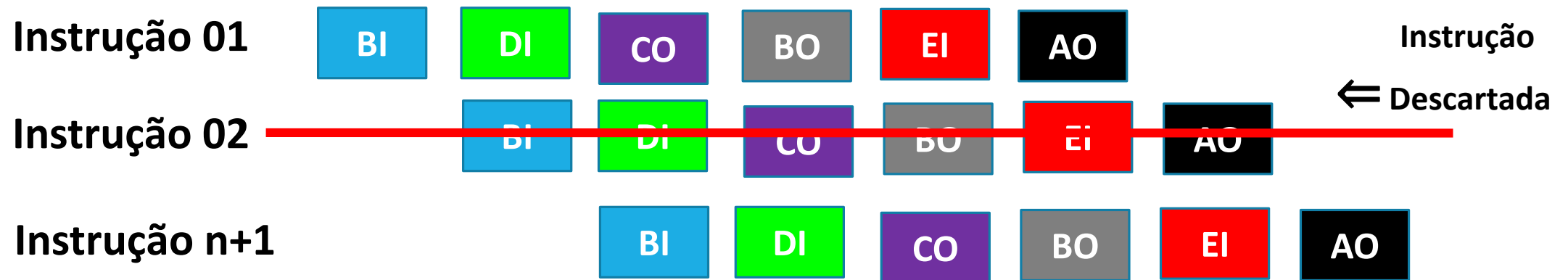
Organização da CPU

- A instrução de desvio condicional torna imprevisível o próximo endereço
- Considerando um ciclo direto simplificado para uma instrução de desvio condicional:



Organização da CPU

- A instrução de desvio condicional torna imprevisível o próximo endereço
- Considerando um ciclo direto simplificado para uma instrução de desvio condicional:



PRÁTICA

- Quais componentes da CPU estão conectados ao barramento de controle, barramento de endereço e barramento de dados, respectivamente?
- O que um processador que executa instruções em pipeline realiza em uma instrução de desvio condicional?
- Explique o ciclo indireto de instruções com interrupção.

Organização da CPU

Fatores de impacto no pipeline

- A implementação de um pipeline de instruções em um processador pode proporcionar um grande ganho no desempenho.
- Porém, esse modo de execução pode ocasionar problemas relacionados a ordem de execução das instruções e ao modo como os dados são acessados.

Organização da CPU

Fatores de impacto negativo no pipeline

- Cada instrução possui sua própria sequência de estágios
- O tempo dos estágios pode variar entre cada instrução
- Nem todas as instruções podem executar em paralelo
 - Competição por recursos
 - Conflitos de acesso à memória
 - Alteração de valores ao longo do pipeline

Organização da CPU

Fatores de impacto negativo no pipeline

- Cada instrução possui sua própria sequência de estágios
 - Instrução lógica ou aritmética com 6 estágios ou mais
 - Instruções de desvio podem possuir 4 ou 5 estágios
- Dependendo da arquitetura essa diferença pode aumentar ocasionando ociosidade do processador ou falta de sincronismo entre as instruções.

Organização da CPU

Fatores de impacto negativo no pipeline

- Cada instrução possui sua própria sequência de estágios
 - Número de estágios diferentes
 - Tempo diferente em cada estágio

Organização da CPU

Fatores de impacto negativo no pipeline

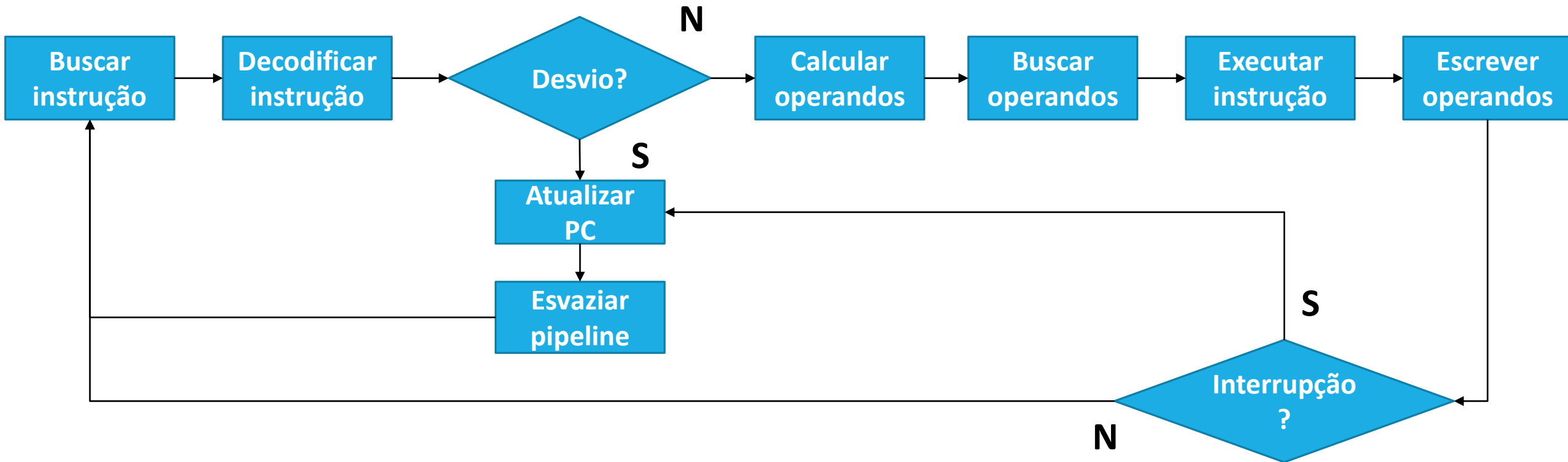
- **Desvios condicionais**
 - Instruções de desvios condicionais tornam o endereço da próxima instrução incerto.
 - Caso o salto seja realizado, os níveis seguintes do pipeline serão descartados, ocasionando perda de desempenho.

Organização da CPU

	Tempo →							← Penalidade por desvio						
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Instrução 1	FI	DI	CO	FO	EI	WO								
Instrução 2		FI	DI	CO	FO	EI	WO							
Instrução 3			FI	DI	CO	FO	EI	WO						
Instrução 4				FI	DI	CO	FO							
Instrução 5					FI	DI	CO							
Instrução 6						FI	DI							
Instrução 7							FI							
Instrução 15								FI	DI	CO	FO	EI	WO	
Instrução 16									FI	DI	CO	FO	EI	WO

Organização da CPU

Pipeline de instruções de uma CPU de seis estágios



Organização da CPU

Hazard de pipeline

- Hazard é uma interrupção no pipeline.
- Um hazard de pipeline ocorre quando um pipeline, ou parte dele, precisa parar porque as condições não permitem a execução contínua.
- Existem 3 tipos de hazard:
 - Hazard de recursos
 - Hazard de dados
 - Hazard de controle

Organização da CPU

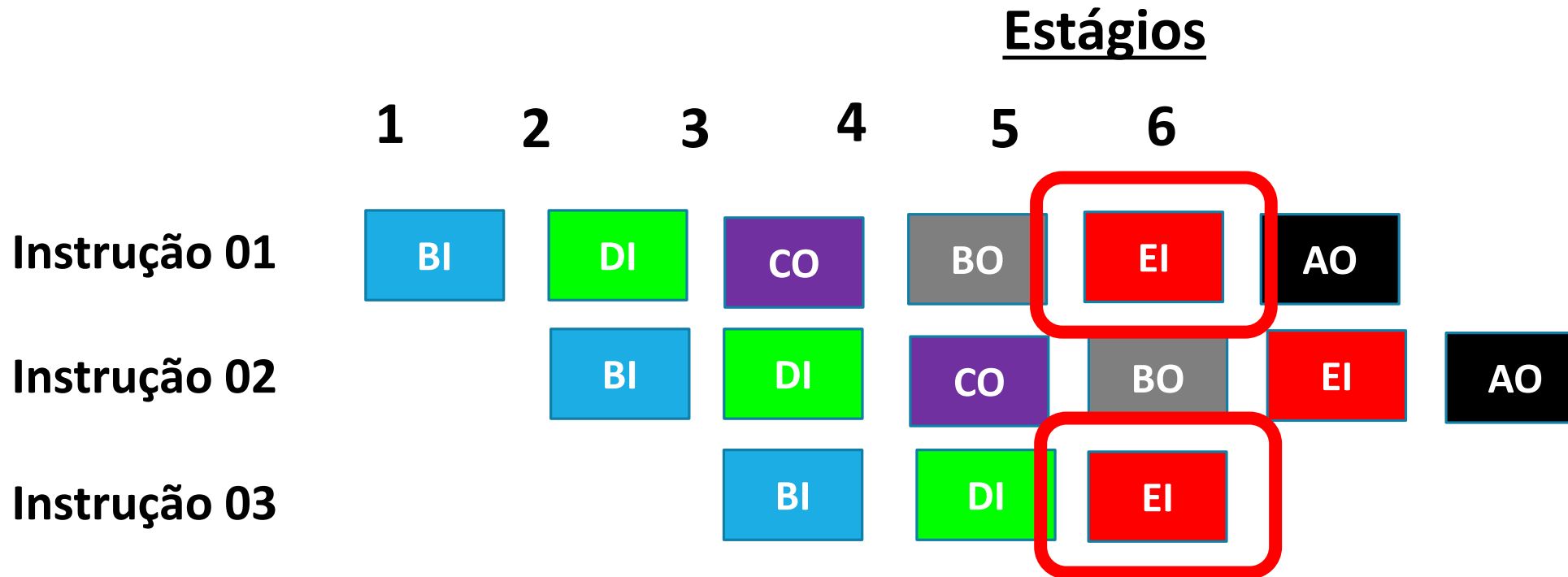
Hazard de recursos

- Um hazard de recursos, ou hazard estrutural, ocorre quando duas ou mais instruções competem pelo mesmo recurso.
- A solução é executar essas instruções em sequência em vez de paralelo.
- **Exemplos**
 1. Uma instrução busca múltiplos operandos enquanto outras instruções aguardam para ter acesso a memória.
 2. Múltiplas instruções aguardam para ser executada por uma mesma ULA.

Arquitetura de Microprocessadores

- **Pipeline**

- Considere o ciclo de instrução



Organização da CPU

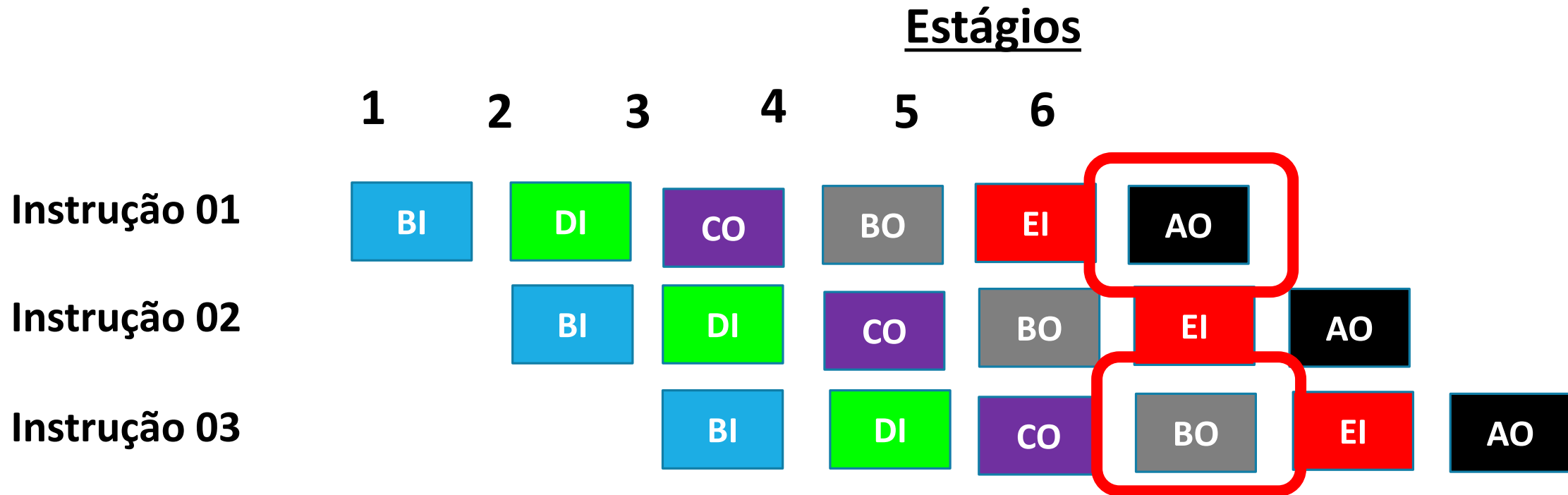
Hazard de dados

- Um hazard de dados ocorre quando duas ou mais instruções em um pipeline competem pelo acesso ao mesmo dado.
- Dependendo da ordem que as instruções executem, o resultado final de uma das instruções pode ser alterado ou diferente do que deveria ser.

Arquitetura de Microprocessadores

- Pipeline

- Considere o ciclo de instrução



Organização da CPU

Hazard de dados

- Existem três tipos de hazard de dados
 1. Leitura após escrita ou dependência verdadeira
 2. Escrita após leitura ou antidependência
 3. Escrita após escrita ou dependência de saída

Organização da CPU

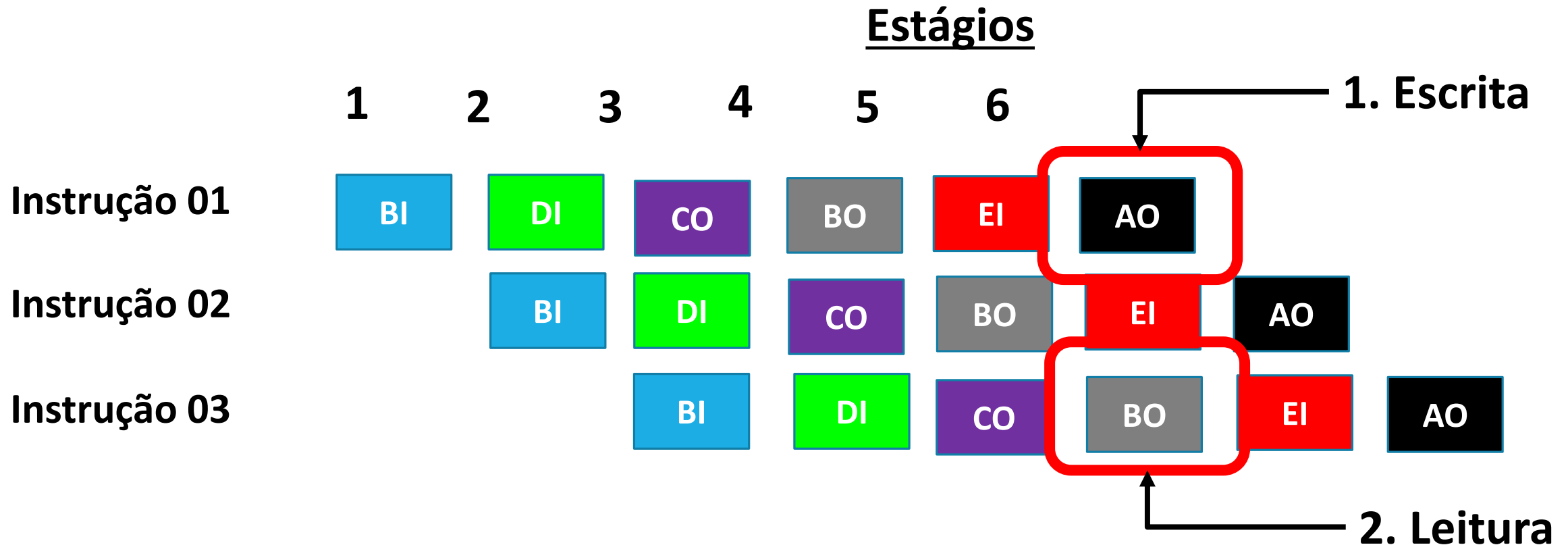
Hazard de dados

- **Leitura após escrita** ou dependência verdadeira
 - Uma instrução modifica o valor de um registrador ou endereço de memória e outra instrução lê o dado.
 - O hazard ocorre quando a operação de leitura acontece antes da escrita, então a segunda instrução pode armazenar o dado desatualizado.

Arquitetura de Microprocessadores

- Pipeline

- Considere o ciclo de instrução



Organização da CPU

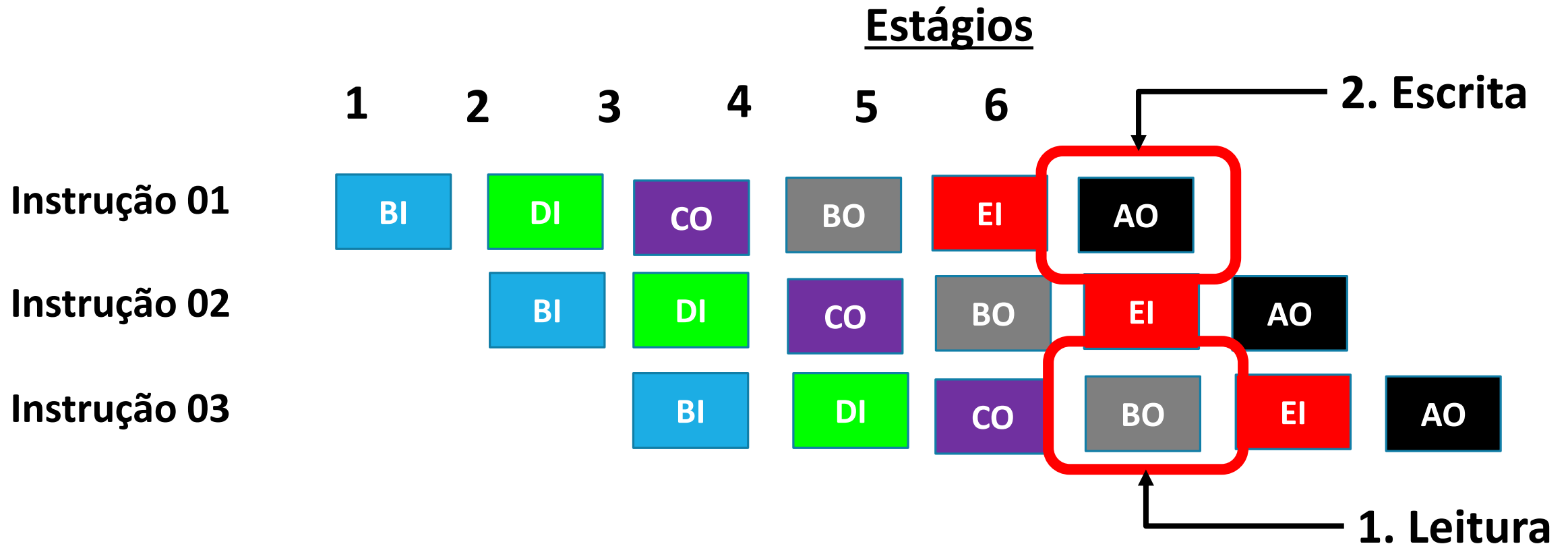
Hazard de dados

- **Escrita após leitura** ou antidependência
 - Uma instrução lê um dado do registrador ou da memória e outra instrução sobrescreve este mesmo dado.
 - O hazard ocorre quando a operação de escrita acontece antes da leitura, então a primeira instrução pode ler o dado incorreto.

Arquitetura de Microprocessadores

- Pipeline

- Considere o ciclo de instrução



Organização da CPU

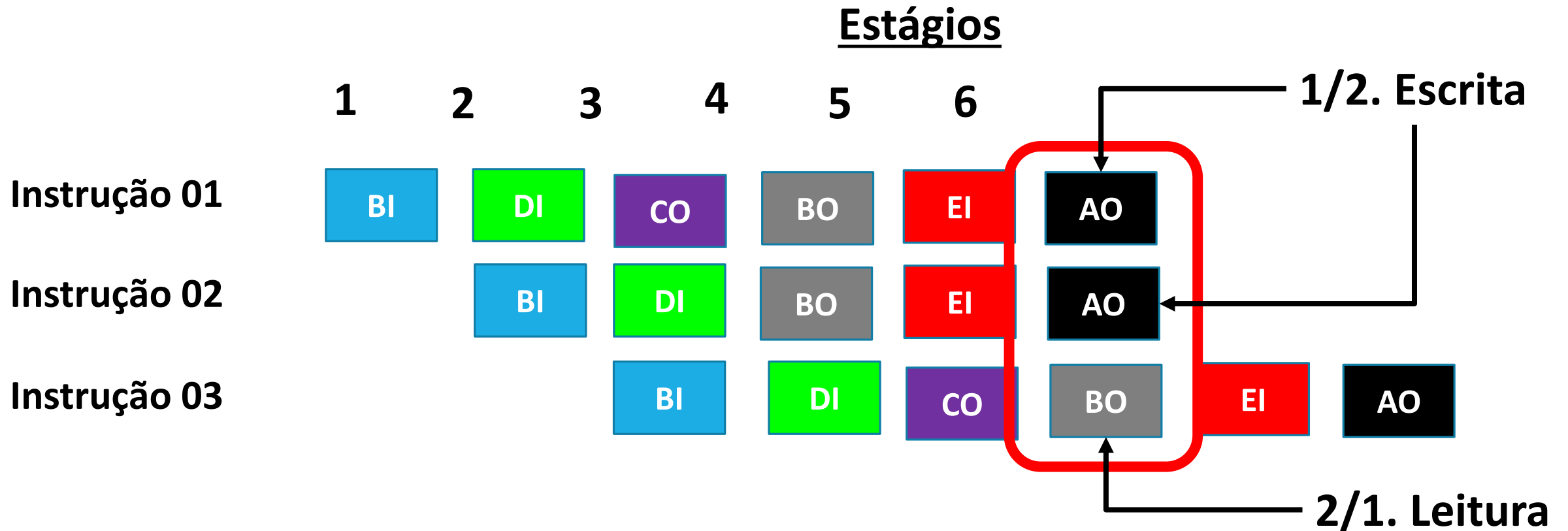
Hazard de dados

- **Escrita após escrita** ou dependência de saída
 - Duas instruções escrevem na mesma posição.
 - O hazard ocorre quando as escritas são executadas na ordem inversa da esperada (*).

Arquitetura de Microprocessadores

- Pipeline

- Considere o ciclo de instrução



Organização da CPU

Hazard de controle

- Relacionada a controle de fluxo (desvios)
- Um hazard de controle ocorre quando a previsão de desvio é feita incorretamente, adicionando instruções que serão descartadas logo em seguida.
- Estratégias para lidar com desvios:
 - Múltiplos fluxos
 - Busca antecipada do alvo do desvio
 - Buffer de laço de repetição
 - Previsão de desvio
 - Desvio atrasado.

Organização da CPU

Hazard de controle

- **Múltiplos fluxos**
 - O pipeline comum segue apenas um fluxo de instrução.
 - O pipeline com múltiplos fluxos carrega tanto as instruções que serão executadas caso o desvio seja executado quando as instruções que serão executadas caso o desvio não seja executado.

Organização da CPU

Hazard de controle

- Busca antecipada do alvo do desvio
 - Ao decodificar a instrução e verificar que é um desvio condicional, as instruções do alvo do desvio são carregadas antecipadamente.
 - Caso o desvio seja executado, as instruções já foram carregadas.
 - Também utilizado com desvios incondicionais.

Organização da CPU

Hazard de controle

- **Buffer de laço de repetição**
 - Buffer de laço de repetição é uma memória pequena e muito rápida que armazena as últimas instruções executadas na máquina.
 - Se um desvio está para ser tomado, a UC verifica se o alvo do desvio já está carregado no buffer. Se estiver, a próxima instrução é obtida do buffer.

Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - São técnicas utilizadas para prever se uma instrução irá ou não realizar um desvio:
 - Previsão nunca tomada
 - Previsão sempre tomada
 - Previsão por opcode
 - Chave tomada/não tomada
 - Tabela histórico de desvio

Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - Previsão nunca tomada
 - Considera que o desvio não é realizado e continua buscando as instruções de modo sequencial.
 - Previsão sempre tomada
 - Considera que o desvio sempre é realizado e busca as instruções do alvo do desvio.

Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - Previsão por opcode
 - Considera que os desvios são realizados com mais frequência por certos *opcodes*.
 - Neste caso, para alguns opcodes as instruções são carregadas de modo sequencial
 - e para outros opcodes as instruções alvo são carregadas.
 - **Exemplo**
 - if-else
 - switch-case

Organização da CPU

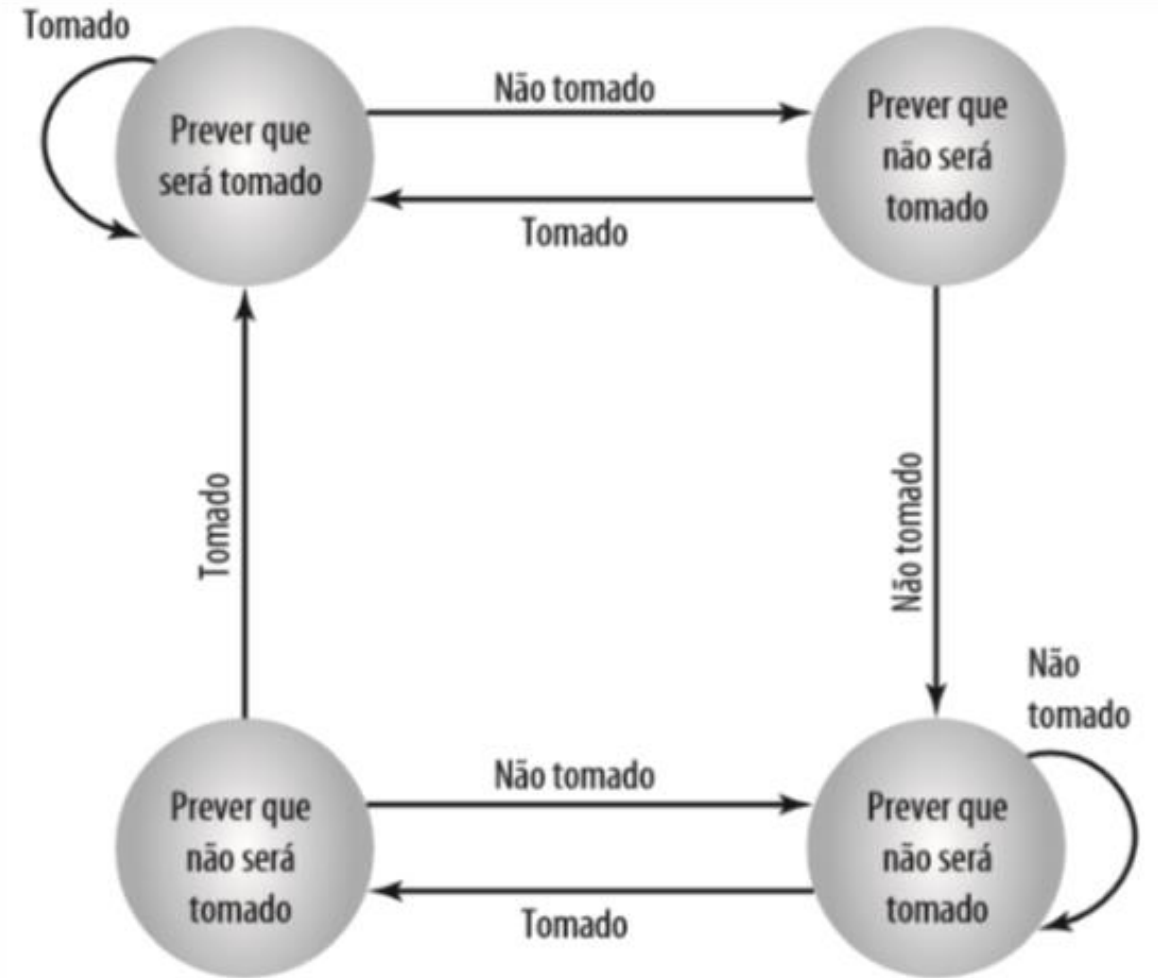
Hazard de controle

- **Previsão de desvio**
 - Previsão por chave tomada/não tomada
 - Considera um histórico da instrução executada.
 - Para cada instrução um bit é associado a ela caso o desvio seja tomado ou não tomado.
 - Quando essa instrução for executada novamente, o bit de histórico é consultado e o pipeline atualizado com base no seu valor.

Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - Previsão por chave tomada/não tomada
 - A decisão precisa ser tomada errada vezes para que o algoritmo mude de estado



Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - Previsão por tabela de histórico de desvio.
 - Considera um histórico da instrução executada.
 - A tabela de histórico de desvios é uma pequena memória cache associada com o estágio de leitura da instrução do pipeline.

Organização da CPU

Hazard de controle

- **Previsão de desvio**
 - A tabela de histórico possui:

Endereço da instrução de desvio	Instrução alvo	Bits de estado

PRÁTICA

- 1) Defina o que é hazard e descreva três tipos de hazard.
- 2) Cite e descreva três fatores que podem afetar negativamente o desempenho de um pipeline de instruções.
- 3) Descreva a sequencia de etapas realizadas na execução de uma instrução num pipeline de 6 estágios.
- 4) Descreva os três tipos de hazard de dados.
- 5) Descreva o funcionamento do hazard de controle por buffer de laço de repetição.