

---

# UNIDADE LÓGICO-ARITMÉTICA COM ARQUITETURA RISC DE 8 BITS PROJETADA NA TECNOLOGIA CMOS 350NM PARA APLICAÇÃO NA EDUCAÇÃO NA ENGENHARIA E NA CIÊNCIAS DA COMPUTAÇÃO

Alexandre Manicoba de Oliveira <sup>1</sup>

Héctor Dave Orrillo Ascama <sup>2</sup>

Sérgio Takeo Kofuji <sup>3</sup>

*Neste trabalho é apresentado o projeto e simulação de uma Unidade Lógico Aritmética (ULA) de 8 bits implementada no processo 0.35 µm da tecnologia CMOS. Esta unidade realiza operações aritméticas de soma, subtração, comparação entre os operandos e funções lógicas AND e OR bit-a-bit. O circuito completo da ULA foi simulado em unidades com o simulador elétrico LTSpice e o layout com editor de layout Microwind. As simulações apresentaram um tempo máximo de atraso na ordem de 1ns e evidenciaram o perfeito funcionamento da ULA nas operações para o qual foi projetada.*

**Palavras-chave:** Unidade lógico-aritmética. CMOS. VLSI. Circuito integrado.

*This paper presents the design and simulation of an ALU Arithmetic Logic Unit-8 bits implemented in 0.35 µm CMOS technology process. This unit performs arithmetic operations of addition, subtraction, comparison between the operators and functions AND and OR logical bit-by-bit. The complete circuit was simulated in the ALU units with electric LTSpice simulation and layout layout editor MicroWind. The simulations showed a maximum time delay in the order of 1ns and showed the perfect operation of the ALU operations for which it was designed.*

**Keywords:** Arithmetic-Logic Unit. CMOS. VLSI. integrated circuits.

## 1 INTRODUÇÃO

A Unidade Lógico-Aritmética (ULA) é um dos principais blocos funcionais de um processador. Nela são executadas operações lógicas e aritméticas, sendo as operações lógicas realizadas bit-a-bit (FREGNI & SARAIVA, 1995; TOCCI, WIDMER & MOSS, 2007) e seu desempenho influencia diretamente o desempenho do processador. Logo, uma ULA com bom desempenho é a chave para um processador de boa performance (SUZUKI et al., 1993; PATTERSON & HENNESSY, 2005), e especialmente a unidade aritmética (LANGDON & FREGNI, 1987).

Em função do fato de que a performance de um processador estar diretamente ligada

ao desempenho da ULA, percebe-se a grande importância do estudo do desenvolvimento das ULAs.

Toda a operação aritmética realizada na ULA é baseada na operação de adição (GÜNTZEL, 2003). A proposta neste trabalho tem sua unidade aritmética formada pela combinação de oito blocos somadores completos (*full adder*) interligados pelo sinal de vai-um (*carry*), sendo capaz de realizar operações de soma e subtração de números binários de até 8 bits (SRINIVASAN, 2003).

As operações lógicas são realizadas por uma unidade lógica formada pela combinação de oito blocos lógicos capazes de realizar as operações AND e OR com palavras de 8 bits na forma paralela, bit-a-bit.

---

<sup>1</sup> Mestrando de Engenharia Elétrica pela USP, professor da Universidade Católica de Santos e da Unimonte. E-mail: <amanicoba@ieee.org>.

<sup>2</sup> Doutor em Engenharia Elétrica pela USP, pós doutorando da Universidade de São Paulo. E-mail: <hector@pad.lsi.usp.br>.

<sup>3</sup> Doutor e professor da Universidade de São Paulo. E-mail: <kofuji@pad.lsi.usp.br>.

Data de entrega dos originais à redação em 29/01/2012 e aceito para diagramação em 09/04/2013.

A ULA proposta possui duas entradas de 8 bits para cada um dos dois operandos, uma saída de 8 bits para o resultado da operação, além de entradas de sinais de controle que sinalizam para a ULA a operação que deverá ser realizada, bem como sinais de saída que indicam o estado final da operação realizada (DE OLIVEIRA, 2011).

Ao se ajustar os sinais de controle ( $C_0$ ,  $C_1$  e  $C_2$ ), prepara-se o circuito interno da ULA para realizar a operação correspondente entre os dois operandos disponíveis nas suas portas de entradas (A e B). Logo após, o resultado fica disponível na porta de saída (S) e o estado da operação nas saídas de sinalização de estado.

A técnica de projeto utilizada foi a de rede lógica de transistores (*CMOS networks*) com base nos trabalhos de Radhakrishnan (1991 e 1999), Radhakrishnan, Whitaker e Maki (1985) e Kudva et al. (1996). Segundo Abraham (2010), a técnica consiste em desenvolver um circuito CMOS otimizado a partir de sua expressão lógica, no qual inicialmente se desenvolve a rede negativa (*N-network*) com transistores NMOS diretamente da própria expressão, logo após se desenvolve a rede positiva (*P-network*) com transistores PMOS, utilizando-se a negação da expressão e por fim combinam-se as duas redes de forma a garantir o adequado funcionamento.

O circuito lógico da ULA foi implementado a partir da tecnologia de processo de fabricação de circuitos integrados IBM Semicondutor  $0.35\mu$  5HPE SiGe BiCMOS Process, da fabricante de circuitos integrados MOSIS, no programa de simulação com ênfase em circuitos integrados (*Simulated Program with Integrated Circuits Emphasis – SPICE*) LTSpice versão 4.11g e o desenho do *microchip* (*layout*) foi desenvolvido e testado no programa Microwind versão 2.6.

O processador, cujo coração é a ULA, é um dos principais componentes na maioria dos equipamentos computacionais (PATTERSON & HENNESSY, 2005). Sendo assim, este trabalho poderá contribuir, ainda que de forma singela, para um avanço na área de sistemas computacionais como um todo, principalmente no que tange à parte de estímulo acadêmico.

Além dos motivos acadêmicos, a pesquisa atual é motivada pelo fato de que estudos apontam que, apesar das exportações brasileiras estarem

aumentando, a ausência de um expressivo setor produtor de tecnologia de componentes eletrônicos no país explica os elevados déficits comerciais brasileiros, uma vez que a maior parte dos componentes eletrônicos dos bens produzidos no país é importada (BNDES, 2011).

Sendo assim, qualquer contribuição para o setor produtivo de componentes eletrônicos nacional, ainda que singela, poderá impactar positivamente o setor no Brasil.

## 2 MÉTODOS E PROJETO

Este trabalho tem como objetivo geral apresentar o estudo e o desenvolvimento de uma ULA de 8 bits com base em uma revisão bibliográfica para fins acadêmicos.

Além do objetivo geral, este tem como objetivo específico o projeto e desenvolvimento de uma unidade lógico-aritmética capaz de trabalhar com operandos e resultados de 8 bits, cujo desenvolvimento se deu através de projetos de simulação em tecnologia CMOS  $0.35\mu$ m, usando a técnica de projeto *full-custom VLSI* e tendo como especificações do projeto as seguintes características:

- I - Entradas A e B, bem como saída de resultados S, todas de 8 bits.
- II - Operações realizadas na forma **A operação B = S.**
- III - Operações aritméticas possíveis: soma, subtração, comparações de maior, menor e igual.
- IV - Operações lógicas possíveis: lógica E e lógica OU.
- V - Seleção: uma palavra de 3 bits é utilizada para configurar o modo de operação da ULA conforme a tabela 1.

As operações da ULA são divididas em circuitos modulares, sendo eles: unidade somador/subtrator (USS) e módulo comparador (MC), formando a unidade aritmética (UA), unidade lógica (UL) e multiplexador de quatro entradas e uma saída. A figura 1 apresenta o diagrama da ULA proposta neste trabalho.

Tabela 1 - Palavras de seleção de operação da ULA

Código (C2,C1 e C0)	Operação
001	Comparação
010	Soma
011	Subtração
100	Lógica <i>OR</i>
101	Lógica <i>AND</i>
11x	Resulta zero

O diagrama de ligações elétricas pode ser visto na figura 2 onde são apresentados os blocos lógicos: multiplexador de 4 canais para 1 canal, unidade lógica, barramentos de dados, sinais de controle, unidade somador/subtrator e módulo comparador, cujo circuito expandido mostra sua topologia formada por dez inversores, uma porta *AND* de duas entradas e uma porta *AND* de oito entradas.

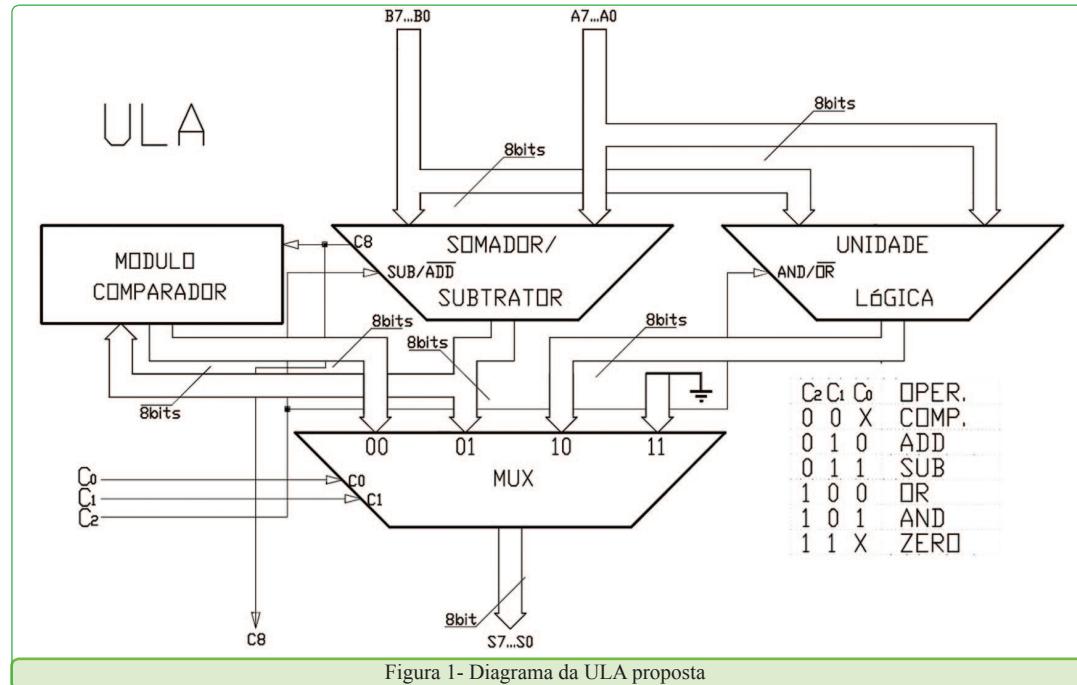


Figura 1- Diagrama da ULA proposta

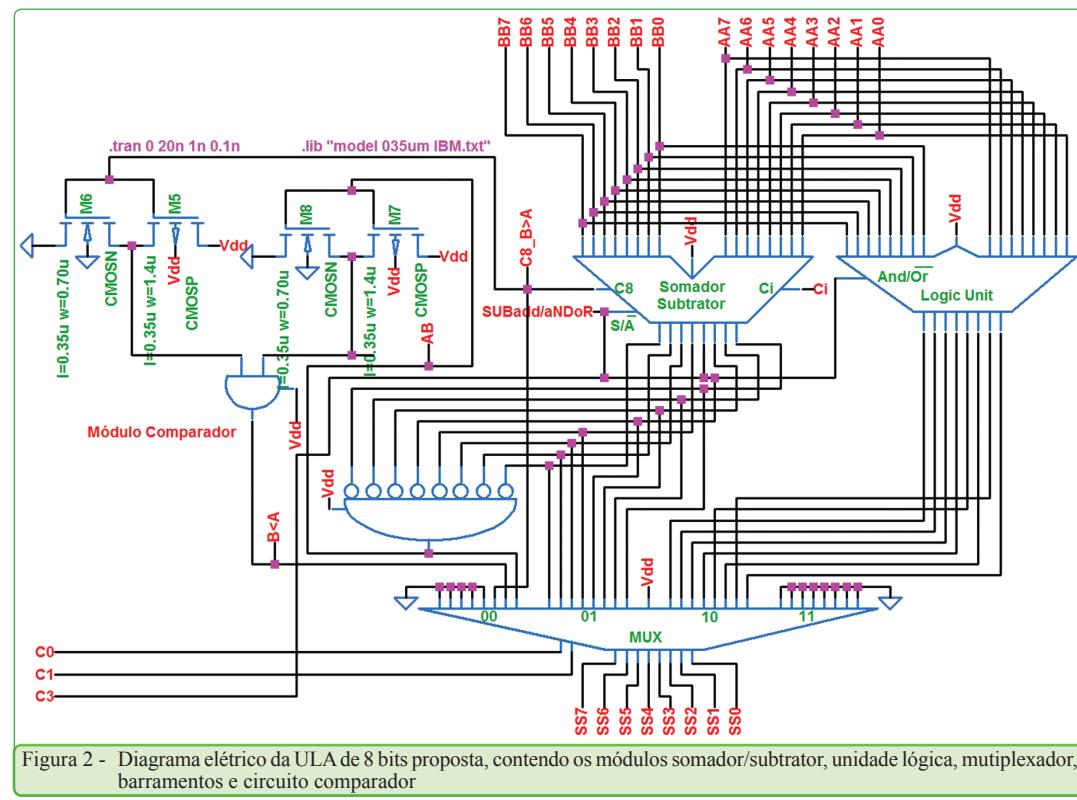


Figura 2 - Diagrama elétrico da ULA de 8 bits proposta, contendo os módulos somador/substrator, unidade lógica, multiplexador, barramentos e circuito comparador

Segue o estudo detalhado de cada módulo que compõe a ULA proposta, sendo que o primeiro a ser apresentado é a unidade somadora/subtratora, visto sua relevância no que diz respeito ao cerne das funções aritméticas.

## 2.1 Unidade Somadora/Subtratora

O módulo somador é base para o projeto da unidade de soma e subtração (USS) que foi adaptado do somador de um bit proposto na literatura por Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007). O somador de um bit realiza adição em única coluna binária da cadeia de bits como ilustra a figura 3.

A operação de adição inicia ao somar-se os bits menos significativos (LSBs) da primeira e da segunda palavras. Sendo assim,  $1+1=10$ , ou seja, da soma dos dois bits menos significativos resulta um bit menos significativo igual a 0 e um bit vai-um (*carry out*) igual a 1.

O bit vai-um da coluna anterior é recebido na próxima coluna como vem-um que chega (*carry in*) e é somado aos bits da segunda coluna (em evidência na figura 3). Assim:  $1+1+0=10$ . Ou seja, a soma de Ci com os dois bits resulta em zero e um bit Co igual a 1, e assim até a soma dos bits mais significativos (MSBs).

Como pode ser observado na figura 3, as colunas da soma binária, representando cada qual um módulo somador, são inter-relacionadas pelo bit vai-um (*carry out*) que se propaga entre elas, em que o bit vai-um que tem origem na coluna anterior é o Ci (*carry in*) que é somado com os operandos A e B da

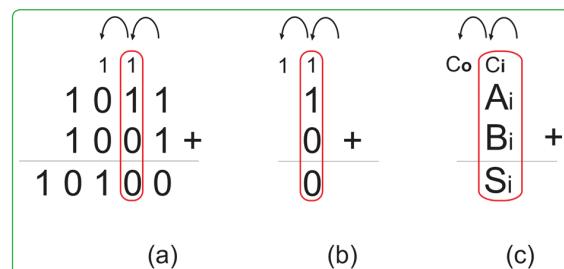


Figura 3 - Estudo e modelo do somador bit-a-bit proposto por Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007), em que (a) representa a soma paralela, (b) uma única coluna da soma com o detalhe do bit recebido (*carry in*) da soma anterior e o bit que vai para soma seguinte (*carry out*) e (c) o modelo algébrico

posição *i*. Já o bit vai-um que tem como destino a próxima coluna é o Co (*carry out*).

As expressões para Si e Co são vistas nas equações 1 e 2:

$$S_i = (A_i \oplus B_i) \oplus C_i \quad (1)$$

$$C_o = A_i B_i + C_i (A_i \oplus B_i) \quad (2)$$

Para realizar uma operação de subtração entre os operandos a partir do somador, realiza-se o complemento bit-a-bit do subtraendo e realiza-se a soma com o minuendo, com Co=1. Isto é, B0=0, uma vez que neste caso o sinalizador vai-um se torna empresta-um (FREGNI & SARAIVA, 1995). Para implementar o controle entre as operações de subtração e adição, foi inserido o sinal de modo de operação (M) como mostra a equação 3:

$$C_o = (M_i \oplus B_i) \cdot (C_i + A_i) + (C_i \cdot A_i) \quad (3)$$

Com base nas equações 1 e 3, desenvolveu-se no LTSpice o circuito lógico do somador/subtrator completo de 1 bit como mostra a figura 4:

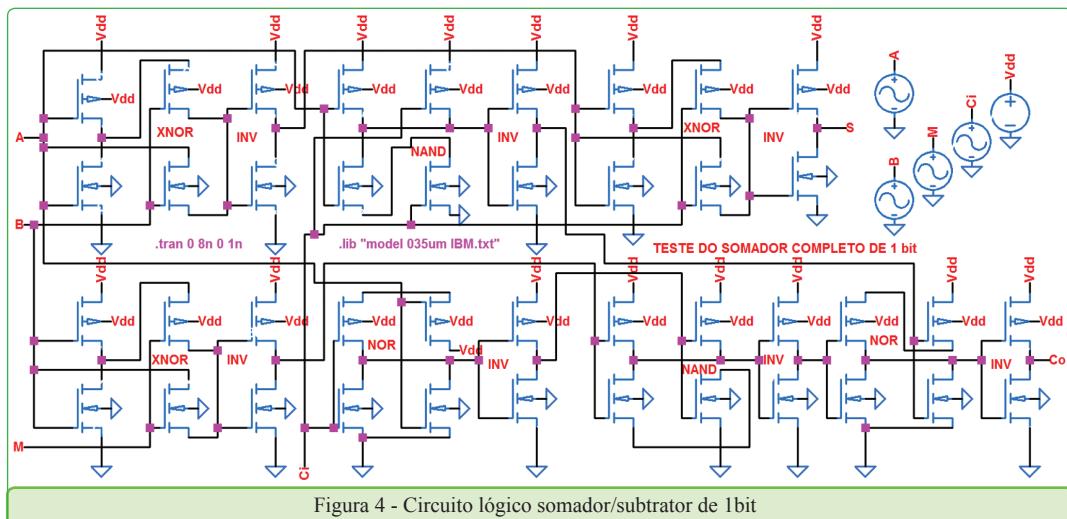


Figura 4 - Circuito lógico somador/subtrator de 1bit

A tabela 2 ilustra a forma de controle da USS a partir do sinal de controle na porta M. Nele configuramos a unidade para realizar soma ou subtração.

Tabela 2 – Bit de seleção de operação da USS

Código (M)	Operação
0	Soma
1	Subtração

Para realizar o teste por simulação Spice da USS foram aplicados sinais de entrada ajustados de acordo com a matriz de vetores apresentada na equação 4.

A figura 5 apresenta as formas de onda dos sinais dos operandos ( $A$  e  $B$ ), do sinal de  $carry\ in$  ( $C_i$ ) e o sinal de controle (M) e as formas de onda de saída  $carry\ out$  ( $C_o$ ) e de resultado ( $S$ ). O sinal de entrada está operando a um *clock* de 1GHz com alimentação  $V_{dd}=3,5$  V. Em realce dois instantes em que são estudados os tempos necessários para a realização de cada operação.

$$\begin{bmatrix} A_{(t)} \\ B_{(t)} \\ C_{i(t)} \\ M_{(t)} \end{bmatrix} = \left\{ \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 0 \\ 0 \\ 1 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 1 \\ 0 \end{bmatrix}, \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 0 \\ 1 \\ 1 \\ 0 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}, \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 0 \\ 1 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 0 \\ 1 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 0 \\ 1 \\ 1 \\ 1 \end{bmatrix}, \begin{bmatrix} 1 \\ 0 \\ 1 \\ 1 \end{bmatrix} \right\} e^{11} \quad (4)$$

$$p / t = (0;0,5;1;1,5;2;2,5;3;3,5;4;4,5;5;5,5;6;6,5;7e7,5)ns$$

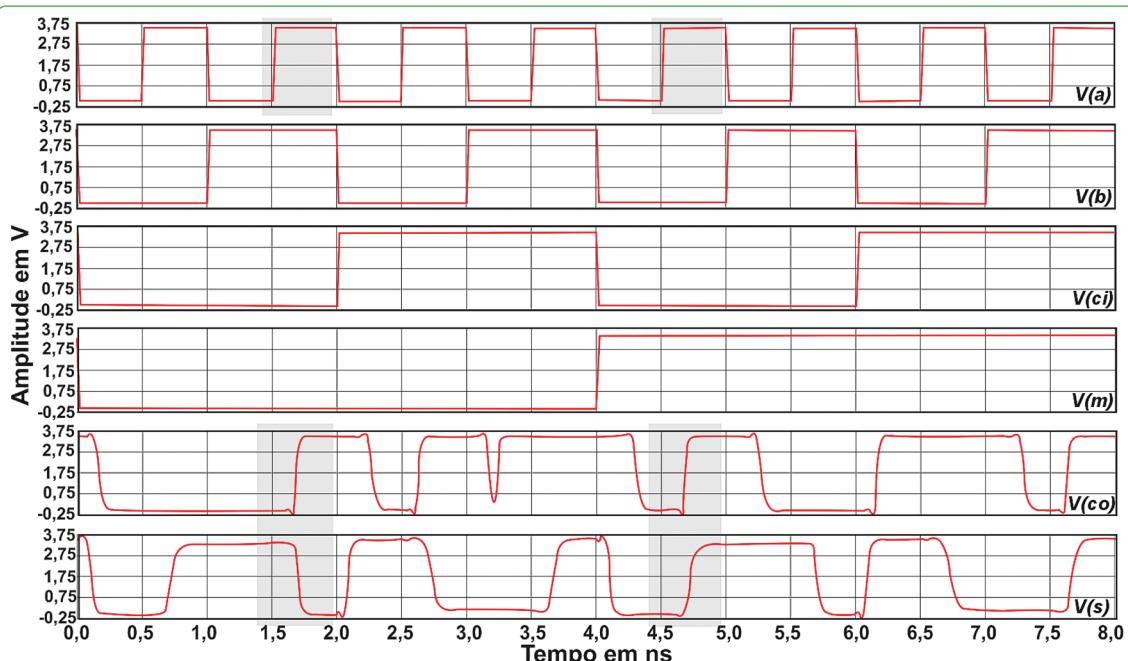


Figura 5 - Formas de onda da operação da unidade somadora/substrator simulada no LTSpice

A uma frequência de 1 GHz com  $V_{dd}=3,5$  V, a USS realiza uma operação de soma em 190ps e uma operação de subtração em 205ps como pode ser observado na figura 6.

A figura 7 apresenta o *layout* CMOS 0.35  $\mu$ m do módulo somador/substrator de 1 bit com realce dos poços com dopagem tipo n (*N-well*) e substrato tipo p (Si-P) devidamente polarizados.

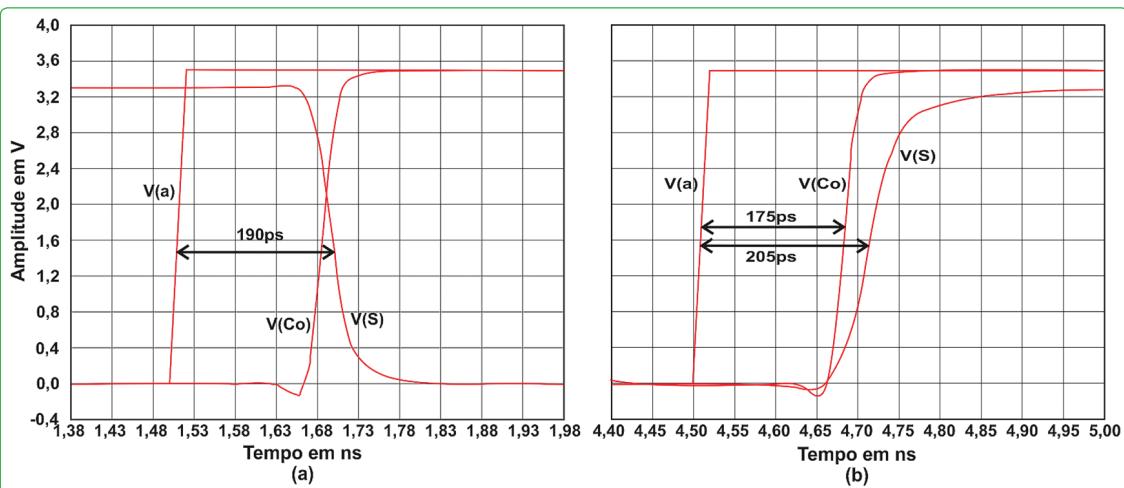


Figura 6 - Forma de ondas da simulação Spice da USS em que é observado em (a) o tempo de 190ps para realizar uma operação de soma e em (b) o tempo de 205ps para realizar uma subtração

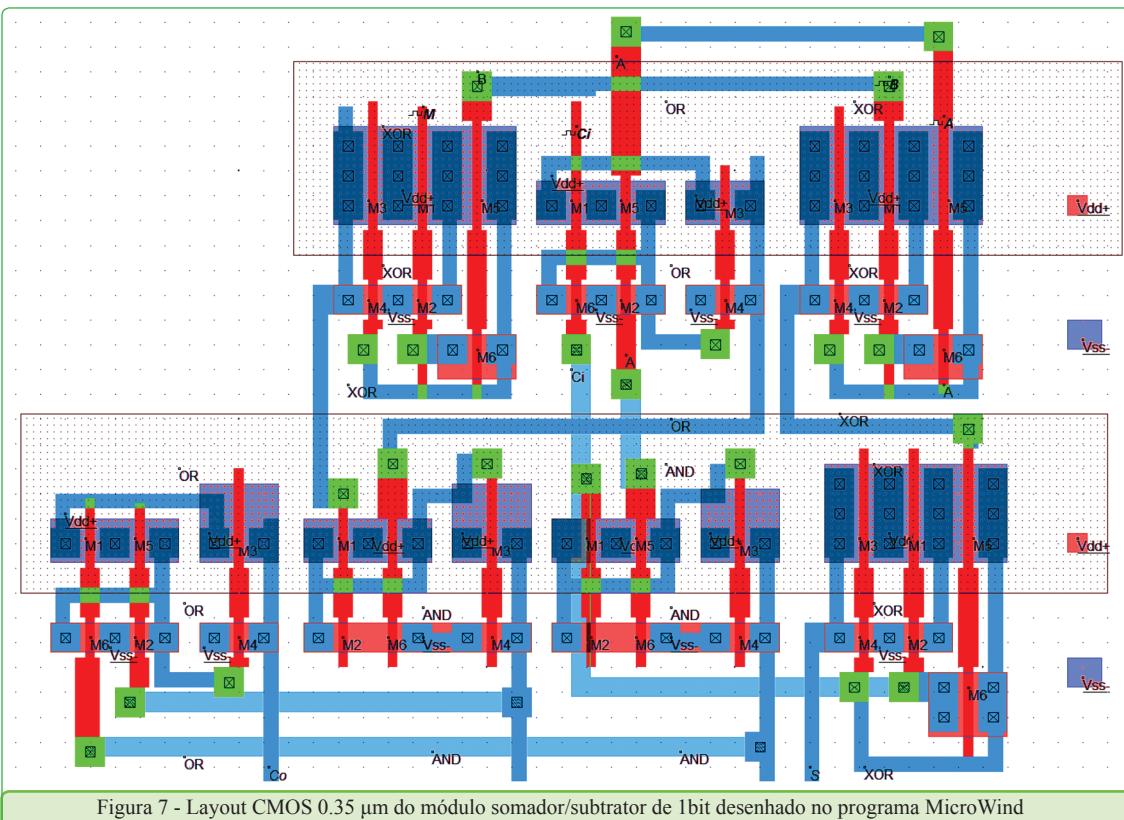


Figura 7 - Layout CMOS 0.35  $\mu$ m do módulo somador/subtrator de 1bit desenhado no programa MicroWind

Ao associarmos múltiplas USS em paralelo formamos uma USS capaz de realizar operações com palavras de N bits, sendo N o número de USS de 1 bit associadas em paralelo.

A USS paralela é um somador/subtrator simples e econômico, entretanto apresenta um atraso em sua execução. Esse tipo de arranjo é chamado somador/subtrator de

propagação do vai-um (*ripple carry adder/subtractor*), sendo desenvolvido através da simples associação em cascata de USS de 1 bit, como se observa na figura 8. O atraso apresentado durante a operação desta unidade de soma e subtração é equivalente à soma dos atrasos da saída vai-um (*carry out*) das USS de 1 bit. Neste caso, a USS de 8 bits proposta apresenta um

atraso de aproximadamente 96 camadas de transistores entre a transição do bit vai-um

C0 ao C8, o que equivale ao tempo de propagação de 0.9 ns por operação.

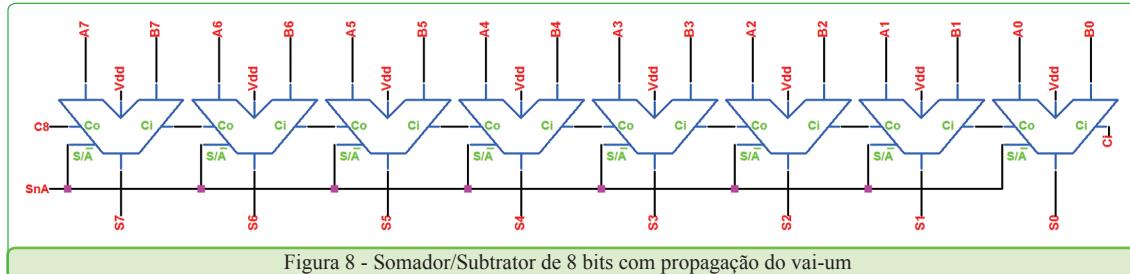


Figura 8 - Somador/Subtrator de 8 bits com propagação do vai-um

## 2.2. Módulo comparador

O comparador ou comparador de magnitude, aqui apresentado como módulo comparador (MC), é um circuito lógico combinacional que realiza a comparação de duas palavras binárias e gera uma saída (S) codificada que indica qual destas palavras (A e B) tem maior magnitude (TOCCI, WIDMER & MOSS, 2007).

O MC, em destaque na figura 9, opera em conjunto com a USS configurada para realizar operações de subtração. Ao ser realizada a operação de subtração entre os operandos A ( $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ ) e B ( $B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0$ ), o MC monitora o resultado da operação e informa se  $A=B$ , se  $A < B$  ou se  $A > B$ .

o operando A é maior do que B, o resultado da subtração será diferente de zero, o que habilitará a primeira condição para o teste de  $A > B$  e, sendo um resultado positivo, ou seja  $C_8 = 0$ , habilitando a segunda condição para o teste  $A > B$ , o resultado 0000 0010b é apresentado na porta S.

No último caso, em que  $A < B$ , o resultado da subtração de A e B é negativo ( $C_8 = 1$ ), o que gera o valor de saída S igual a 0000 0100b.

Para realizar testes Spice no MC, um *SETUP* de testes foi montado de forma a permitir a comparação dos operandos A e B segundo a matriz de teste apresentada na Equação 5.

A figura 10 apresenta as formas de onda dos sinais dos operandos (A e B), dos sinais  $A=B$  (ss0),  $A > B$  (ss1) e  $A < B$  (ss2) e dos sinais de  $A-B$  (n003-n010) com alimentação  $V_{dd}=3,5$  V.

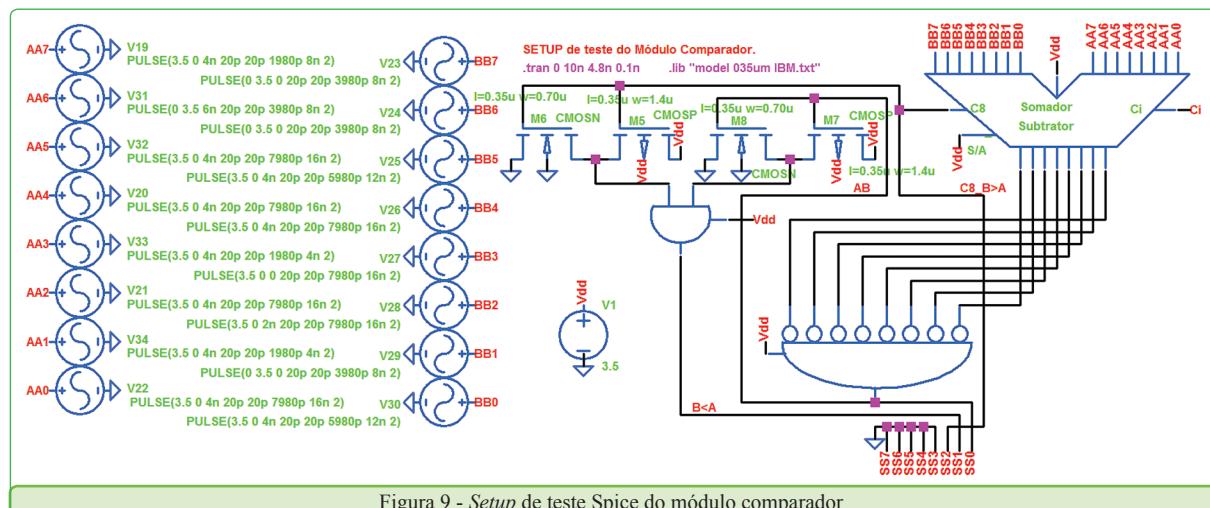


Figura 9 - Setup de teste Spice do módulo comparador

No caso em que os operandos são iguais, o resultado da operação de subtração será 0000 0000b, o que ativará a saída da porta AND, com oito entradas negadas, vide figura 9, informando que  $A=B$  através do resultado 0000 0001b na porta S. Já no caso em que

$$\begin{bmatrix} A_{(t)} \\ B_{(t)} \end{bmatrix} = \left\{ \begin{bmatrix} 00000000 \\ 00000000 \end{bmatrix}, \begin{bmatrix} 11001010 \\ 00000000 \end{bmatrix}, \begin{bmatrix} 11000000 \\ 11101111 \end{bmatrix} \right\}$$

$$p/t = (0;1,2e3,2)ns \quad (5)$$

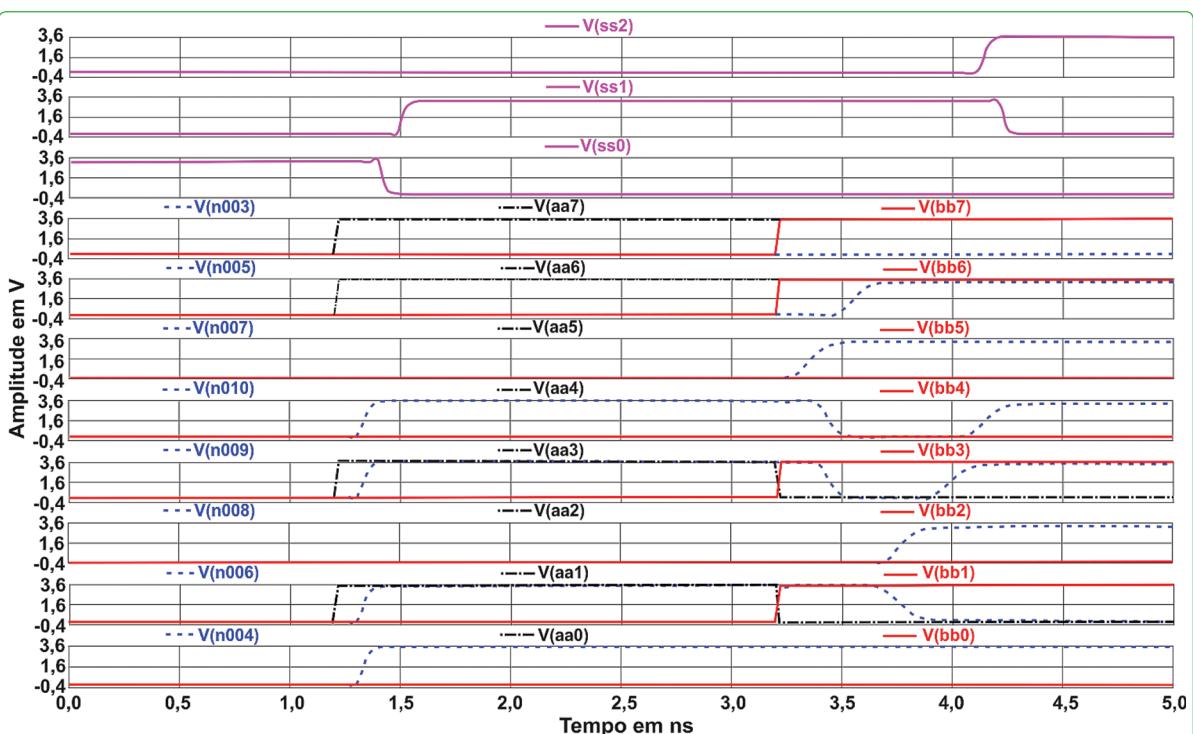


Figura 10 - Formas de onda da operação do circuito do módulo comparador simulado no *LTSpice*

Durante os testes por simulação Spice, percebeu-se que o módulo comparador apresentou um funcionamento adequado, informando corretamente o resultado da comparação entre os operandos A e B, sendo que o tempo de resposta do módulo comparador é

de 0,6ns para o caso em que A=B, 293ps para o caso em que A>B e finalmente constatou-se que o módulo comparador leva aproximadamente 0,9ns para apresentar o resultado quando A<B.

Os tempos de operação podem ser vistos em realce na figura 11.

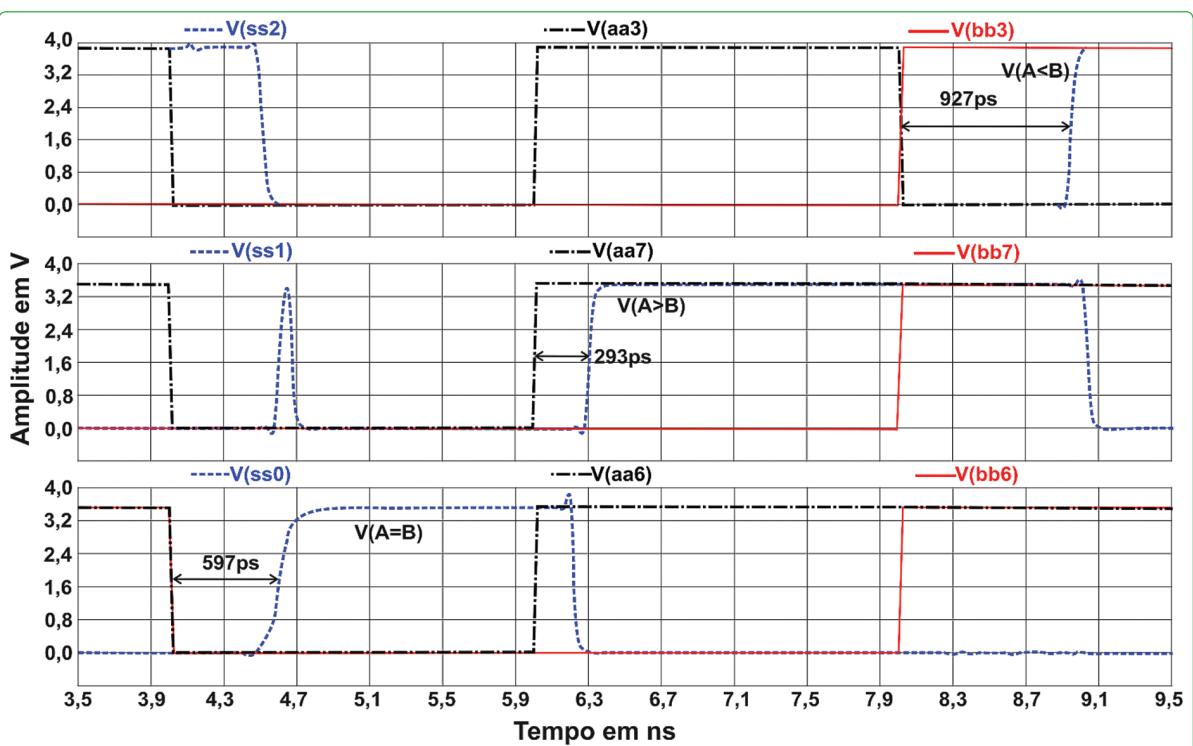


Figura 11 - Formas de onda da simulação Spice do módulo comparador evidenciando os tempos para realizar as possíveis comparações

## 2.2 Unidade lógica

As operações lógicas em uma ULA são realizadas sobre cadeias de bits. Sendo assim, quando se realiza uma operação lógica entre os operandos A e B de uma ULA, a operação é realizada bit-a-bit, entre todos os bits dos dois operandos.

A unidade lógica (UL) proposta realiza funções lógicas sobre os operandos A e B, conforme a configuração do sinal de controle (C), ou seja, o sinal de controle especifica que função lógica será realizada.

A tabela 3 ilustra os sinais de controle da UL a partir do sinal de controle na porta C, onde configuramos a unidade para realizar a função lógica OR ou AND.

A figura 12 apresenta o *setup* de teste do circuito da UL. Nele é possível identificar que as funções lógicas aplicadas aos operandos são realizadas bit-a-bit, ou seja:

$$A = A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$$

$$B = B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0$$

desta forma se:

$$C=1$$

então,

$$S=AB$$

sendo assim,

$$S_n = A_n B_n$$

Tabela 3 – Bit de seleção de operação da UL

Código (M)	Operação (função)
0	S=A+B (OR)
1	S=AB (AND)

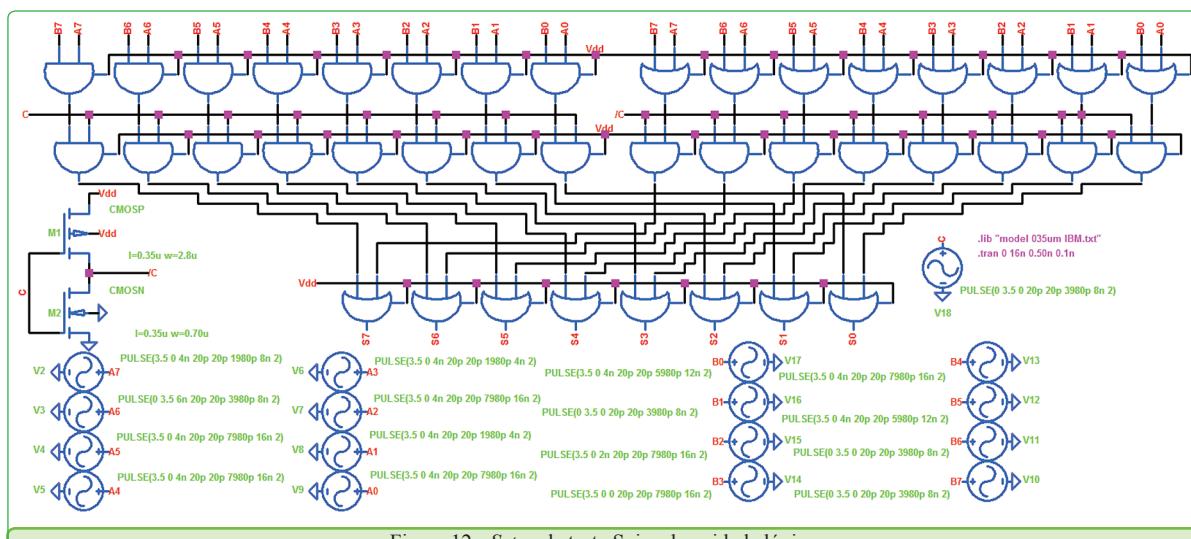


Figura 12 - Setup de teste Spice da unidade lógica

A figura 13 apresenta as formas de onda dos sinais dos operandos (*A* e *B*), dos sinais  $S=A+B$  para  $C=0$  e  $S=AB$  para  $C=1$  com alimentação  $Vdd=3,5\text{ V}$ .

## 3 CONCLUSÕES

A ULA de 8 bits proposta neste trabalho foi projetada com base em circuitos digitais propostos por Langdon e Fregni (1987), Fregni e Saraiva (1995) e Tocci, Widmer e Moss (2007).

Todo o circuito foi projetado em tecnologia CMOS 0.35  $\mu\text{m}$  em ambiente

de projeto e simulação Spice com o auxílio dos softwares LTSpice e Microwind com parâmetros de projetos *MOSIS IBM Semiconductor 0.35  $\mu$  5HPE SiGe BiCMOS Process*.

O projeto da ULA foi dividido em módulos isolados para organizar a arquitetura interna do circuito e permitir que fossem realizados testes e simulações separadamente, relacionando assim os resultados dos testes para obter o resultado do funcionamento da ULA como um todo. As unidades são: unidade somadora/subtratora de 8 bits, módulo comparador de 8 bits e unidade lógica de 8

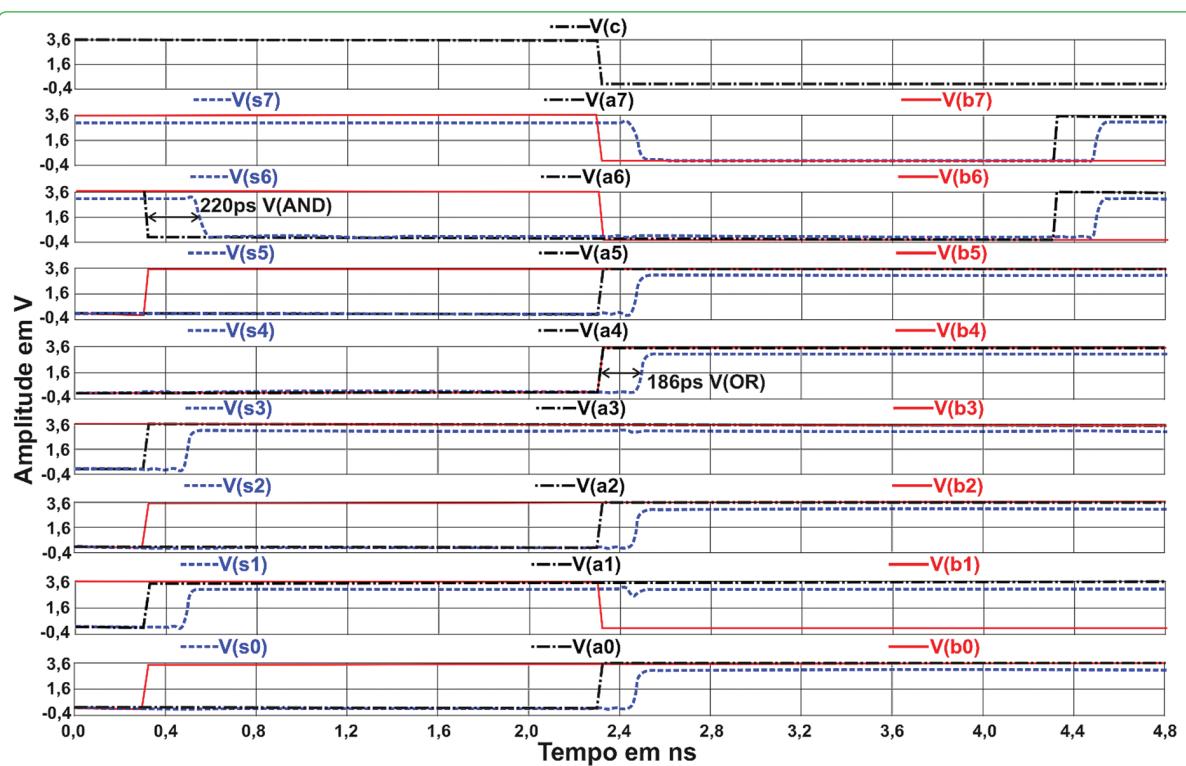


Figura 13 - Formas de onda da operação do circuito da unidade lógica simulado no LTSpice ilustrando o tempo de atraso para apresentar o resultado da função *AND* em 0,22ns e 186ps para função *OR*

bits, além do multiplexador de 1 para 4 canais de 8 bits cada canal.

A unidade somadora/subtratora usa a topologia de propagação de vai-um *ripple carry*, o que tornou o circuito simples, em detrimento do atraso de propagação do sinal de *carry* entre as unidades somadoras/subtratoras de 1 bit, o que leva 0.9ns aproximadamente.

O módulo comparador é formado por um circuito digital que analisa o resultado da operação de subtração entre os operando e apresenta na forma de códigos o resultado da operação. Desta forma os tempos de atraso do módulo de comparação ficam entre os maiores registrados, sendo eles: 0,6ns para o caso em que  $A=B$ , 293ps para o caso em que  $A>B$  e, por fim, 0,9ns para apresentar o resultado quando  $A<B$ .

As operações lógicas *AND* e *OR* da unidade lógica são realizadas bit-a-bit em paralelo, o que garante um tempo de resposta de 220ps para a função *AND* e 186ps para a função *OR*.

Os testes foram realizados em um sistema de teste que compreendia a realização de *setups* separados para cada módulo, obtendo-se o

resultado do funcionamento de cada módulo que compõe a ULA de 8 bits proposta.

## REFERÊNCIAS

ABRAHAM, J. A. Implementing Logic in CMOS. Notas de aula. Department of Electrical and Computer Engineering at The University of Texas, Austin, set. 2010.

BNDES – Banco Nacional do Desenvolvimento. *Horizonte de investimentos 2007-2010: Uma síntese*. Disponível em: <[http://www.bnnes.gov.br/SiteBNDES/export/sites/default/bnnes\\_pt/Galerias/Arquivos/conhecimento/liv\\_perspectivas/02.pdf](http://www.bnnes.gov.br/SiteBNDES/export/sites/default/bnnes_pt/Galerias/Arquivos/conhecimento/liv_perspectivas/02.pdf)>. Acesso em: 19 jun. 2011.

FREGNI, E.; SARAIWA, A. M. *Engenharia do projeto logico digital: conceitos e pratica*. São Paulo: E. Blucher, 1995.

GÜNTZEL, J L. *Projeto de um unidade lógico-aritmética (ULA)*. Universidade Federal de Pelotas. Pelotas, 2003.

KUDVA, P. et al. *Synthesis of Hazard-free Customized CMOS Complex-Gate Networks Under Multiple-Input Changes*. I.B.T.J. Watson Research Center. 1996.

LANGDON, G. G. Jr.; FREGNI, E. *Projeto de computadores digitais*. São Paulo: E. Blucher, 1987.

MANIÇOBA, A. Projeto I - Passo a passo para a criação de um microprocessador de 4 bits. Registradores. Ula. Unidade de Controle. Notas de aula. Centro de Ciências Exatas e Tecnológicas da Universidade Católica de Santos, Santos, mar. 2011.

MOSIS - Integrated Circuit Fabrication Service. *IBM 0.35 Micron 5HPE Process*. Disponível em: <<http://www.mosis.com/ibm/5hpe/>>. Acesso em: 10 de junho de 2011.

PATTERSON, D. A.; HENNESSY, J. L. *Computer organization and design: the hardware/software interface* . 3. ed. Boston: Morgan Kaufmann Publishers, 2005.

TOCCI, R. J.; WIDMER, N. S.; MOSS G. L. *Sistemas digitais: princípios e aplicações*. 10. ed. São Paulo: Prentice Hall, 2007.

RADHAKRISHNAN, D. Design of CMOS circuits. *IEE Proceedings-G*. UK: Stevenage. Vol. 138, n. 1, p. 83-90, fev. 1991.

RADHAKRISHNAN, D. Switching activity in CMOS pass networks. *IEE Electronics Letters Online*, UK: Stevenage. Vol. 35, n. 24, p. 2115-2116, nov. 1999.

RADHAKRISHNAN, D.; WHITAKER, S. R.; MAKI G. K. Formal Design Procedures for Pass Transistor Switching Circuits. *IEEE Journal of Solid-State Circuits*. Vol. SC-20, n. 2, p. 531-536, apr. 1985.

SRINIVASAN, C. *Arithmetic Logic Unit (ALU) design using reconfigurable CMOS logic*. 2003. Dissertação (Mestrado de Ciências em Engenharia Elétrica). Louisiana State University and Agricultural and Mechanical College, Louisiana, 2003.

SUZUKI, M. et al. A 1.5ns 32b CMOS ALU in double pass-transistor logic. *IEEE International Solid-State Circuits Conference*, Session 5, p. 90-91, 1993.