1. FPGA设计与 Chisel 硬件描述语言
2. Vivado开发平台
3. HDU-X01 开发板及硬件开发流程
4. 软件开发环境和差分测试仿真框架
   1. 开发环境的目录结构
   2. 功能部件差分测试机制
   3. SRAM接口差分测试机制
   4. AXI接口差分测试机制
   5. 差分测试流程
5. 计算机部件设计实验
   * 1. 实验一 译码器设计实验
     2. 实验二 多路选择器和数据分配器设计实验
     3. 实验三 全加器与超前进位电路设计实验
     4. 实验四 多功能 ALU 设计实验
     5. 实验五 通用寄存器堆设计实验
6. RISC-V架构及指令系统
   * 1. RISC-V架构简介
     2. 通用寄存器堆GPRs
     3. 特权模式和CSR寄存器
     4. 指令集和指令格式
     5. RISC-V的寻址方式
7. 流水线处理器设计实验
8. 实验六 实现R型运算类指令的理想流水线设计实验
9. 实验七 实现I型和U型运算类指令的理想流水线设计实验
10. 实验八 实现乘除法指令的理想流水线设计实验
11. 实验九 实现访存指令的理想流水线设计实验
12. 实验十 实现转移指令的理想流水线设计实验
13. 实验十一 气泡流水线设计实验
14. 实验十二 使用数据前递解决冲突的流水线设计实验
15. 实验十三 实现 CSR 指令的流水线设计实验
16. 实验十四 例外和中断的支持
17. 实验十五 支持 AXI 总线的流水线互连设计实验
18. 实验十六 流水线 CPU 访存提速设计实验
19. 实验十七 流水线 CPU 分支预测设计实验
20. 实验十八 动态顺序双发射流水线设计实验
21. 实验十九 支持虚实地址转换的超标量流水线设计实验
22. 实验二十 从RISC-V 核到 LongArch 核的架构移植实验