## 实验十二 使用数据前递解决冲突的流水线设计实验

### 实验目的

1. 掌握各种流水线冲突的概念
2. 掌握插入气泡解决各种冲突的原理
3. 学习判断流水线冲突的逻辑单元的设计方法

### 实验原理与实验内容

#### 数据前递技术

在上一实验中通过阻塞译码级插入气泡的方式解决了数据间存在的写后读冲突。插入气泡的方式永远都是一种解决方法，其使得译码级前的指令暂停，直到需要的结果出现再继续执行。伴随着气泡技术简便性的是性能的大量下降的问题：译码级指令检测到数据冲突需要暂停至少3个时钟周期后才能得到结果。

只有取数指令需要在访存单元中才能获得结果，其他指令均在执行单元便能计算得到最终值。因此只需要想办法使得前面已经生成的结果的指令直接将结果传递给后续指令，就可以避免后续指令的等待——这就是流水线处理器的前递（Forward）技术，也叫旁路（Bypass）技术。前递技术结构如图7-1所示。



前递技术结构

对于一般的指令，如图7-2：对于I2而言，在第3个时钟周期位于译码单元，此时I1处于执行单元已经计算完毕x3的结果；对于I3而言，在第4个时钟周期位于译码单元，此时I1已经经过执行单元已经计算完毕x3的结果；对于I4而言，在第5个时钟周期位于译码单元，此时I1经过执行单元已经计算完毕x3的结果。那么直接前递数据就可以使得流水线不发生停顿。



一般运算指令的写后读冲突

对于访存取数指令，如图7-3：I2在第3个时钟周期运行至译码单元，由于I1此时并未得到访存结果，因此I2需要发送阻塞；在第4个时钟周期时，I1得到访存结果，可以前递数据给正在译码单元等待数据的I2。经过这样子处理，流水线只需要发生1次阻塞，相较气泡解决方法，性能会有很大提升。



访存取数相关的写后读冲突

前递的数据具有优先级。如图7-4所示，译码单元中的数据应当优先使用距离自己最近指令的前递数据。因此译码单元在选用源操作数时应该按照如下优先级：执行单元的前递数据>访存单元的前递数据>写回单元的前递数据>译码单元寄存器堆的数据。



数据前递优先级

#### 气泡流水线的数据通路的控制设计

控制单元的逻辑只需要对decoderUnit.allow\_to\_go信号进行修改：原先只要检测到发生写后读冲突便设置为0阻塞译码级，在数据通路经过数据前递技术的修改后，只有检测到执行单元为访存取数指令，且其目的操作数与译码单元中的源操作数一致时才置信号为0。该信号的伪代码如下：

decoderUnit.allow\_to\_go = executeUnit.info.reg\_waddr.orR & executeUnit.info.fusel == FuType.lsu & LSUOpType.isLoad(executeUnit.info.op) & ((executeUnit.info.reg\_waddr == decodeUnit.info.src1\_raddr & decodeUnit.info.src1\_ren) | (executeUnit.info.reg\_waddr == decodeUnit.info.src2\_raddr & decodeUnit.info.src2\_ren))

#### 气泡流水线的数据通路的前端设计

如图7-1可见前端数据通路无需修改。

#### 气泡流水线的数据通路的后端设计

如图7-1可见后端的各缓存无需修改，只需要修改各单元的结构。执行单元、访存单元和写回单元都需要发送单元中的info信息和rd\_info信息至译码单元，图7-5中的info\*和rd\_info\*就是executeUnit.info、executeUnit.rd\_info、memoryUnit.info……的简写。

在译码单元中实现一个前递控制单元ForwardCtrl，其功能是根据各级info信息以及各级前递数据的优先度生成正确的源操作数。

以源操作数src\_info.src1\_data信号的生成逻辑举例：

①若decoderUnit.info.src1\_ren为0，则直接使用译码单元的数据。

②否则，若decoderUnit.info.src1\_raddr为x0时，直接使用寄存器堆数据。

②否则：

a）如果值与executeUnit.info.reg\_waddr相同，且executeUnit.info.reg\_wen为1，则使用executeUnit.rd\_info.wdata(executeUnit.info.fusel)的数据。

b）否则，如果值与memoryUnit.info.reg\_waddr相同，且memoryUnit.info.reg\_wen为1，则使用memoryUnit.rd\_info.wdata(memoryUnit.info.fusel)的数据。

c）否则，如果值与writeBackUnit.info.reg\_waddr相同，且writeBackUnit.info.reg\_wen为1，则使用writeBackUnit.rd\_info.wdata(writeBackUnit.info.fusel)的数据。

d）否则，使用寄存器堆数据。



译码单元结构

### 实验要求

1. 在上一个实验的基础上为MyCPU引入数据前递功能。
2. 通过本实验提供的所有仿真验证测试用例。
3. 通过本实验提供的所有板级验证测试用例。
4. 线上提交实验作品，获得系统评分。
5. 撰写实验报告。报告中应包含以下内容和至少3道本实验思考题。
6. 修改MyCPU内部数据通路图，为流水线引入数据前递功能。

### 实验步骤

1. 实验步骤参见上一实验的实验步骤部分。

### 思考与探索